

CS最先端技術入門

最先端の並列処理技術

早稲田大学

理工学術院コンピュータ・ネットワーク工学科 主任
アドバンスドチップマルチプロセッサ研究所 所長

教授 笠原博徳

kasahara@waseda.jp

<http://www.kasahara.cs.waseda.ac.jp>

<講義資料 上記HP講義情報ページ参照>

2006.10.3

笠原博徳

<略歴>

1980年早稲田大学理工学部電気工学科卒, 1985年同大学院博士課程了(工博),
1983年早稲田大学理工学部助手, 1985年日本学術振興会第1回特別研究員,
1985年カリフォルニア大学バークレーEECS客員研究員,
1986年早稲田大学理工学部電気電子情報工学科専任講師, 1988年助教授,
1989年-1990年イリノイ大学 Center for Supercomputing R & D客員研究員,
1997年早稲田大学理工教授, 2003年よりコンピュータ・ネットワーク工学科
1987年IFAC World Congress第1回Young Author Prize,
1997年情報学会坂井記念特別研究賞, 2004年STARC共同研究賞.

<主な学会活動>

情報処理学会: 計算機アーキテクチャ研究会主査, 論文誌編集委HG主査,
会誌編集委HWG主査, 論文誌2001並列処理特集委員長, JSPP2000プログラム委員長等.
ACM: International Conference on Supercomputing(ICS)プログラム委員
ENIAC50周年記念ICS 1996 Program Chair on Software.

IEEE: Computer Society Japan 委員長, 東京支部理事, ICPADS Pub.Chair, SC PC等
その他スーパーコンピュータ・並列処理に関する多くの国際会議プログラム委員.

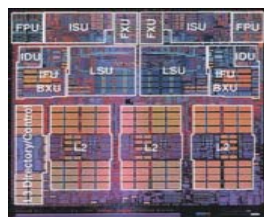
<各種委員等>

経済産業省: 情報政策提言フォーラム(アーキテクチャ/HPC WG主査),
ミレニアムプロジェクトIT21"アドバンスド並列化コンパイラ"プロジェクトリーダー,
ペタフロップスマシン委員会委員, 超先端電子基盤技術委員,
NEDO: 研究評価委員, コンピュータ戦略WG委員長,
"リアルタイム 情報家電用マルチコア"プロジェクトリーダー等

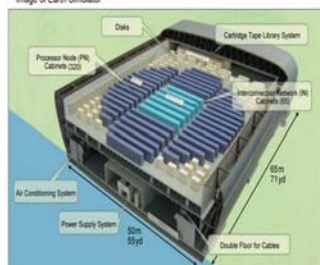
文部科学省: 地球シミュレータ中間評価委員,
JST: 科学技術振興調整費GRAPE-DR運営委員, COINS運営委員, さきがけ21領域アドバイザー

内閣府: 総合科学技術会議分野別推進戦略(報道通信分野)ソフトウェアWG, 研究開発基盤WG委員
原研: 研究評価委員, 計算科学推進センタ第1種客員研究員. 朝日新聞: JSEC審査委員.
東京電力学術評価委員, 日本EU協調会議科学技術ラウンドテーブル日本代表等.

21世紀はマルチプロセッサ(マルチコア)Everywhere



IBM Chip Multiprocessor (CMP)
Power 4 processor
1チップ上に2プロセッサ集積
Image of chip simulator



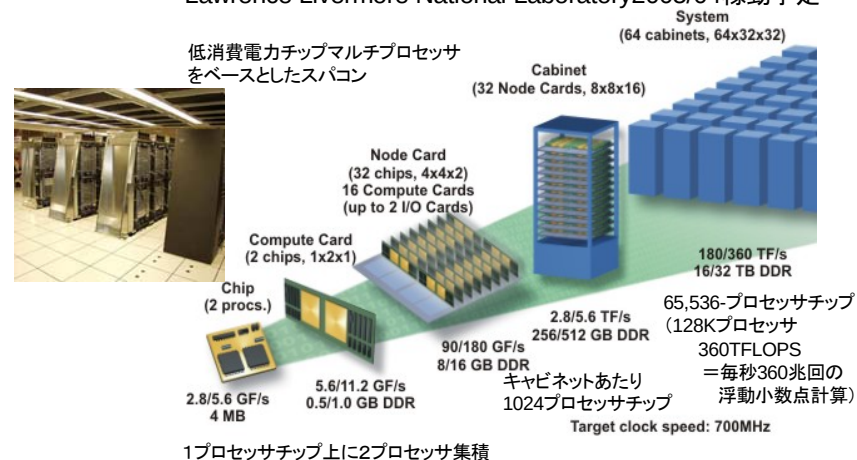
地球シミュレータ: 5120プロセッサ・
マルチプロセッサスーパーコンピュータ

- 組み込みプロセッサからスパコンまで
 - 情報家電(コンシューマ機器用)マルチコア
カーナビ, 携帯電話, ゲーム, デジタルTV, DVD
Sony 東芝 IBM Cell, ARM/NEC MPCore, MP211,
富士通 FR1000, 松下 UniPhier, ルネサス SH マルチコア
 - PC, サーバ
Intel Dual-Core Xeon, Core 2 Duo, Montecito
AMD Quad and Dual-Core Opteron
 - WSs, Deskside & Highend サーバ
IBM Power4, 5, 5+, pSeries 690 (32way), p5 550Q (8way), Sun Niagara (SparcT1, T2), SGI ALTIX 450
 - スーパーコンピュータ
 - 地球シミュレータ: 40TFLOPS,
2002年3月完成, 5120ベクトルプロセッサ
 - IBM pSeries 690: Power4ベース市販サーバ
Power5, 現在5+, 今後6, 7開発
米国HPCS実効PFLOPSスパコンへ
 - IBM Blue Gene/L: 360TFLOPS
低消費電力CMPベース128Kプロセッサ
1PFLOPS BlueGene/P (2007-8年)
- アプリケーションソフトの充実, 短期間システム開発,
低コスト, 低消費電力, 高機能化が市場競争力決定
<例> 携帯電話, ゲーム, 自動車
- システムの実質性能, 価格性能比, ソフトウェア生産
性の向上を実現する自動並列化コンパイラ協調型チ
ップマルチプロセッサ, チューニングツール必要

現時点での世界最速コンピュータ (低消費電力マルチコアプロセッサベース)

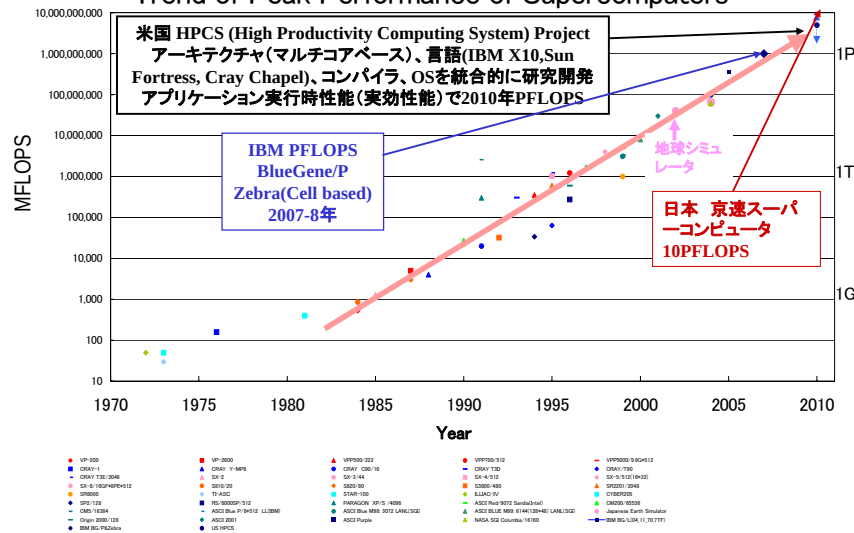
IBM BlueGene/L

Lawrence Livermore National Laboratory 2005/04 稼働予定

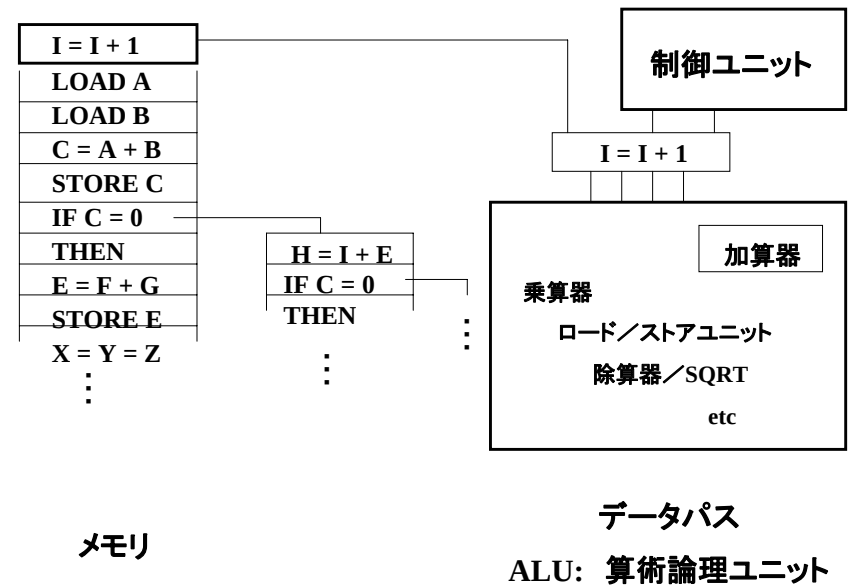


スーパーコンピュータ・ピーク性能

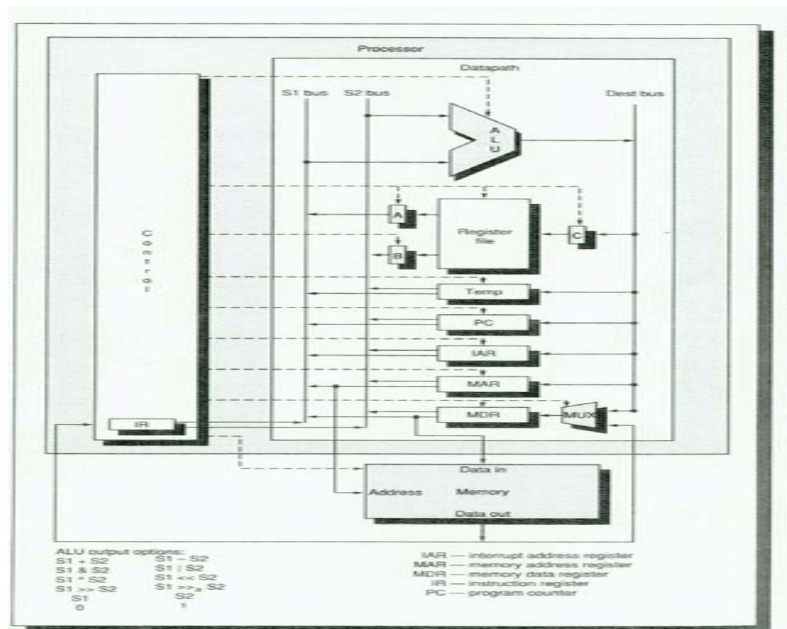
Trend of Peak Performance of Supercomputers



基本的な(ノイマン型)コンピュータの動作



DLXプロセッサ・アーキテクチャ



並列処理方式の種類

表1.1 並列処理方式の種類

SISD (Single Instruction stream Single Data stream)	
1. 命令パイプライン	(細粒度)
2. 複数演算ユニット *	(細粒度)
3. スーパースカラ *	(細粒度)
4. VLIW (Very Long Instruction Word) *	(細粒度)
SIMD (Single Instruction stream Multiple Data stream)	
5. 演算パイプライン (ベクトル プロセッサ) *	(細粒度)
6. プロセッサアレイ	(細粒度)
7. シストリックアレイ *	(近細粒度)
MIMD (Multiple Instruction stream Multiple Data stream)	
8. マルチプロセッサ	(近細、中、粗粒度)
9. データフローマシン (非ノイマン形コンピュータ)	(細粒度)

* 他の分類とみなすこともできることを示す

プロセッサアレイ

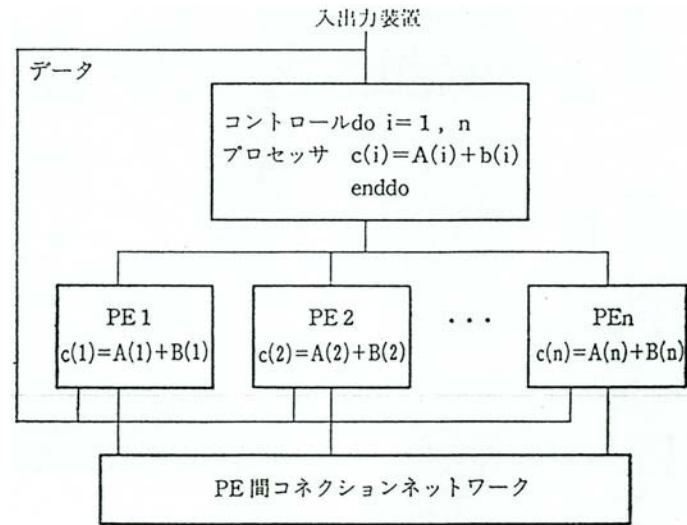
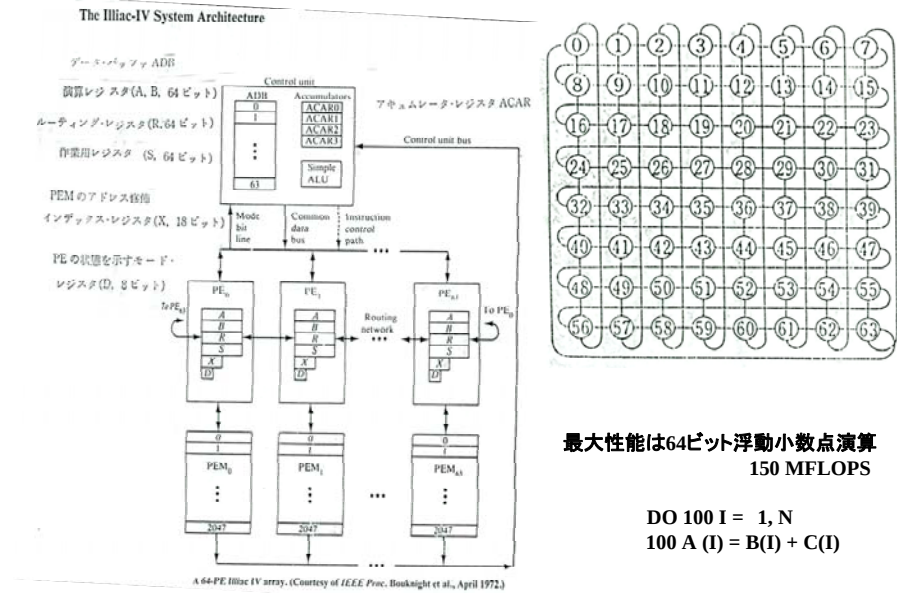
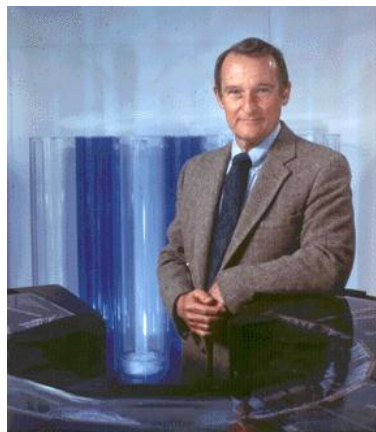
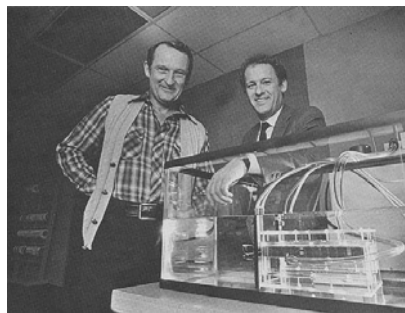


図 1.9 プロセッサアレイ

The Illiac-IV System Architecture



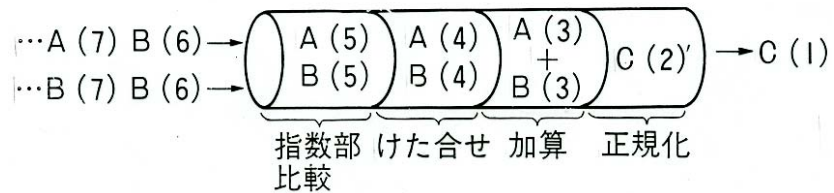
Seymour Cray



Cray 1



ベクトルパイプライン



富士通VP2000シリーズのアーキテクチャ

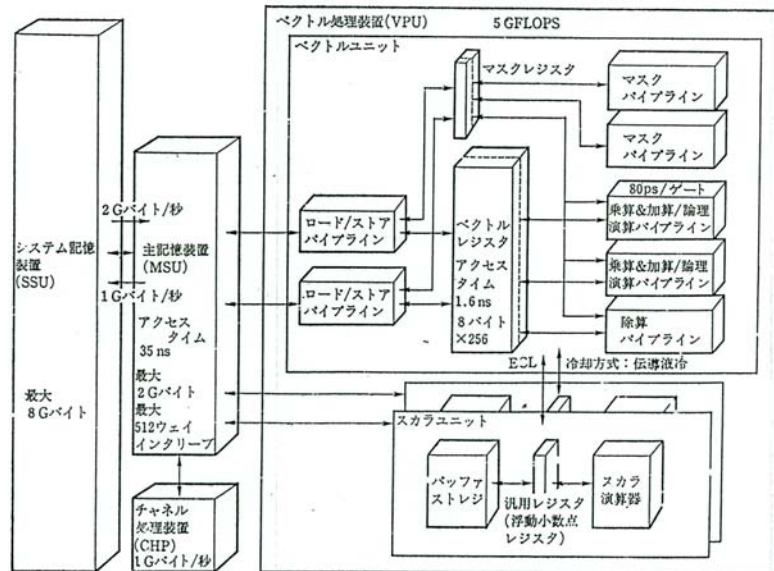


図 1.12 富士通 VP 2000 シリーズのアーキテクチャ

VP2000における伝導液体冷却法

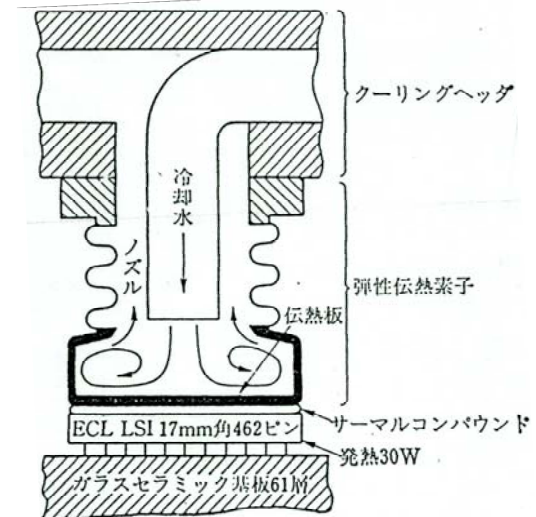
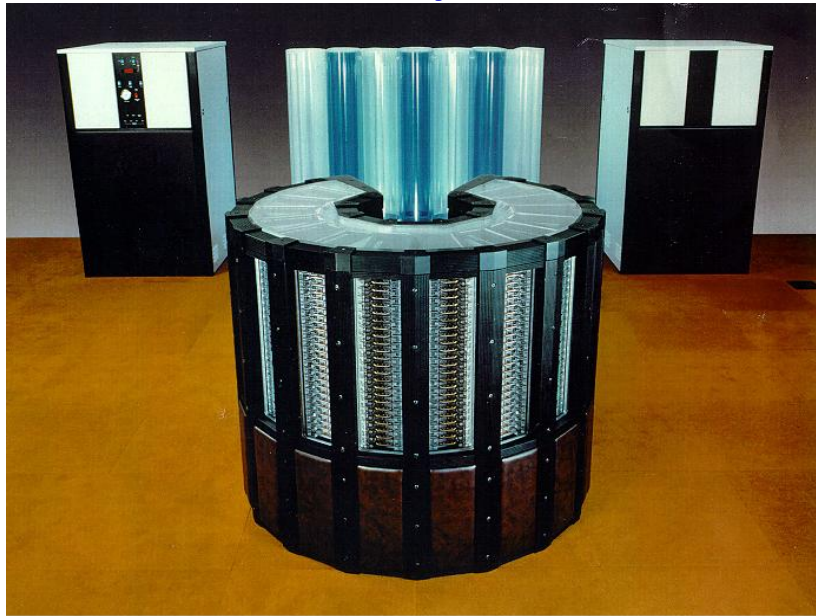
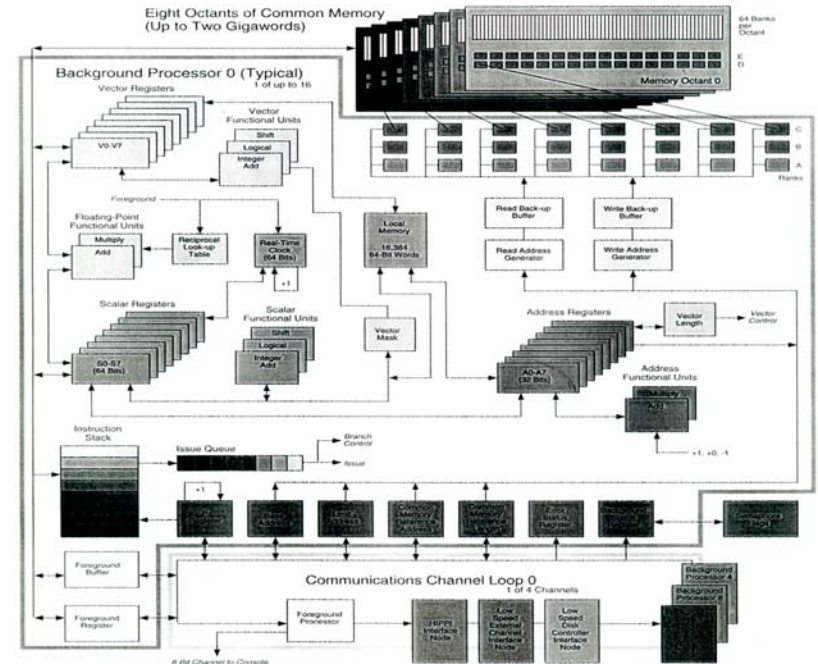


図 2.7 VP 2000 における伝導液体冷却法

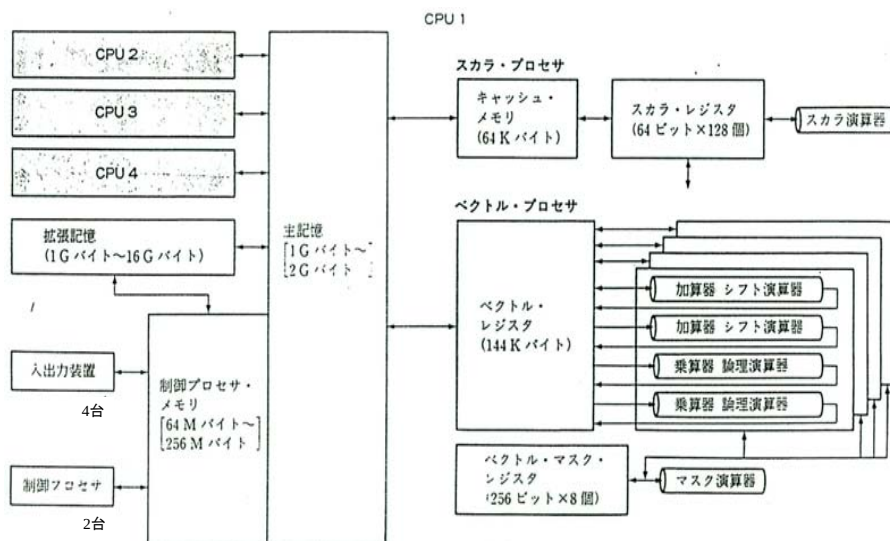
Cray 2



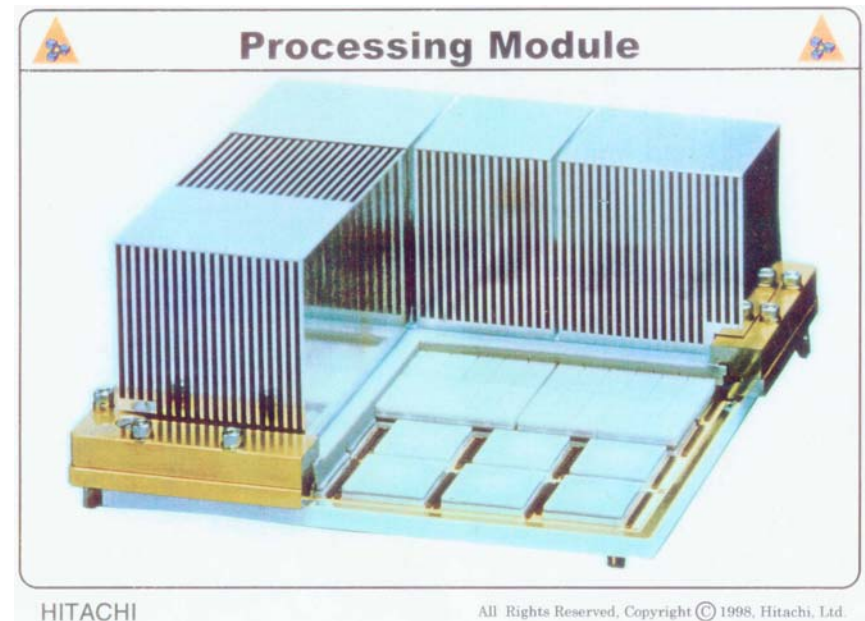
Cray 2



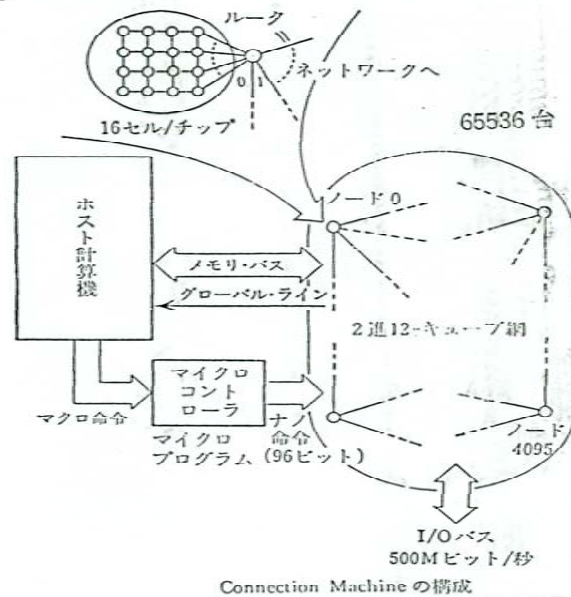
NEC SX-3のシステム構成図



日立空冷モジュール



Connection Machine



Connection Machine Thinking Machine 社

1台のルータに16台のセルが結合されている

各セルは1ビットの演算器と4kビットのメモリから構成

1台のルータと16台のセルは5万素子のCMOSで作製

ハイパーキューブ

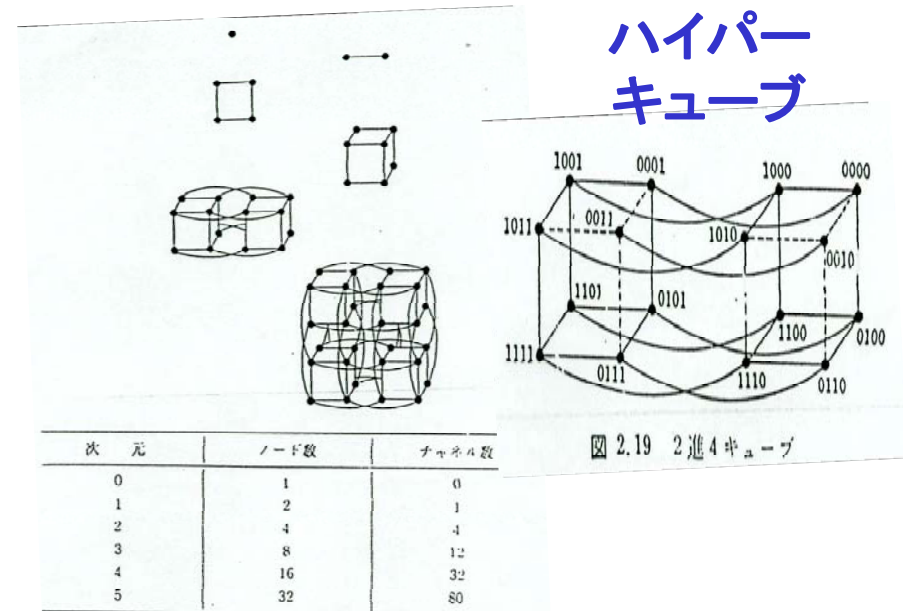
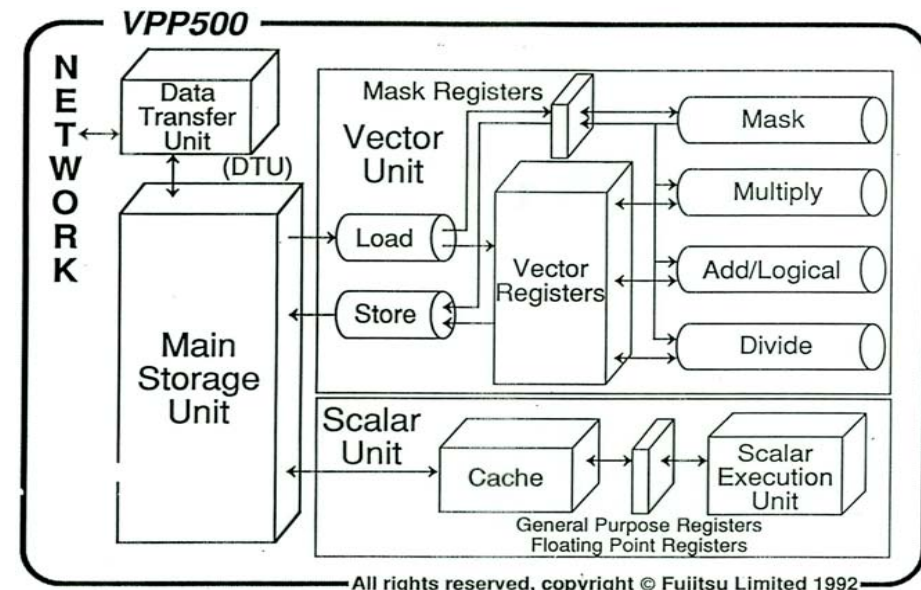
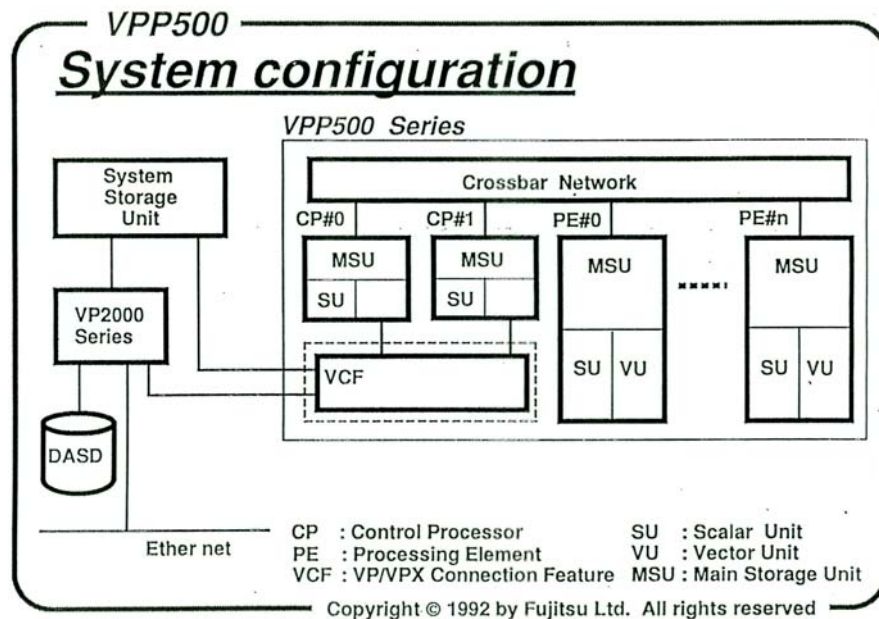


図 2.19 2進4キューブ

図 2.20 ハイパーキューブのトポロジー

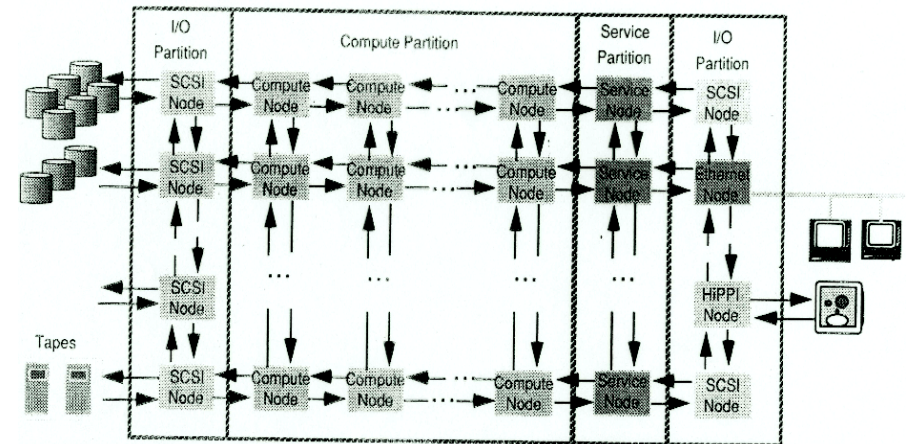
VPP500 System configuration



Cray 3

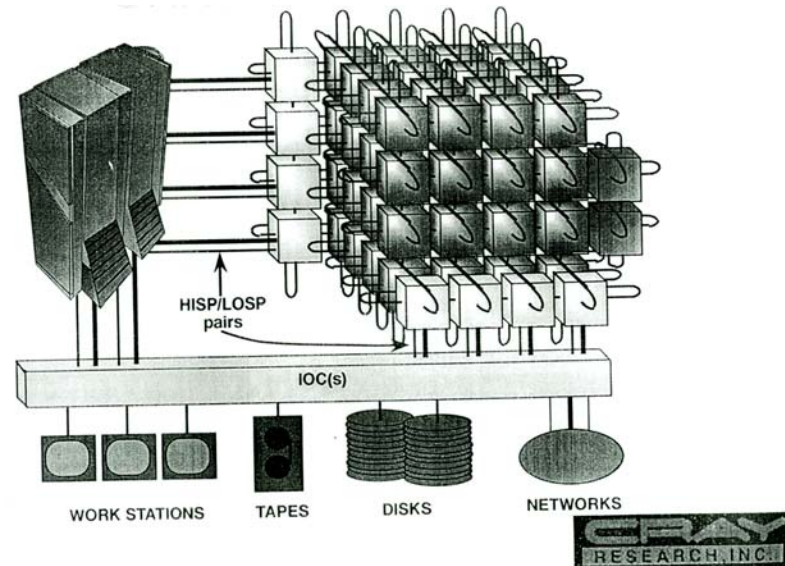


Intel Paragon XP/Sのアーキテクチャー



- ・浮動小数点演算速度 5Gから300GFLOPS
- ・整数演算速度 最大160KMIPS
- ・主記憶容量 最大128Gバイト
- ・内蔵ディスク容量 最大テラバイト
- ・外部接続 I/O速度 最大6.4Gバイト/秒

CRAY T3D システム



Cray T3D



Cray T90



Earth Simulator

(<http://www.es.jamstec.go.jp/>)

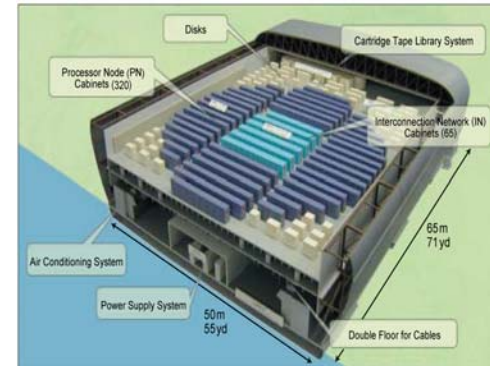
- Earth Environmental simulation like Global Warming, El Nino, Plate Movement for the all lives onr this planet.
- Developed in Mar. 2002 by STA (MEXT) and NEC with 400 M\$ investment under Dr. Miyoshi's direction.
(Dr.Miyoshi: Passed away in Nov.2001. NWT, VPP500, SX6)



Mr. Hajime Miyoshi

Image of Earth Simulator

4 Tennis Courts



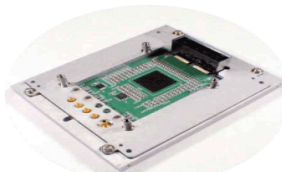
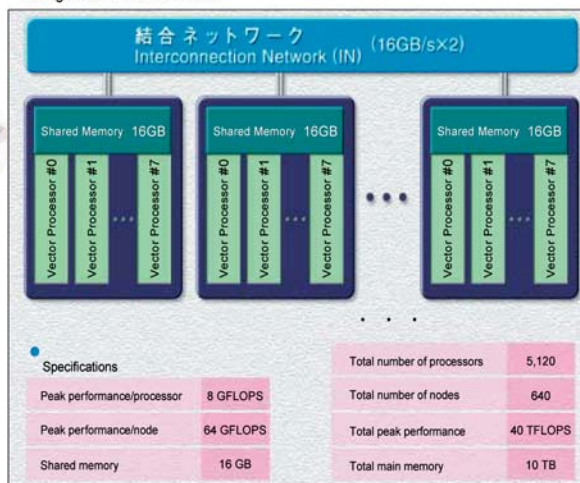
40 TFLOPS Peak (40×10^{12})
35.6 TFLOPS Linpack



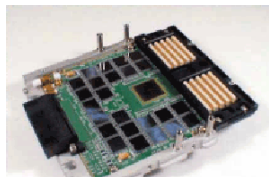
Architecture of Earth Simulator

- 5120 Single Chip Vector Processors: 8processor SMP node * 640
- Inter node crossbar : Bi-Sect. Band Width: 16GB/s*2*320=10TB/s, 1800 miles of copper cable
- Distributed shared memory

Configuration of Earth Simulator



Processor Board (0.15um CMOS)



Memory Board (512MB FPLRAM)

<http://www.top500.org>

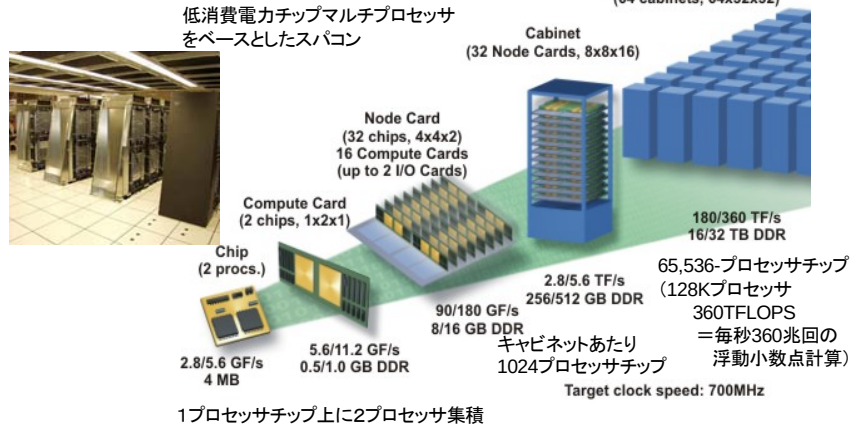


現時点での世界最速コンピュータ (低消費電力マルチコアプロセッサベース)

IBM BlueGene/L

Lawrence Livermore National Laboratory 2005/04 稼働予定

低消費電力チップマルチプロセッサ
をベースとしたスパコン



OSCARマルチコアアーキテクチャ

- 自動並列化コンパイラ協調型
チップマルチプロセッサ
(マルチコアプロセッサ)

OSCAR: Optimally Scheduled
Advanced Multiprocessor

- 携帯電話・DVD・ゲーム・カーナビ・デジタルTV等の情報家電
- 次世代スーパーコンピュータ

産学連携: STARC (国内企業12社出資の
半導体理工学研究センター)

2000-2004: 基礎研究 2004-2006: 実用化研究
(富士通, 東芝, NEC, ソニー, 松下等)

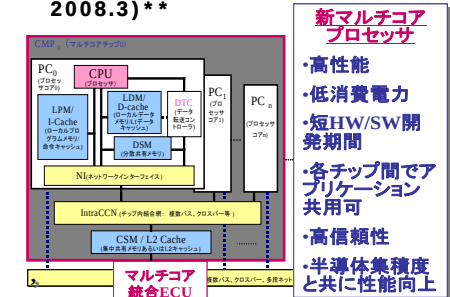
2001-2005: STARC 寄附講座 SoC 設計技術

産官学連携: NEDO (経産省)

「大学発事業創出実用化研究開発事業」

2004-2006: 先進ヘテロジニアス・マルチ
プロセッサ (日立)

経済産業省 / NEDO リアルタイム情報
家電用マルチコア (2005.7 ~
2008.3) **

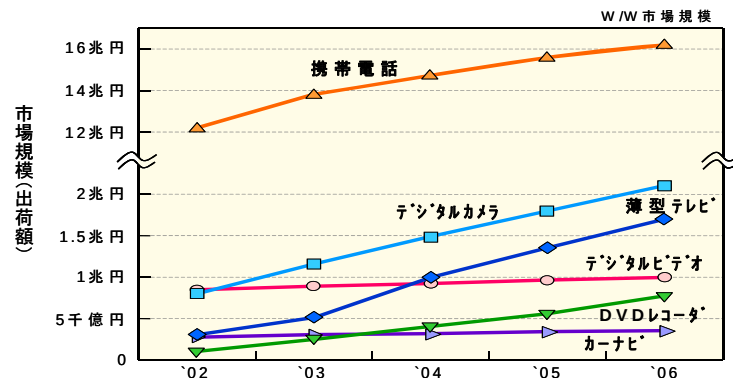


開発マルチコアチップは情報家電へ



**日立, 富士通, ルネサス, 東芝, 松下, NEC

リアルタイム情報家電が市場を牽引



	'03	'07	年平均成長率%
デジタルステルカメラ(M台)	49	76	12
デジタルTV(M台)	6	27	45
DVDレコーダ(M台)	3.6	33	74
PC用DVD(記録型)(M台)	27	114	43
携帯電話(M台)	400	670	8
自動車用半導体需要(B\$)	14.0	20.9	11

2005.5.11
NEDOロードマップ報告会
電子・情報技術開発部
「技術開発戦略」より

デジタル民生機器の例

- 情報、通信、マルチメディア処理が収斂
- マルチフォーマット、マルチストリーム処理へ



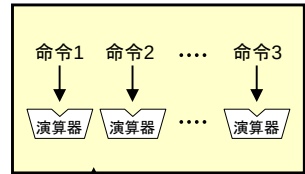
機能
カメラ
テレビ電話/ムービー
デジタルTV
オーディオ
ゲーム
認識
:

フォーマット・規格
JPEG, MotionJPEG, JPEG2000,
MPEG4, Nancy,
H.264, MPEG2,
MP3, AAC, WMA, RealAudio,
3DG, Java,
音声, 画像,
:

従来のプロセッサ技術との比較

- AHMPは従来技術と比べ電力、開発期間、コストを大幅に低減

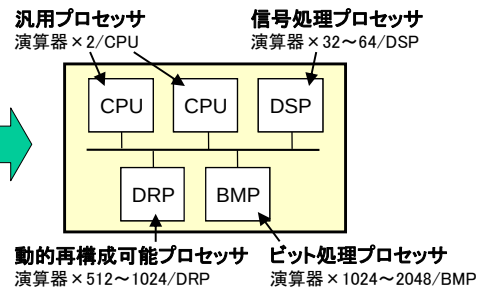
■ 従来のプロセッサ (スーパースカラ、VLIW)



高性能プロセッサ
演算器 × 8~16 / プロセッサ

- ・8~16個の汎用演算器で構成
- ・命令レベルの並列性
- ・クロック周波数の高速化で高性能化 → 低電力化困難

■ AHMPプロセッサ



- ・多種類の専用プロセッサで構成
- ・特徴にあわせたタスクの並列配置
- ・超多数の演算器を活用した並列処理による高性能化 → 低電力化実現

携帯電話向けアプリケーションプロセッサ: MP211

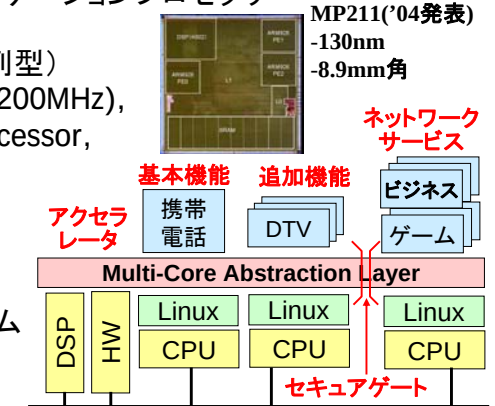
快適なインターネット・アクセス環境をモバイル機器で

ねらい

デジタル放送、高性能ダウンロードアプリなどを携帯電話で実現するための高速低電力アプリケーションプロセッサ

成果／革新性

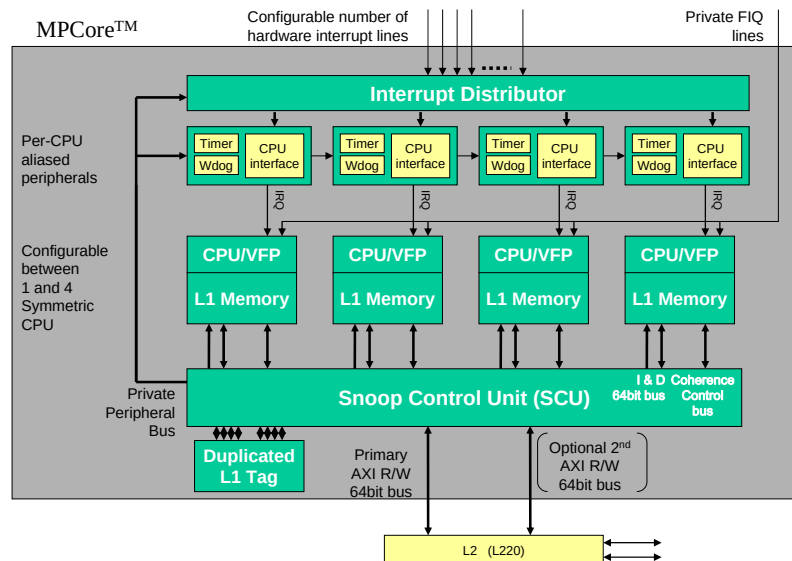
- ・オンチップ並列処理(タスク並列型)
ARM926(200MHz) × 3, DSP(200MHz), Graphics Engine, Image Processor, Security Engine
- ・マルチコア仮想化ソフトウェア
- ・高性能バスアーキテクチャ
- ・電源制御による低電力化
- ・デジタル放送のようなリアルタイム処理をCPU分離し、性能確保
- ・ダウンロードアプリをCPU分離することによるセキュリティ確保



MP211('04発表)
-130nm
-8.9mm角

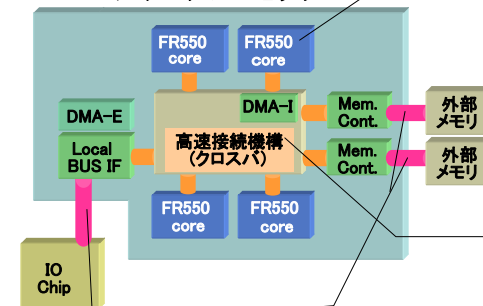
MPCore™ブロック図

ARM and NEC Collaboration

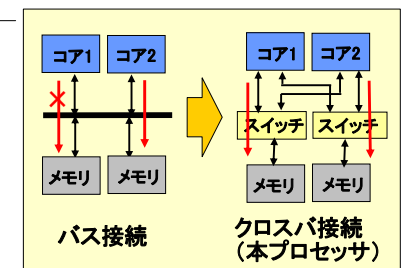
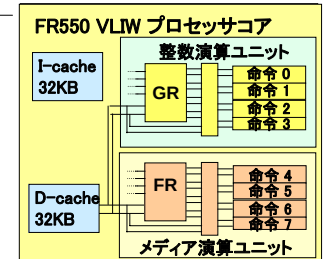


FR-Vマルチコアプロセッサ

FR-Vマルチコアプロセッサ



- 高速外部入出力バス
- ・メモリバス: 64bit x 2ch / 266MHz
 - ・システムバス: 64bit / 178MHz (周波数は現FR-Vの2倍)

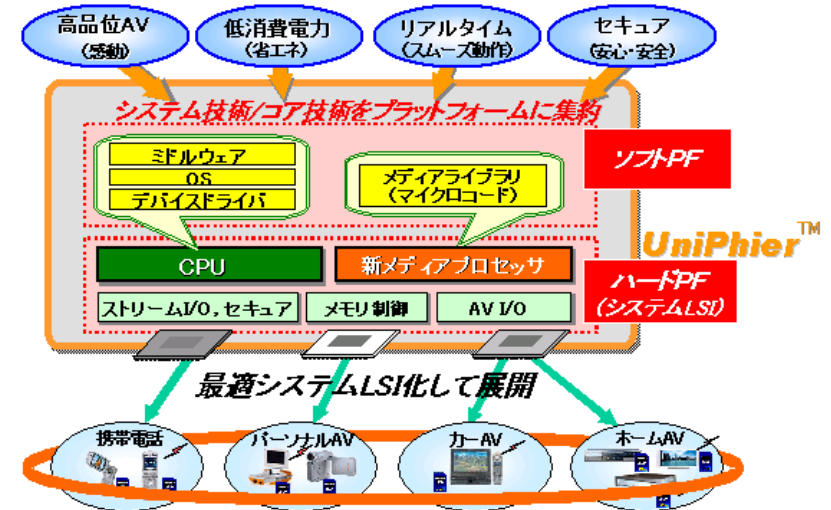


FR-Vチップ写真/諸元



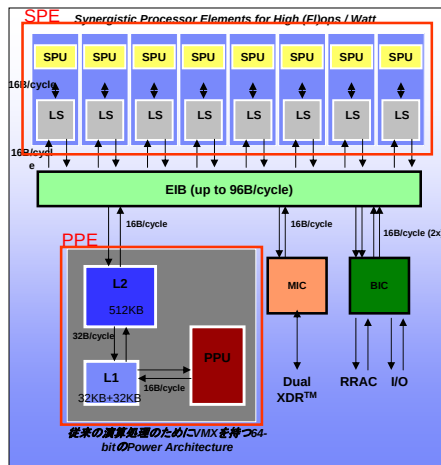
方式	1チップ・マルチプロセッサ (4プロセッサコア内蔵)
プロセッサコア	8並列VLIW方式 32KB 命令&データ分離キャッシュ方式
システムバス	64bit 178MHz
ピーク性能	8530MIPS / 8530MFLOPS / 51.2GOPS
プロセス	90nm CMOSテクノロジー
総トランジスタ数	約8300万トランジスタ
クロック周波数	533MHz
電源	2.5V(外部)、1.2V(内部)
消費電力	3W
パッケージ	FCBGA 900pin

UniPhier統合プラットフォーム



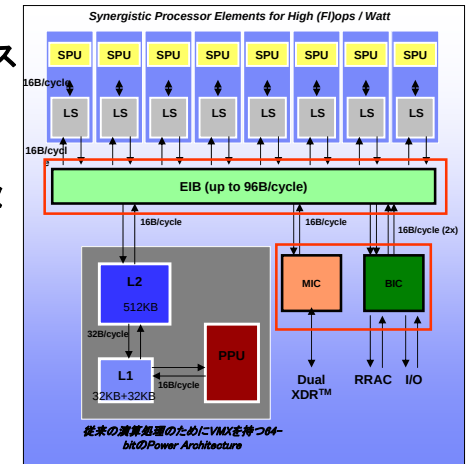
CELLプロセッサ概要 (1/2)

- Power Processor Element (PPE)
 - PowerコアはOS及び制御集中タスクを処理
 - 2-wayマルチスレッド
- Synergistic Processor Element (SPE)
 - 8つのSPEが優れた演算性能を提供
 - Dual issue のRISCアーキテクチャ
 - 128bit のSIMD型(16-wayまで)
 - 128 x 128bit General Registers
 - 256KB Local Store
 - 専用DMA engines

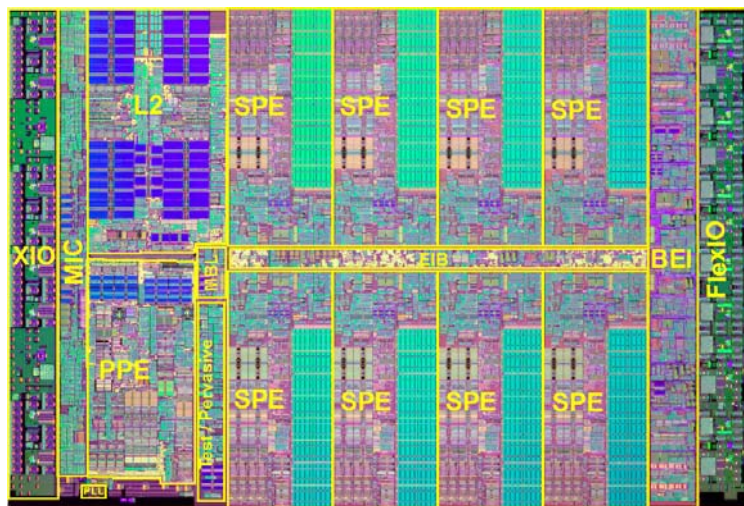


CELLプロセッサ概要(2/2)

- デュアルXDR DRAMチャネル
- 柔軟性のあるI/Oインターフェース
 - 複数のシステム構成が可能
 - 2つの設定可能なインターフェース
 - 2つのインターフェース間の柔軟性のあるバンド幅
- Element Interconnect Bus
 - リングバス
 - 96B/cycle ピークバンド幅

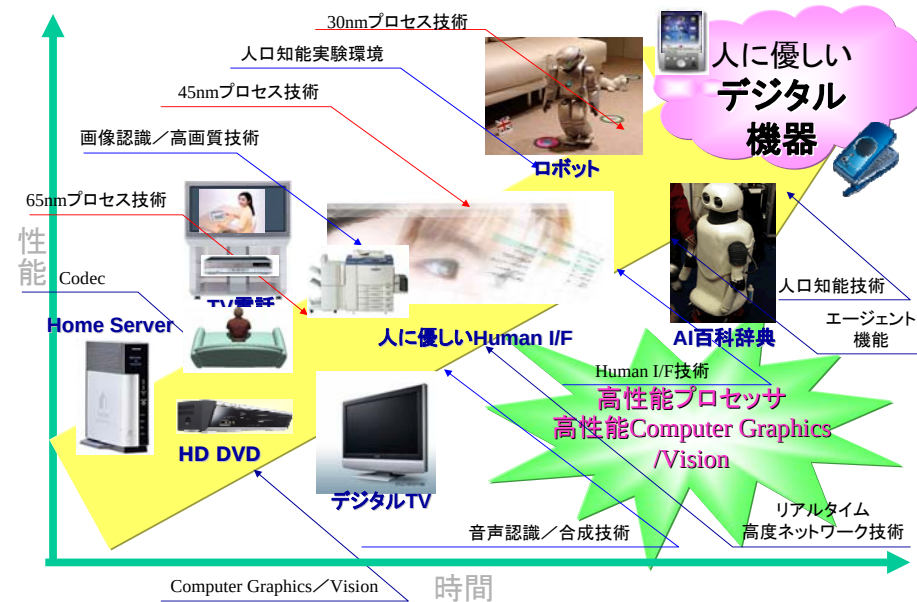


チップ写真

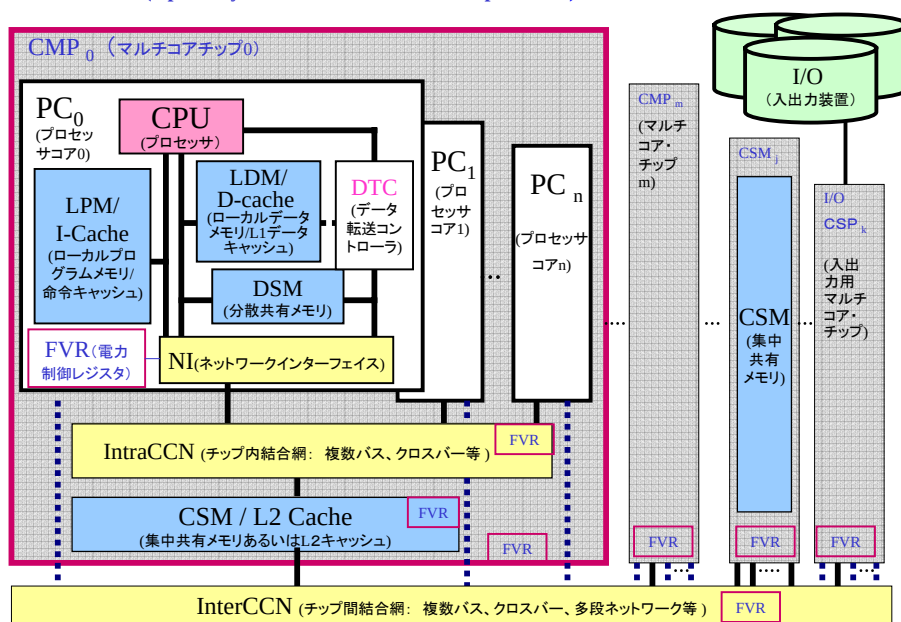


90nm SOI technology with 8 levels of copper interconnects and one local interconnect layer

Cellが狙う製品戦略



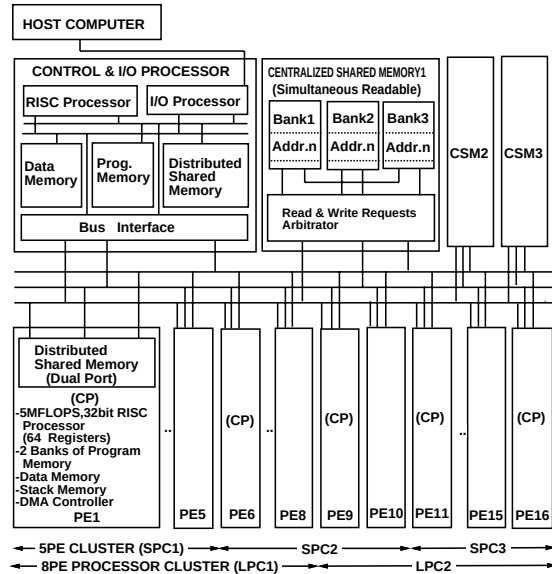
OSCAR(Optimally Scheduled Advanced Multiprocessor) マルチコア・プロセッサ



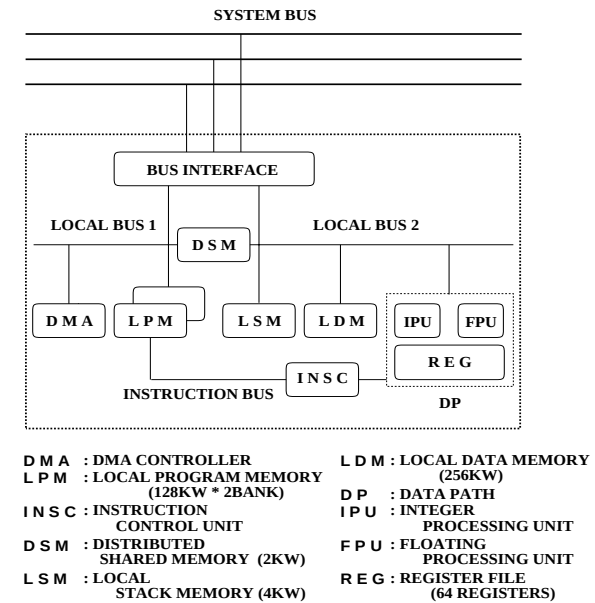
1987 OSCAR(Optimally Scheduled Advanced Multiprocessor)



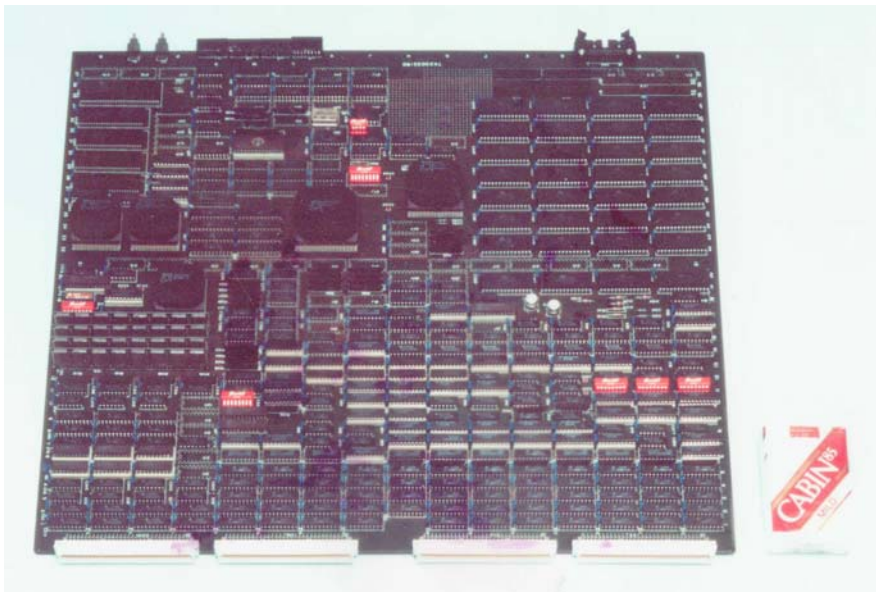
OSCAR(Optimally Scheduled Advanced Multiprocessor)



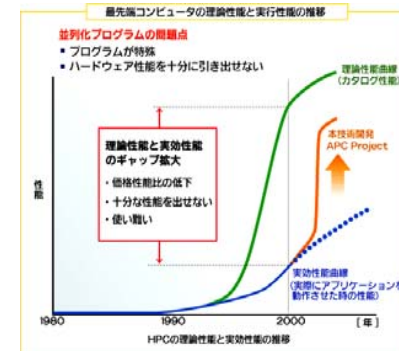
OSCAR PE (Processor Element)



1987 OSCAR PE Board



マルチコア用コンパイラ研究課題



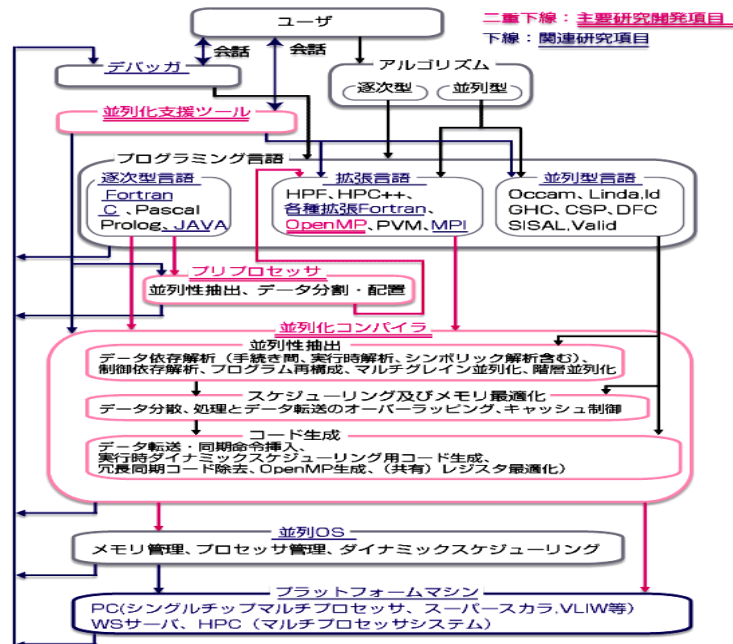
プロセッサ高速化における3大技術課題の解消

- 消費電力増大による速度向上の鈍化
 - コンパイラによる低消費電力制御機能を用いたアプリケーション内でのきめ細かい周波数・電圧制御・電源遮断により消費電力低減
- 半導体集積度向上(使用可能トランジスタ数増大)に対する速度向上率の鈍化
 - 粗粒度タスク並列化、ループ並列化、近細粒度並列化によりプログラム全域の並列性を利用するマルチグレイン並列化機能により、従来の命令レベル並列性より大きな並列性を抽出し、複数マルチコアで速度向上

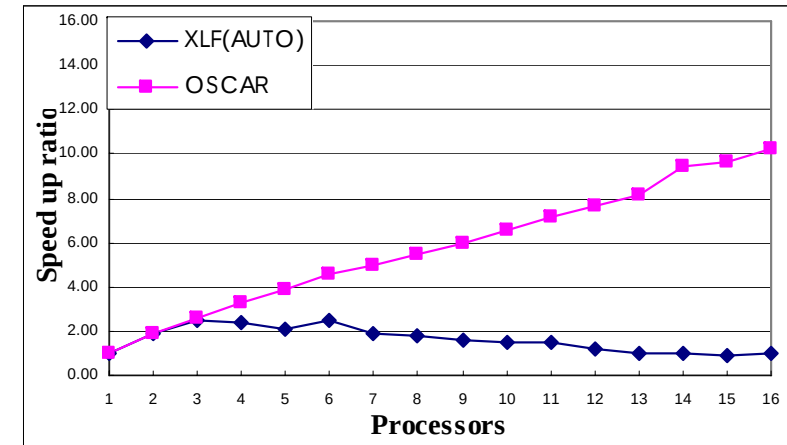
メモリウォール問題

- コンパイラによるローカルメモリへのデータ分割配置、DMAコントローラによるタスク実行とオーバーラップしたデータ転送によりメモリアクセス・データ転送オーバーヘッド最小化

アドバンスト並列化コンパイラプロジェクト



Performance of Multigrain Parallel Processing for 102.swim on IBM pSeries690



海外における並列化コンパイラ研究状況

- ループ自動並列化 (イリノイ大, メリーランド大, スタンフォード大)
 - データ依存解析
 - GCD, Banerjee's inexact / exact, Omega, シンボリック解析, IPA (手続き間解析), シンボリック解析, 実行時解析, etc
 - ループリストラクチャリング (自動プログラム変換)
 - アンローリング, ストリップマイニング, ループ融合, ユニモジュール変換 (スキューニング, リバーシング, インターチェンジ), アレイプライベタイゼーション, タイリング, etc

イリノイ大: Polaris, Parafrase2, Promise (UC Irvine と共同)

スタンフォード大: SUIF, NCI (National Compiler Infrastructure)

■ 成熟期に達し、今後の大幅な性能向上困難 (アムダールの法則)

- 複雑なイタレーション間データ依存・制御依存による逐次ループ存在
- ループ回転数がプロセッサ数より少ない場合の階層的並列化必要

マルチレベル並列処理

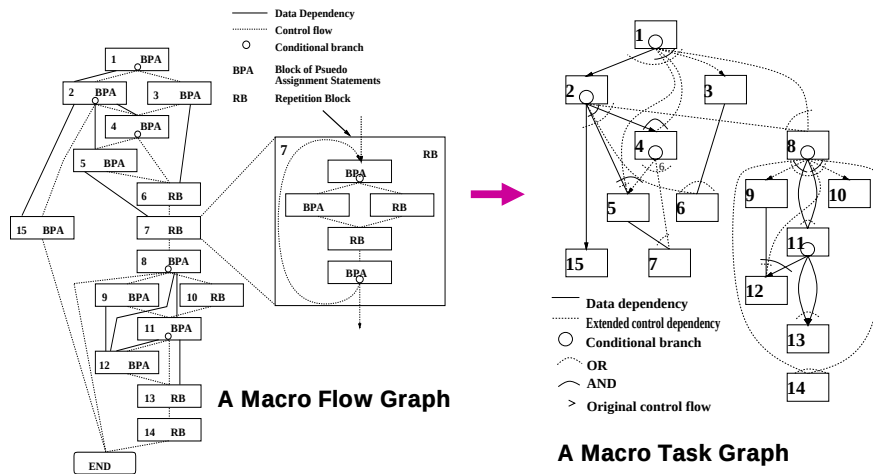
イリノイ大: PROMIS compiler プロジェクト

カタルーニャ工科大: NANOS compiler (NthLIB, extended OpenMP)

マルチグレイン並列化の必要性

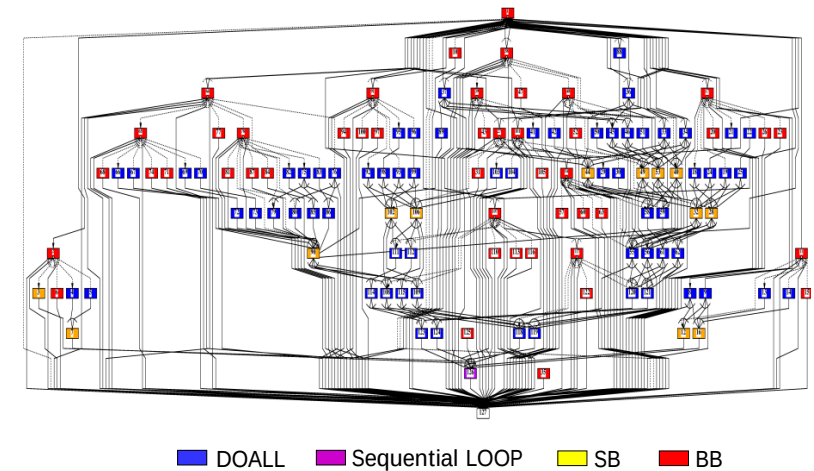
- HPC: ループ並列化の限界
 - 技術的成熟, 並列化困難なループの存在
 - プロセッサ増加と共に無視していた逐次ループが性能向上に悪影響 (アムダールの法則)
- マイクロプロセッサ: 命令レベル並列性の限界
 - 主流のスーパースカラ/VLIWは命令レベル並列性の利用のみ
 - 集積度向上と共にハードウェア複雑化 (命令発行数増加/機能ユニット増加/投機実行/分岐予測等) しているが使用トランジスタ数に対しスケラブルな性能向上困難 (2-3倍が上限)
- プロセッサ数・トランジスタ数の増加に対しスケラブルな性能向上を可能とするアーキテクチャ及びコンパイル技術必要
- マルチグレイン自動並列化
 - シングルチップ・マルチプロセッサからHPCまでの実効性能, 価格性能比, 使い易さを向上
 - マルチグレインコンパイラと協調して最高性能を出すアーキテクチャの開発により競争力のあるHPC, マイクロプロセッサの開発

Earliest Executable Condition Analysis for coarse grain tasks (Macro-tasks)

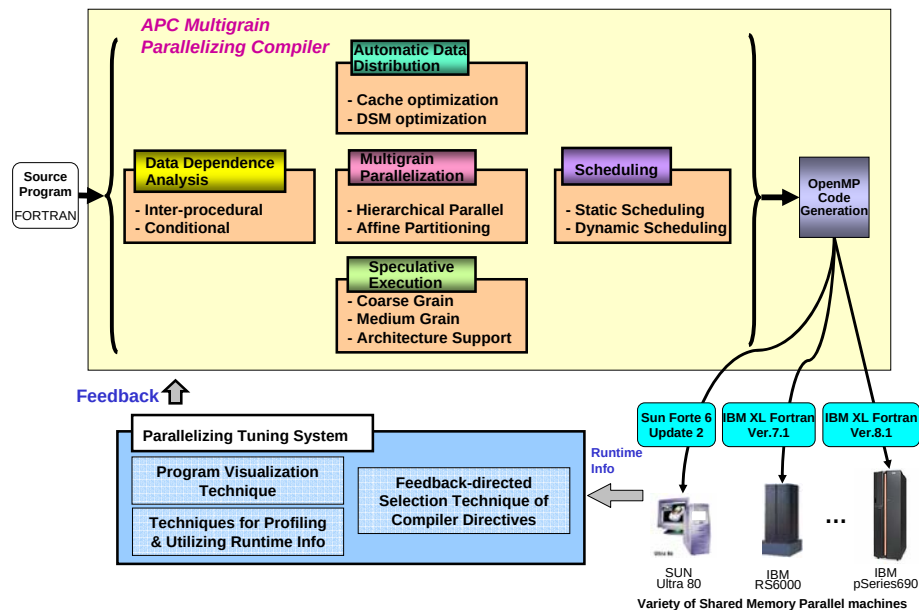


MTG of Su2cor-LOOPS-DO400

■ Coarse grain parallelism PARA_ALD = 4.3



APC Compiler Organization



マルチグレイン並列処理の 実行イメージ

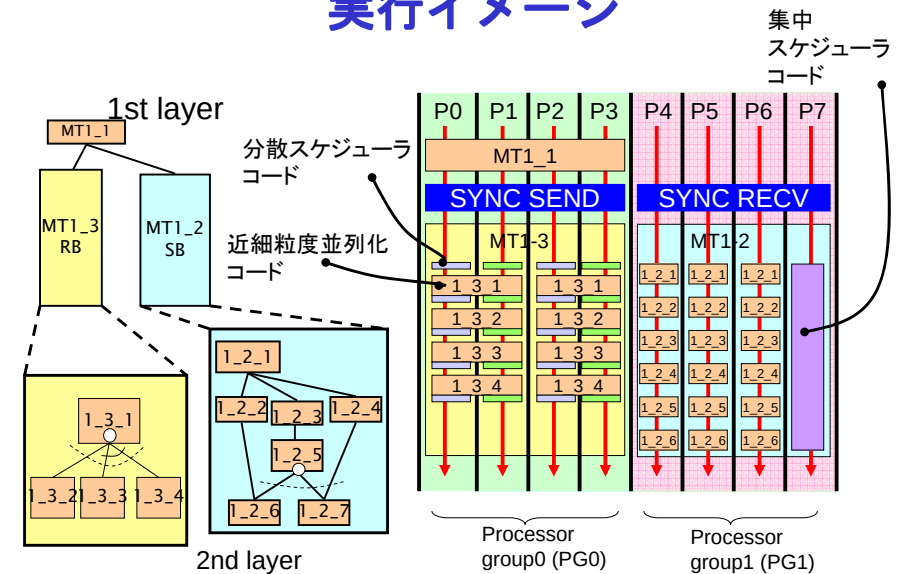
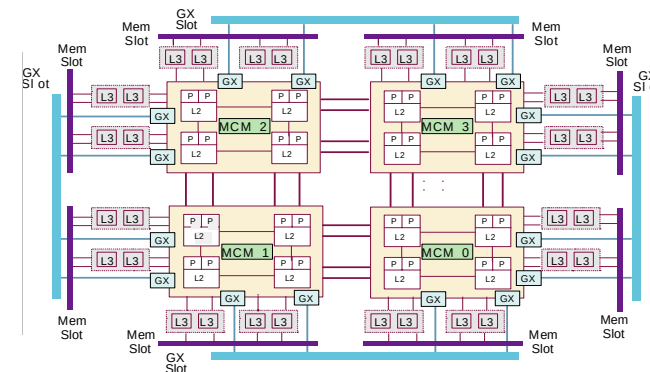


Figure 1 illustrates the MTG (Multi-Threaded Graph) and its division into four groups (dlg1, dlg2, dlg0, dlg3) after a 4-way split. The MTG is a hierarchical tree structure. The 4分割後のMTG shows the same structure with nodes colored according to their group assignment. The legend indicates that gray shading represents a Data Localization Group. The table on the right maps the 32 PE IDs to the corresponding node numbers in the 4分割後のMTG.

PE0	PE1
12	1
2	3
6	7
4	14
8	18
15	5
19	9
25	11
29	10
13	16
17	20
22	26
21	30
23	24
27	28
	32
	31

- **Up to 16 Power4: 32 way SMP Server**
 - L1(D) : 64 KB (32KB/processor, 2 way assoc.), L1(I): 128 KB (64KB/processor, Direct map)
 - L2 : 1.5 MB (shared cache with 2 procs., 4~8 way assoc.)
 - L3 : 32 MB (external, 8 way assoc.) [x 8 = 256 MB]



Four 8-way MCM Features Assembled into a 32-way pSeries 690

http://www-1.ibm.com/servers/eserver/pseries/hardware/whitepapers/p690_config.html

IBM @server pSeries690 Configuring for Performance

概要

<リーダー> 早大 笠原博徳

<研究期間> 2000.9.8 - 2003.3.31

<連携機関> 早大、日立、富士通、産総研、日本情報処理開発協会等

<目標> 国内産業界の基幹ソフトウェア（並列化コンパイラ）技術を、世界のトップに押し上げる。

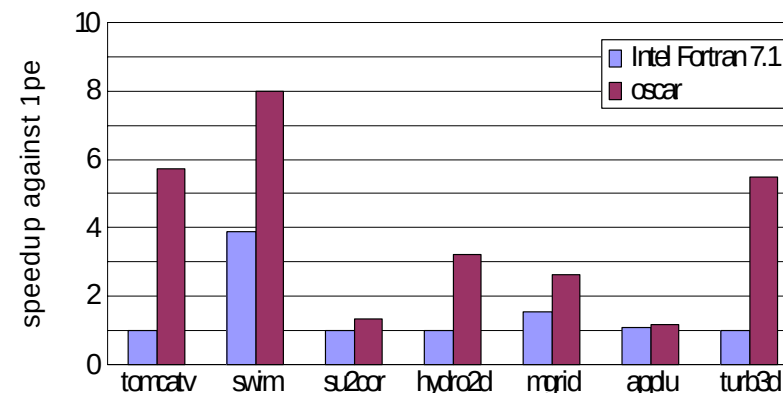
<結果> IBM最新高性能サーバ pSeries690 16プロセッサ上で世界標準科学技術計算ベンチマークに対し、**IBM最新コンパイラXL Fortran Ver.8.1に比べ平均3.5倍、最大10.7倍の高速化に成功。**

APCコンパイラの最新並列コンピュータIBM pSeries690(16プロセッサ)上での性能

ベンチマーク	IBM XL Fortran Ver.8.1 (倍速化率)	APC compiler (倍速化率)
program6	1.0	5.1
tomcatv	2.5	11.0
swim	2.2	11.0
sudzor	1.0	3.0
hydro2d	1.5	7.0
mgrd	2.2	11.0
applu	2.2	1.0
tur3d	1.0	10.7
foppp	1.0	1.0
foppp	1.0	1.0
wave5	1.0	1.0
wupwise	1.0	4.4
swim	2.5	3.0
mgrd	2.5	3.0
applu	1.5	11.0
sltrack	1.0	1.0
applu	1.0	1.0

＜世界からの評価＞ Stanford Univ. Univ. of Illinois, Purdue Univ. École des Mines de Paris
APCプロジェクトにより、高性能コンピュータ用のソフトウェアで日本が世界一。
＜内閣府IT21評価助言会議＞平成15年7月18日(評価抜粋)「米国のこの分野のキーパース
ンからも評価されており、米国を凌駕する並列コンパイラ技術を構築した」

16 Itanium 2 (1.3GHz) SMP server
L1 16KB(4way), L2 256KB(8way), L3 3MB(12way)

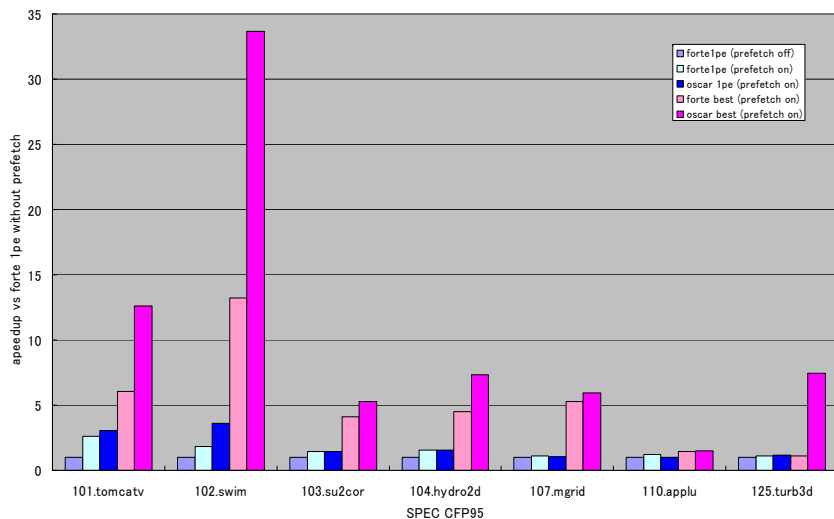


2.6 times speedup against Intel Fortran 7.1

Sun V880サーバ上性能

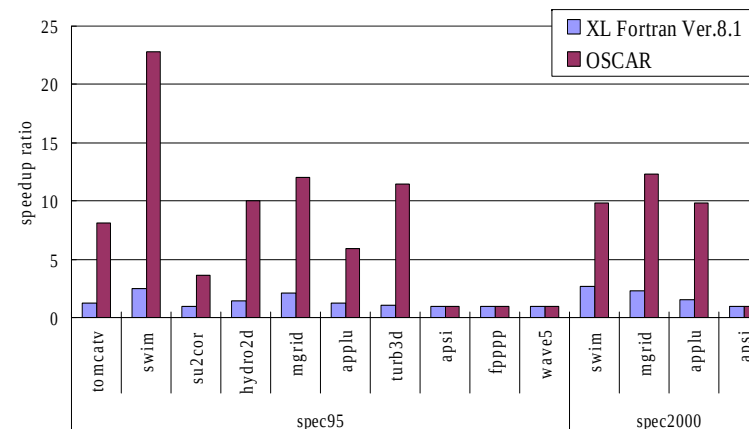
データローカライゼーション+キャッシュプリフェッチ

Performance of OSCAR compiler on SUN V880 (8 Ultra SPARC III Cu 1050MHz)



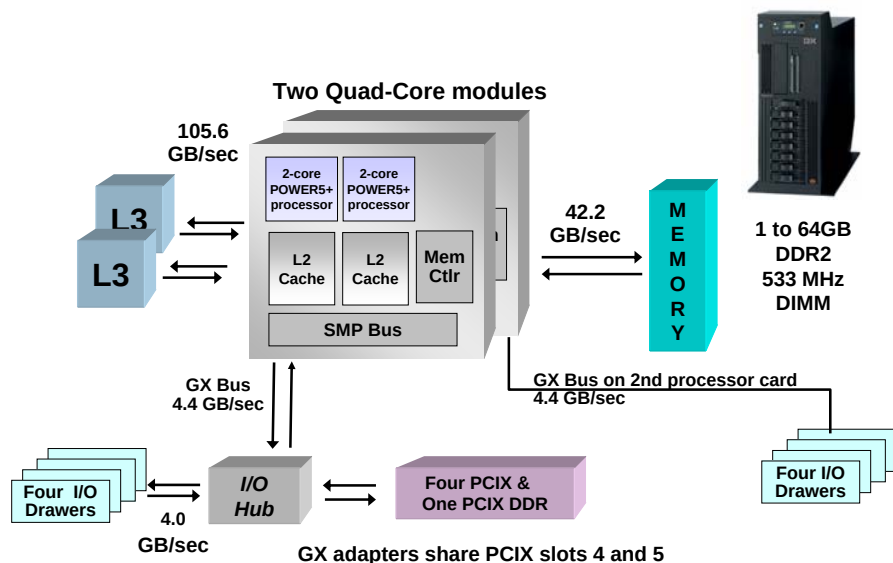
Performance on IBM pSeries690

Power4 24 processors SMP server



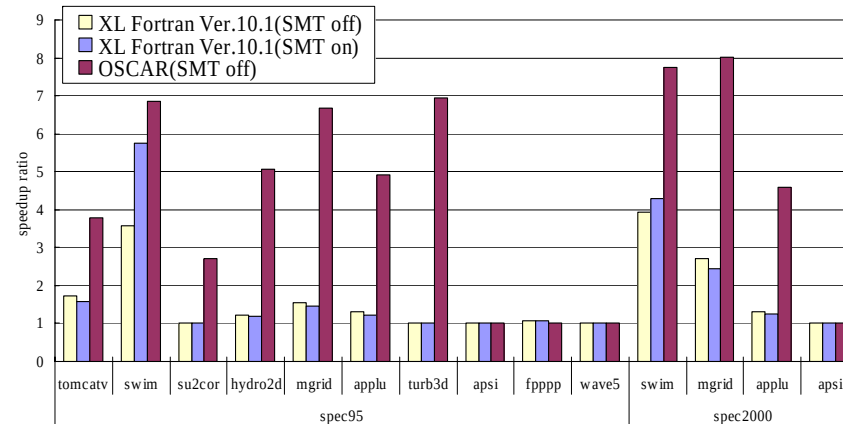
- OSCAR compiler gave us 4.82 times speedup against XL Fortran Ver.8.1

IBM p5-550Q server (1.65 GHz)



Performance on IBM p5 550

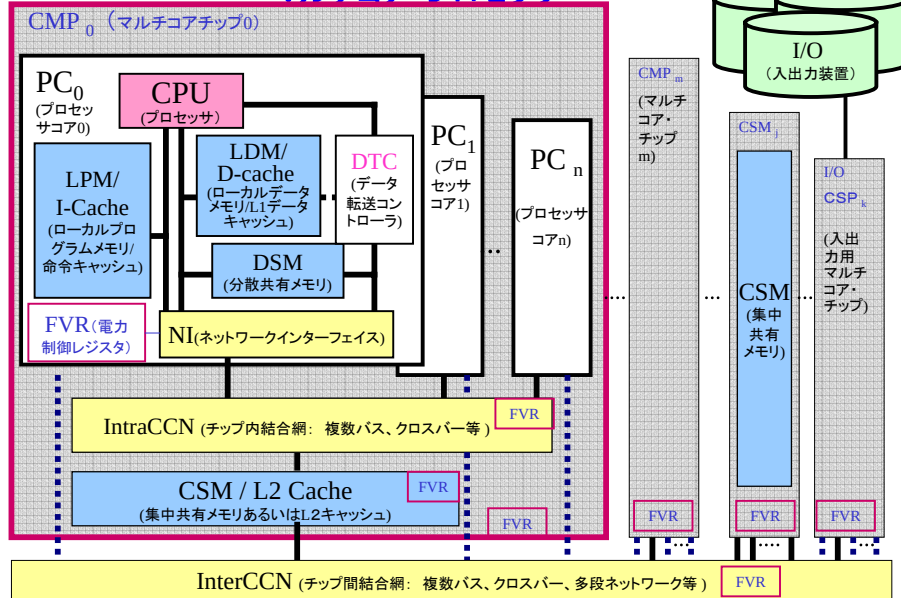
POWER5+ 8 processors SMP server



- OSCAR compiler
 - 2.74 times speedup against XL Fortran Ver.10.1 without SMT
 - 2.78 times speedup against XL Fortran Ver.10.1 with SMT

OSCAR(Optimally Scheduled Advanced Multiprocessor)

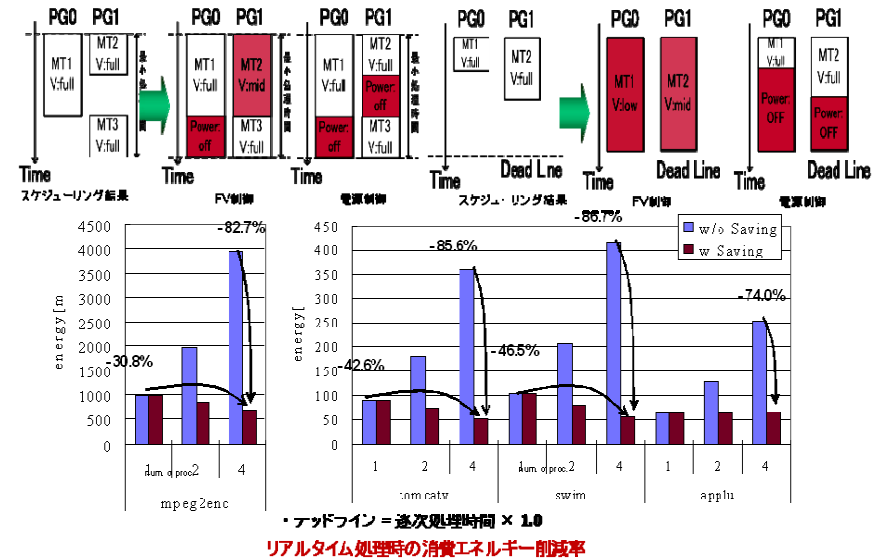
マルチコア・プロセッサ



OSCAR並列化コンパイラによる低消費電力制御

最小処理時間時の電源・周波数電圧制御

デッドライン制約を考慮した電源・周波数電圧制御



マルチコア・アプリケーション

- 各種アプリケーションのスーパーコンピュータあるいはチップマルチプロセッサ上での高速化・低消費電力化等を目指した並列技術

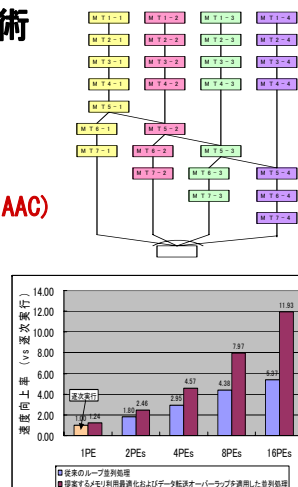
- 電子回路シミュレーション
- 自動車情報・制御系統合
- ゲーム
- マルチメディア (MPEG, JPEG, H264, MP3, AAC)

アドバンスチップマルチプロセッサ研究所

所長: 笠原、幹事: 木村

客員教授: 小高日立フェロー、竹本STARC前社長
内山日立中研技師長、大川前日立国プロ部長

客員研究員: 伊藤雅樹、鹿野裕明 (日立中央研究所)、佐藤真尋 (日立システム開発研究所)、長谷川淳 (ルネサステクノロジ)
高橋宏政、須賀敦浩 (富士通研究所)、
前田誠司 (東芝研究開発センター)、
前田昌樹 (松下電器産業プラットフォーム開発センター)



まとめ

- 世界最速のスーパーコンピュータの開発において早稲田の果たしてきた役割は極めて大きい。2010年以降のペタフロップス(1秒間に1000兆回の浮動小数点演算)を超えるマシンの開発でも早稲田が貢献できることを願っている。
- 今後、携帯電話、DVD、デジタルTV、ゲーム、カーナビ等情報家電からスーパーエンドコンピュータ分野に至るまで、低消費電力技術、マルチコア(マルチプロセッサ)技術がキーテクノロジー
- 安全・安心及び使い易さ、開発期間の短縮、アプリケーションソフトウェアの生産性向上のためシステムソフトウェアの重要性がさらに高まる
- 豊かな生活を維持するための製品付加価値の維持・向上のためにはコアとなるコンピュータ(プロセッサ)技術で常に世界を一步リードしていくこと、そのためには従来にも増した産官学一体の世界最先端技術開発、それを持続的に支える人材育成に力を注いでいくことが重要

提出期限と方式はCS最先端技術入門 全体で決められた方式に従うこと

課題

- ・ スーパーコンピュータのさらなる高速化のための問題点をあげ、それらを克服していくための方法について述べよ。
- ・ また、どのような種類の計算(アプリケーション)が速くできるスーパーコンピュータであれば開発してみたいか、あるいはして欲しいかを自由に述べよ。