

グリーン・マルチコア・コンピューティングの将来



早稲田大学 副総長(研究・情報化推進) 笠原博徳
IEEE Computer Society President 2018

1980 早大電気工学科卒, 1982同修士了
1985 早大大学院博士課程了 工学博士
カリフォルニア大学バークレー客員研究員
1986 早大理工専任講師, 1988年 助教授
1997 教授、現在 理工学術院情報理工学科
1989~1990 イリノイ大学Center for
Supercomputing R&D客員研究員
2004 アドバンストマルチコア研究所所長
2017 日本工学アカデミー, 日本学術会議連携会員

1987 IFAC World Congress Young Author Prize
1997 情報処理学会坂井記念特別賞
2005 半導体理工学研究センタ共同研究賞
2008 LSI・オブ・ザ・イヤー 2008 準グランプリ,
Intel Asia Academic Forum Best Research Award
2010 IEEE CS Golden Core Member Award
2014 文部科学大臣表彰科学技術賞研究部門
2015 情報処理学会フェロー,
2017 IEEE Fellow, 2017 IEEE Eta-Kappa-Nu

査読付き論文216件, 招待講演176件,
特許取得50件(日本・米国・英国・中国等),
新聞・Web記事・TV等メディア掲載 609件

政府・学会委員等歴任数 265件
IEEE Computer Society President 2018, Executive
Committee委員長, 理事(2009-14), 戦略計画委員会委員
長, Multicore STC 委員長, 規約委員会委員長, IEEE CS
Japan 委員長(2005-07) 等

【経済産業省・NEDO】情報家電用マルチコア&
アドバンスト並列化コンパイラプロジェクトリーダ,
NEDOコンピュータ戦略委員長等

【内閣府】スーパーコンピュータ戦略委員, 政府調達苦情
検討委員, 総合科学技術会議情報通信PT 研究開発基
盤領域&セキュリティ・ソフト検討委員, 日本国際賞選定委
員、情報科学技術委員, HPCI計画推進委員, 次世代スパ
コン(京)中間評価委員・概念設計評価委員, 地球シミュ
レータES2導入技術アドバイザー委員長等

Waseda Alumni: Contribution for International Academic Societies

Toshio FUKUDA



The University Professor Waseda, Waseda Alumnus, Prof. Emeritus Nagoya Univ., Prof. Meijo Univ. **IEEE President 2020. The first from Asia in 135 years history.** IEEE has 420,000 members.

Aiji TANAKA



President **International Political Science Association (IPSA)** President 2016

Hironori KASAHARA



Senior Executive Vice President **IEEE Computer Society President 2018. The first president from outside USA and Canada in 72 years CS history.** CS has 84,000 members from, 168 countries.

Tetsuya OSAKA



The Electrochemistry Society, President 2013-2014

Hiroyuki NISHIDE



Federation of Asian Polymer Societies, President

Shuichi FURUYA



A member of United Nations Human Rights Committee

IEEE Computer Society

IEEE CS (1946年設立)72年の歴史の中で初めて、北米以外から会長に選出



Bjarne Stroustrup: Morgan Stanley & Columbia Univ.
2018 IEEE Computer Society Computer Pioneer Award
IEEE COMPSAC2018 Keynote & Award Ceremony



July 26, 2018, Keynote,
Hitotsubashi Hall



July 25, 2018 Award Ceremony
Rihga Royal Hotel Tokyo



•84,000+ members

- 480 chapters
- 168 countries
- 31 technical committees & councils



IEEE CS Awards Ceremonies with CS President 2018



**June BoG Award Dinner
with CS Award Winners and
their Families, Phoenix**



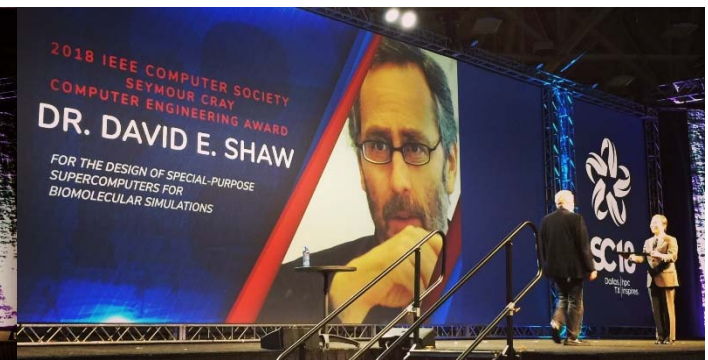
**B. Ramakrishna
Rau Award in
MICRO,
Fukuoka**



**Technical
Achievement
Award, in
COMPSAC,
Tokyo**



**Computer
Pioneer Award
to C++ Bjarne
Stroustrup in
COMPSAC,
Tokyo**



Award Ceremony in SC (Super Computing 2018 with 13 thousands participants), Dallas

Cooperation with International Organizations in 2018



**IPJSJ Leaders, March,
IPJSJ Convention, Tokyo**



**Japan (IPJSJ), China(CCF),
Korea(KIISE) in March,
Waseda U., Tokyo**



**Okawa Foundation, CS Japan
Chapter, Multicore STC &
Japanese Government Symp.**



**MoU with UN ITU
in AI for Good,
May, Geneva**



**CCF China National Computer
Congress, Oct. , Hangzhou**



**MoU with Baidu, July,
Green Comp. C., Tokyo**



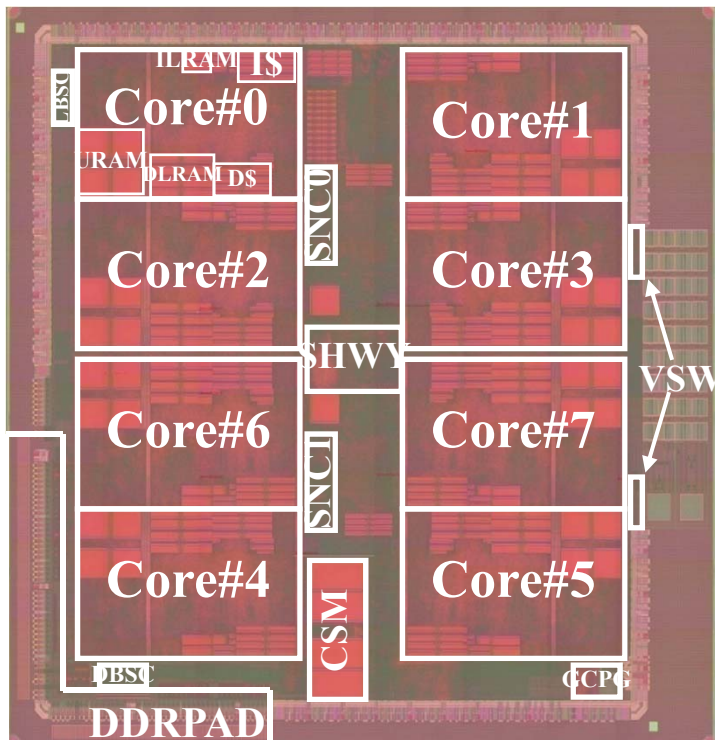
**IEEE CS China Office
moderated Tencent-
Waseda Univ. Joint
Symposium, Nov.,
Waseda U., Tokyo**



**Russian Academy of Science:
Russian Computer Science 70th
Anniversary, Nov., Moscow**

Multicores for Performance and Low Power

Power consumption is one of the biggest problems for performance scaling from smartphones to cloud servers and supercomputers (“K” more than 10MW) .



IEEE ISSCC08: Paper No. 4.5,
M.ITO, ... and H. Kasahara,
“An 8640 MIPS SoC with
Independent Power-off Control of 8
CPUs and 8 RAMs by an Automatic
Parallelizing Compiler”

$$\text{Power} \propto \text{Frequency} * \text{Voltage}^2$$

(Voltage $\propto$ Frequency)

➔ Power $\propto$ Frequency³

If Frequency is reduced to 1/4
(Ex. 4GHz $\rightarrow$ 1GHz),
Power is reduced to 1/64 and
Performance falls down to 1/4 .

<Multicores>

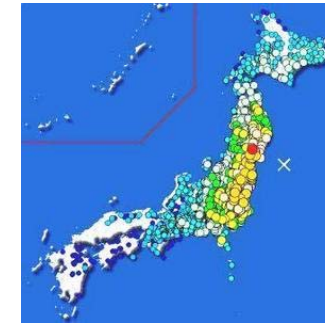
If 8cores are integrated on a chip,
Power is still 1/8 and
Performance becomes 2 times .

Parallel Soft is important for scalable performance of multicore (LCPC2015)

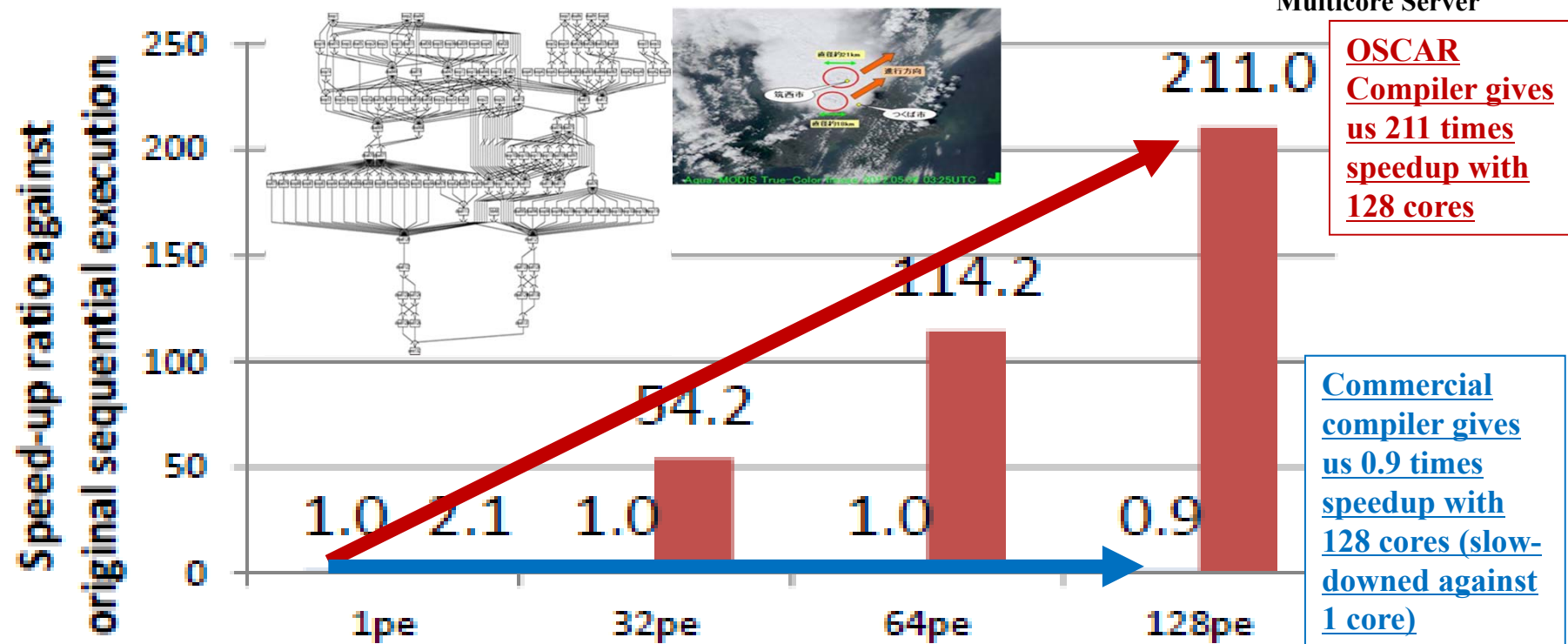
- Just more cores don't give us speedup
- Development cost and period of parallel software are getting a bottleneck of development of embedded systems, eg. IoT, Automobile

Earthquake wave propagation simulation GMS developed by National Research Institute for Earth Science and Disaster Resilience (NIED)

■ original (sun studio) ■ proposed method

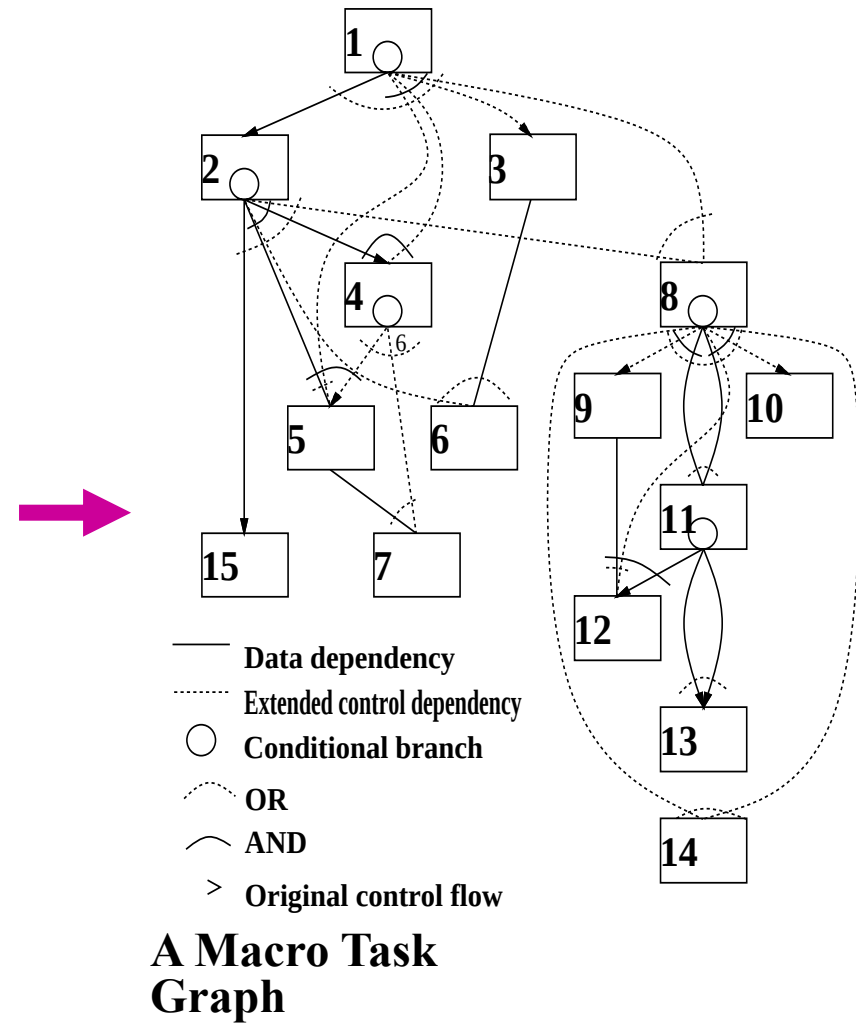
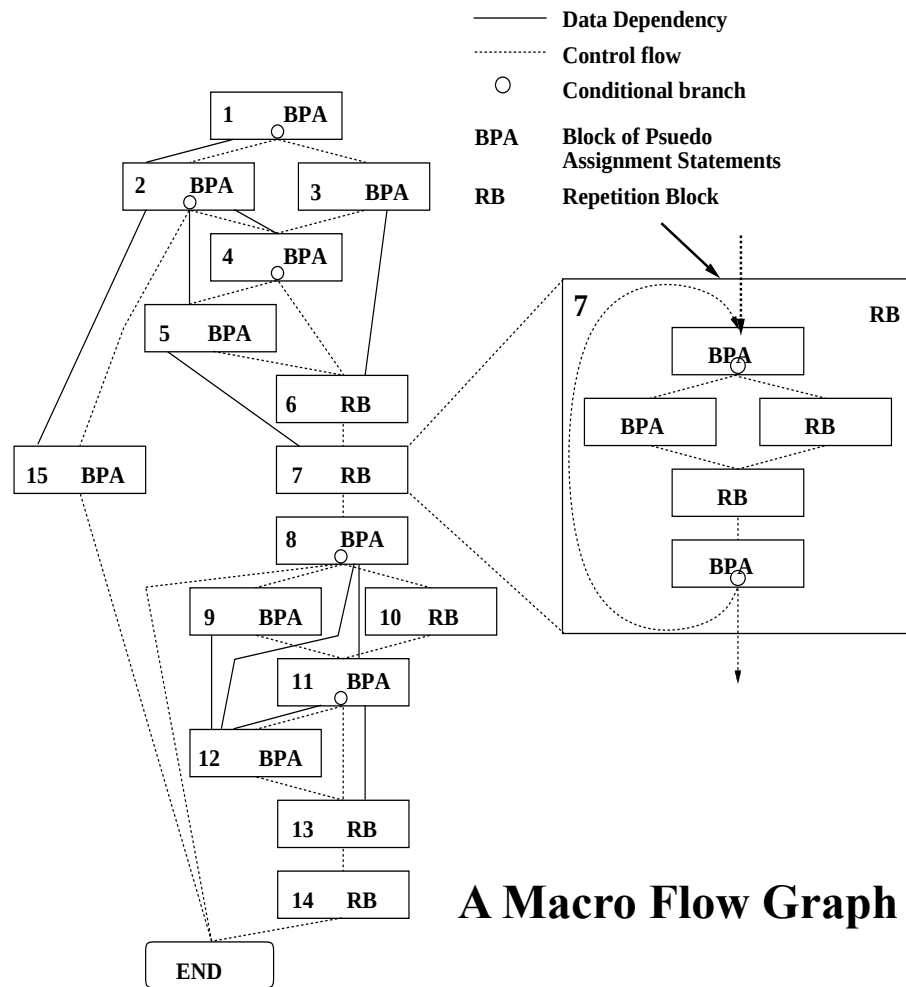


Fjitsu M9000 SPARC Multicore Server



- Automatic parallelizing compiler available on the market gave us no speedup against execution time on 1 core on 64 cores
 - Execution time with 128 cores was slower than 1 core (0.9 times speedup)
- Advanced OSCAR parallelizing compiler gave us 211 times speedup with 128cores against execution time with 1 core using commercial compiler
 - OSCAR compiler gave us 2.1 times speedup on 1 core against commercial compiler by global cache optimization

Earliest Executable Condition Analysis for Coarse Grain Tasks (Macro-tasks)



世界をリードするマルチコア用コンパイラ技術

プロセッサ高速化における3大技術課題の解消
1.半導体集積度向上(使用可能トランジスタ数増大)に対する速度向上率の鈍化

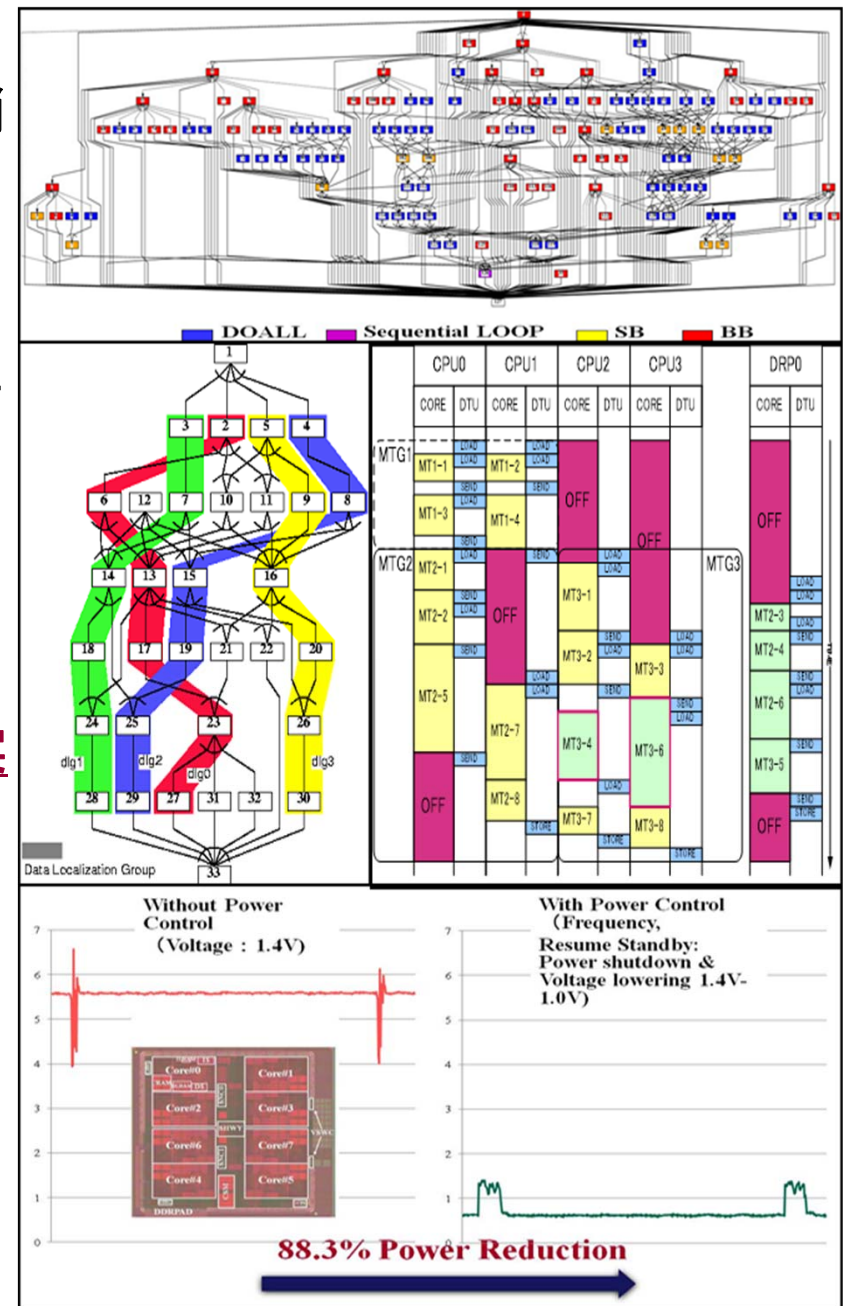
- 粗粒度タスク並列化、ループ並列化、近細粒度並列化によりプログラム全域の並列性を利用するマルチグレイン並列化機能により、従来の命令レベル並列性より大きな並列性を抽出し、複数マルチコアで速度向上

2.メモリウォール問題

- コンパイラによるローカルメモリへのデータ分割配置、DMAコントローラによるタスク実行とオーバーラップしたデータ転送によりメモリアクセス・データ転送オーバーヘッド最小化

3.消費電力増大による速度向上の鈍化

- コンパイラによる低消費電力制御機能を用いたアプリケーション内でのきめ細かい周波数・電圧制御・電源遮断により消費電力低減

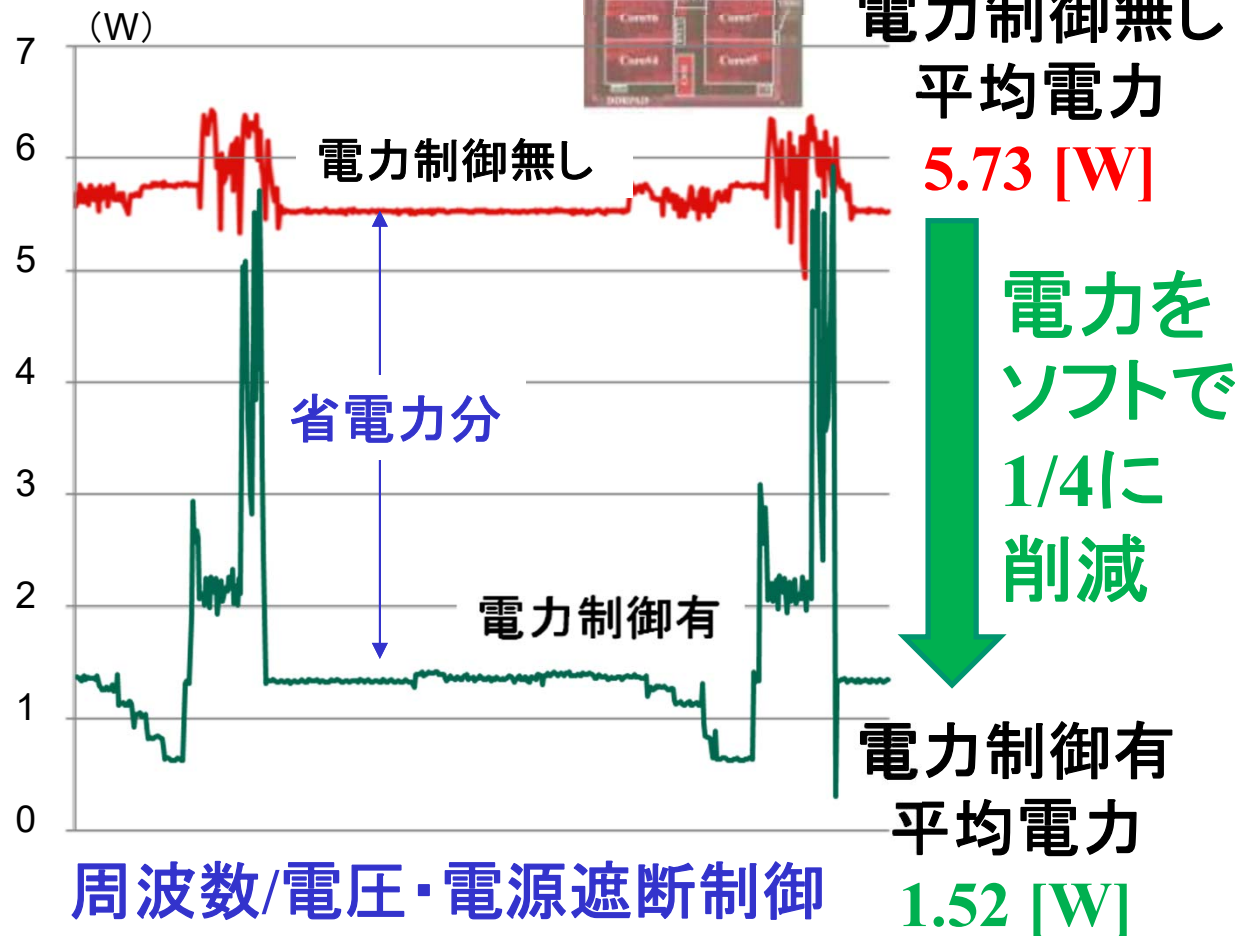


太陽光電力で動作する情報機器

コンピュータの消費電力をHW&SW協調で低減。電源喪失時でも動作することが可能。

リアルタイムMPEG2デコードを、8コアホモジニアスマルチコアRP2上で、消費電力1/4に削減

世界唯一の差別化技術



太陽電池で駆動可



NEDOリアルタイム情報家電用マルチコアチップ・デモの様子

<http://www8.cao.go.jp/cstp/gaiyo/honkaigi/74index.html>

第74回総合科学技術会議【平成20年4月10日】



第74回総合科学技術会議の様子(1)



第74回総合科学技術会議の様子(2)



第74回総合科学技術会議の様子(3)



第74回総合科学技術会議の様子(4)

4 core multicore RP1 (2007), 8 core multicore RP2 (2008)
and 15 core Heterogeneous multicore RPX (2010)
developed in NEDO Projects with Hitachi and Renesas

RP-1 (ISSCC2007 #5.3)	RP-2 (ISSCC2008 #4.5)	RP-X (ISSCC2010 #5.3)
90nm, 8-layer, triple-Vth, CMOS	90nm, 8-layer, triple-Vth, CMOS	45nm, 8-layer, triple-Vth, CMOS
97.6 mm ² (9.88 x 9.88 mm)	104.8 mm ² (10.61 x 9.88 mm)	153.8 mm ² (12.4 x 12.4 mm)
1.0V (internal), 1.8/3.3V (I/O)	1.0-1.4V (internal), 1.8/3.3V (I/O)	1.0-1.2V (internal), 1.2-3.3V (I/O)
600MHz, 4.32 GIPS, 16.8 GFLOPS	600MHz, 8.64 GIPS, 33.6 GFLOPS	648MHz, 13.7GIPS, 115GOPS, 36.2GFLOPS
11.4 GOPS/W (32b換算)	18.3 GOPS/W (32b換算)	37.3 GOPS/W (32b換算)

実施場所: グリーン・コンピューティング・システム研究開発センター

2011年4月13日竣工, 2011年5月13日開所

経済産業省「2009年度産業技術研究開発施設整備費補助金」

先端イノベーション拠点整備事業

<目標>

太陽電池で駆動可能で

冷却ファンが不要な

超低消費電力・高性能マルチコア/
メニーコアプロセッサ*のハードウェア、
ソフトウェア、応用技術の研究開発

*1チップ上に多数のプロセッサコアを
集積する次世代マルチコアプロセッサ

<産学連携>

日立, 富士通, ルネサス, NEC, トヨタ,
デンソー, オリンパス, NSITEX、三菱電機,
オスカーテクノロジー等

<波及効果>

超低消費電力メニーコア

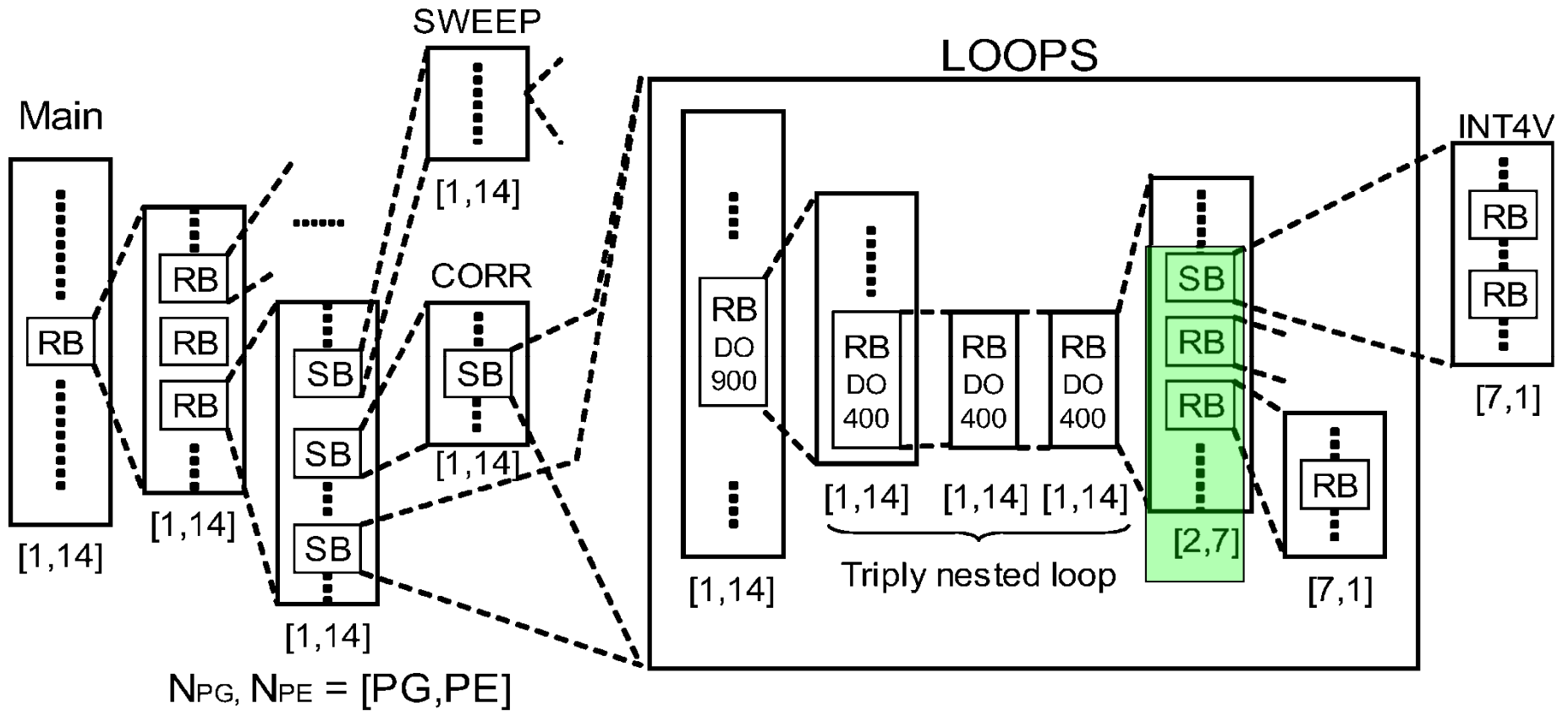
- CO₂排出量削減
- サーバ国際競争力強化
- 我が国の産業利益を支える
情報家電, 自動車等の高付加価値化



Automatic processor assignment in 103.su2cor

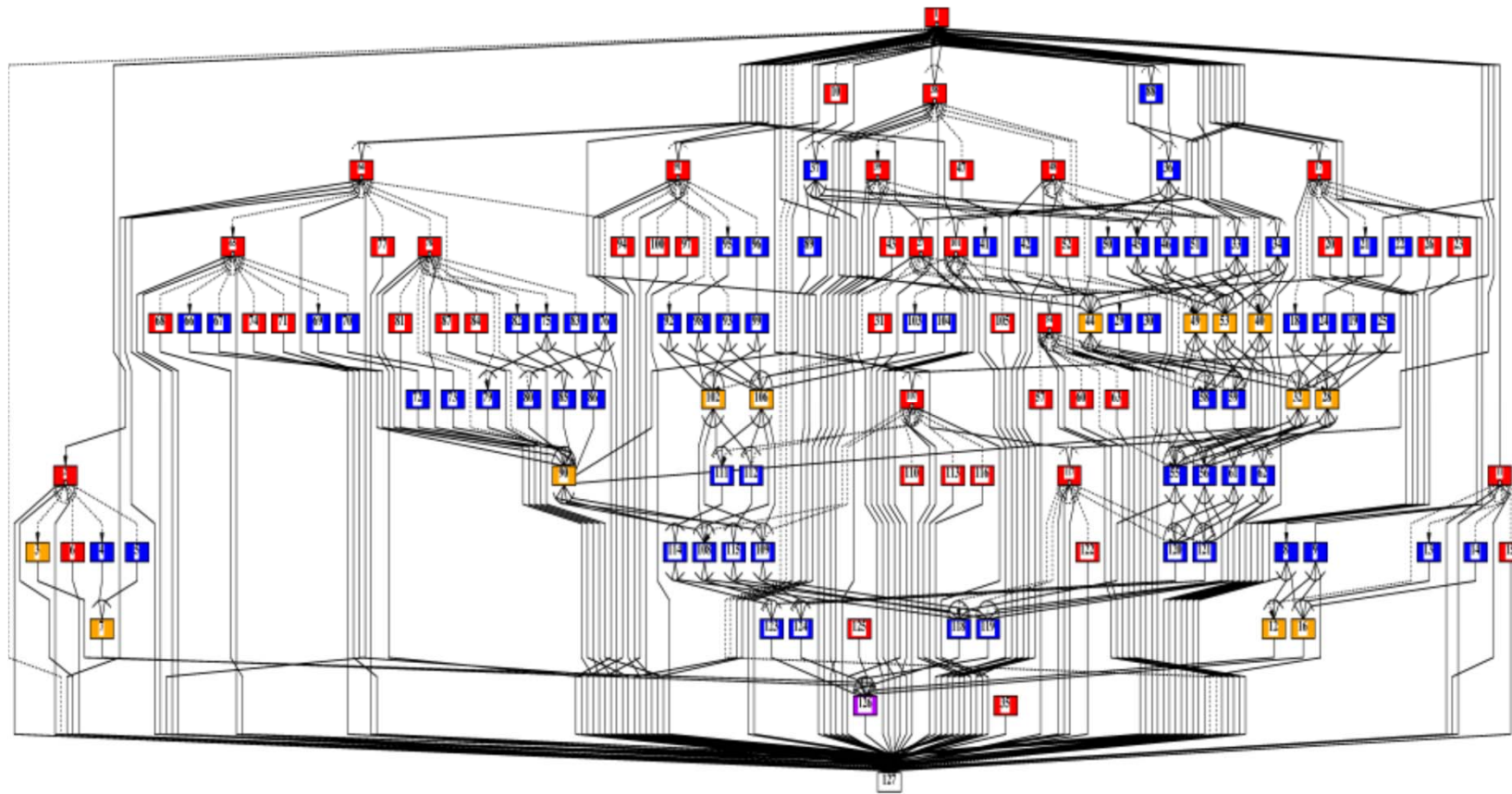
- **Using 14 processors**

Coarse grain parallelization within DO400



MTG of Su2cor-LOOPS-DO400

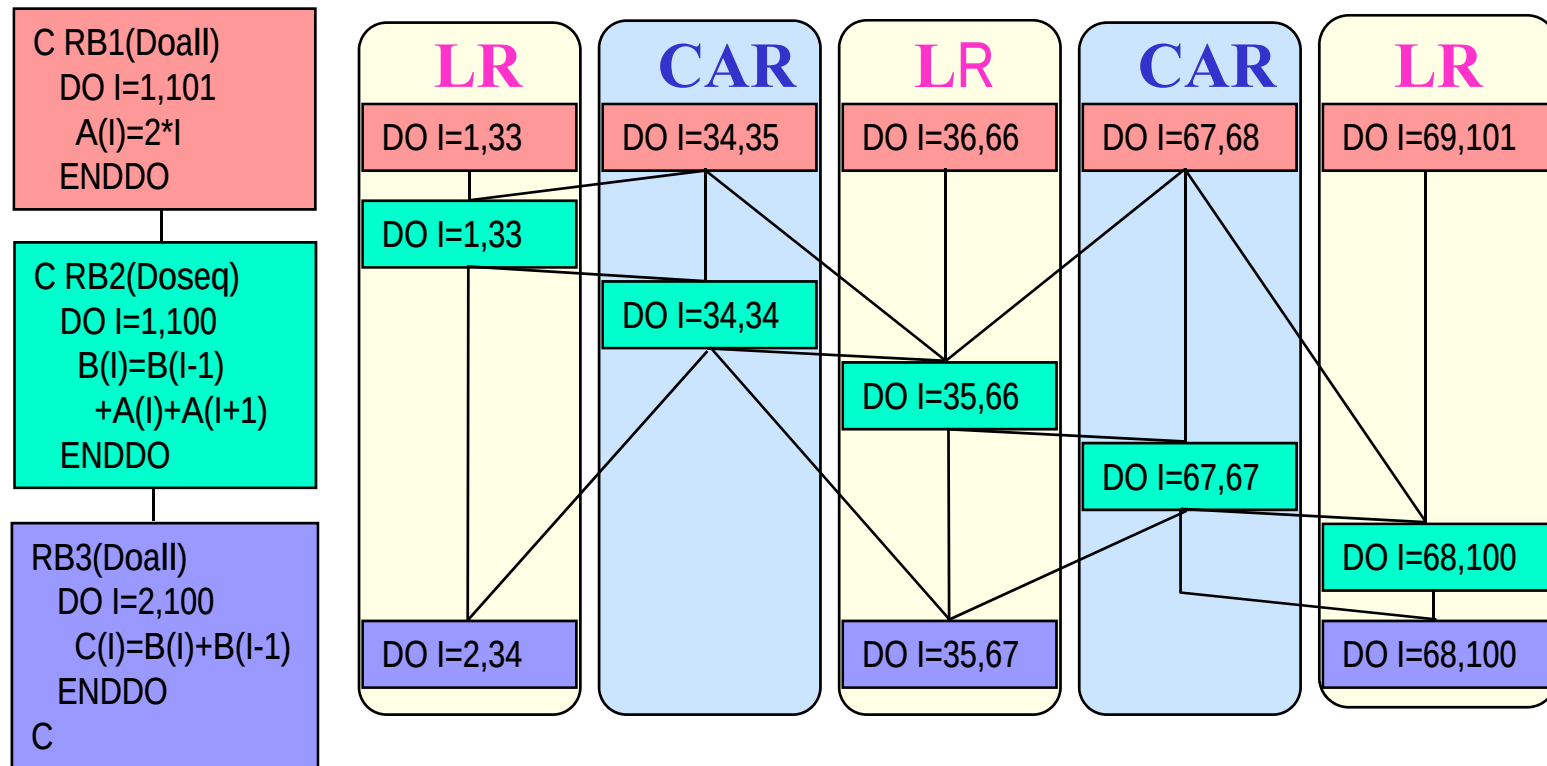
- Coarse grain parallelism $\text{PARA_ALD} = 4.3$



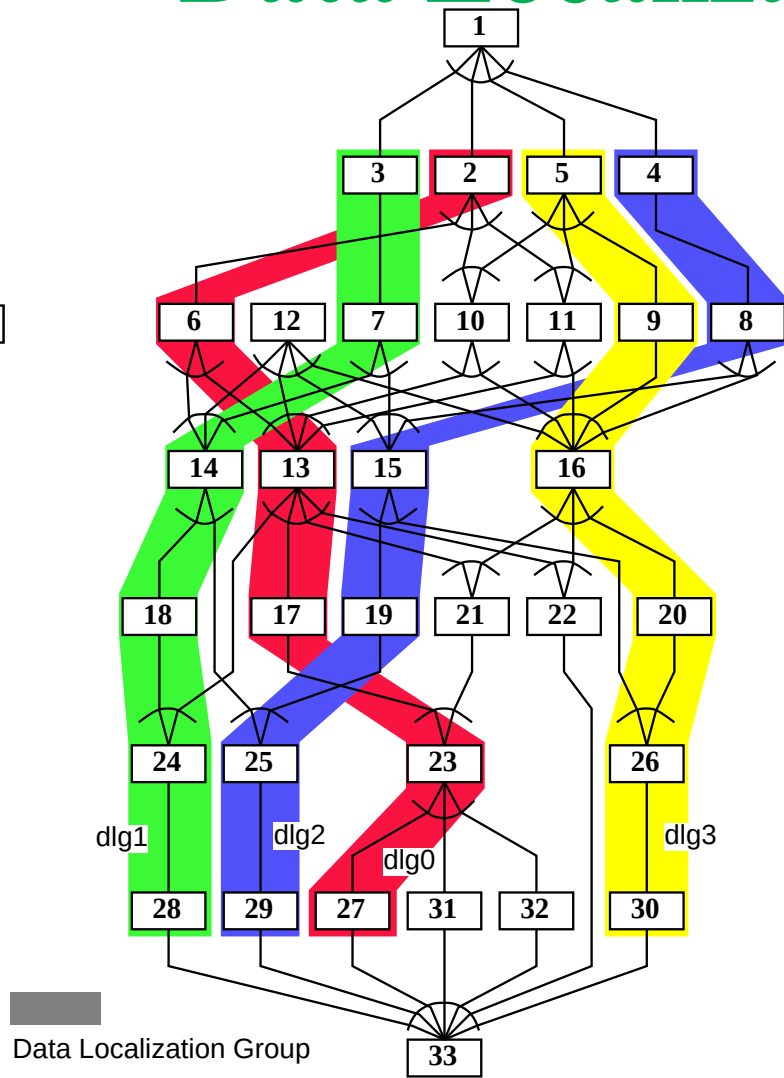
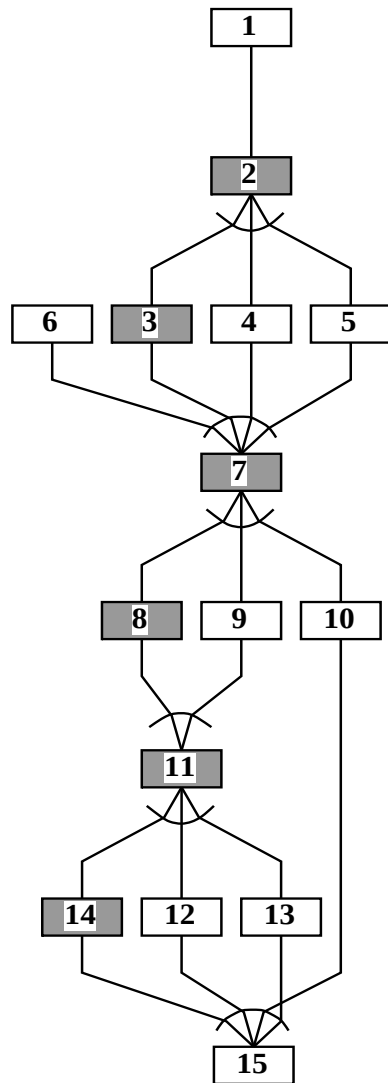
■ DOALL ■ Sequential LOOP ■ SB ■ BB

Data-Localization: Loop Aligned Decomposition

- Decompose multiple loop (Doall and Seq) into **CARs** and **LRs** considering inter-loop data dependence.
 - Most data in **LR** can be passed through LM.
 - LR: Localizable Region, CAR: Commonly Accessed Region**



Data Localization



PE0

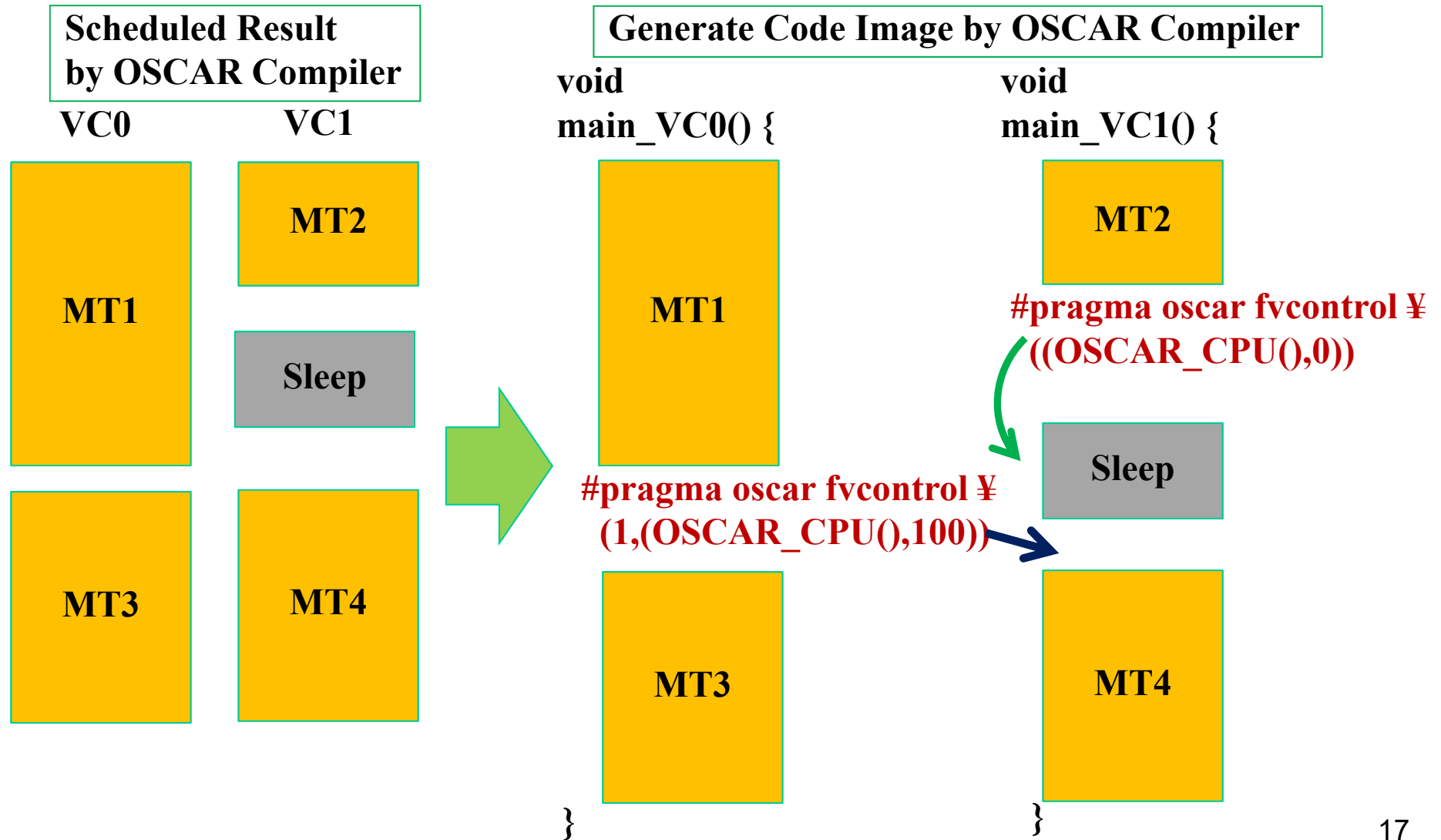
12
2
6
4
8
15
19
25
29
13
17
22
21
23
27

PE1

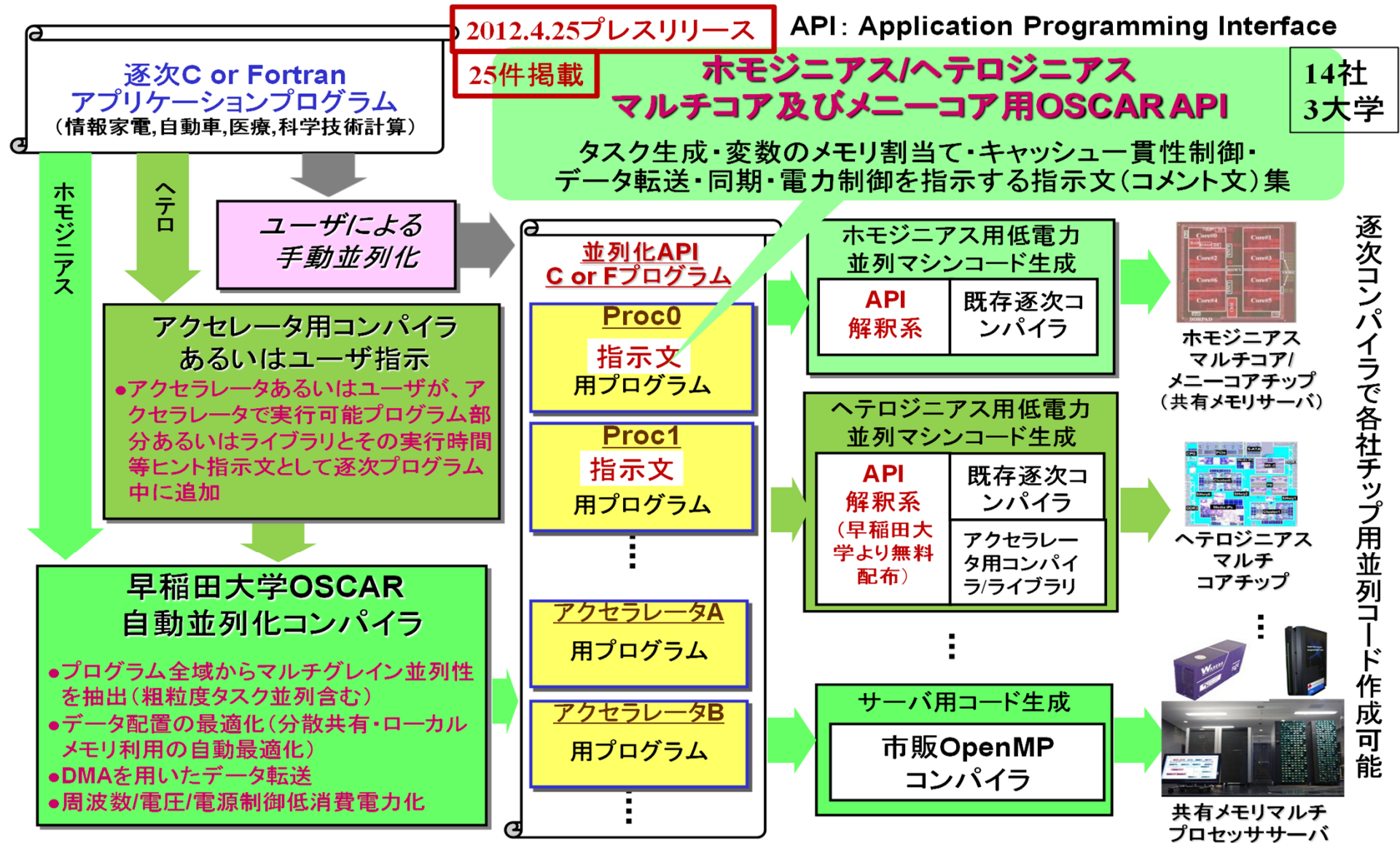
1
3
7
14
18
5
9
11
10
16
20
26
30
24
28
32
31

A schedule for
two processors

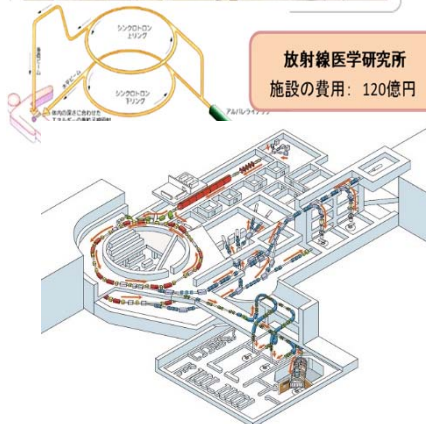
Low-Power Optimization with OSCAR API



マルチプラットフォームOSCAR API: e.g. Renesas, arm, Infineon, Intel, IBM, AMD

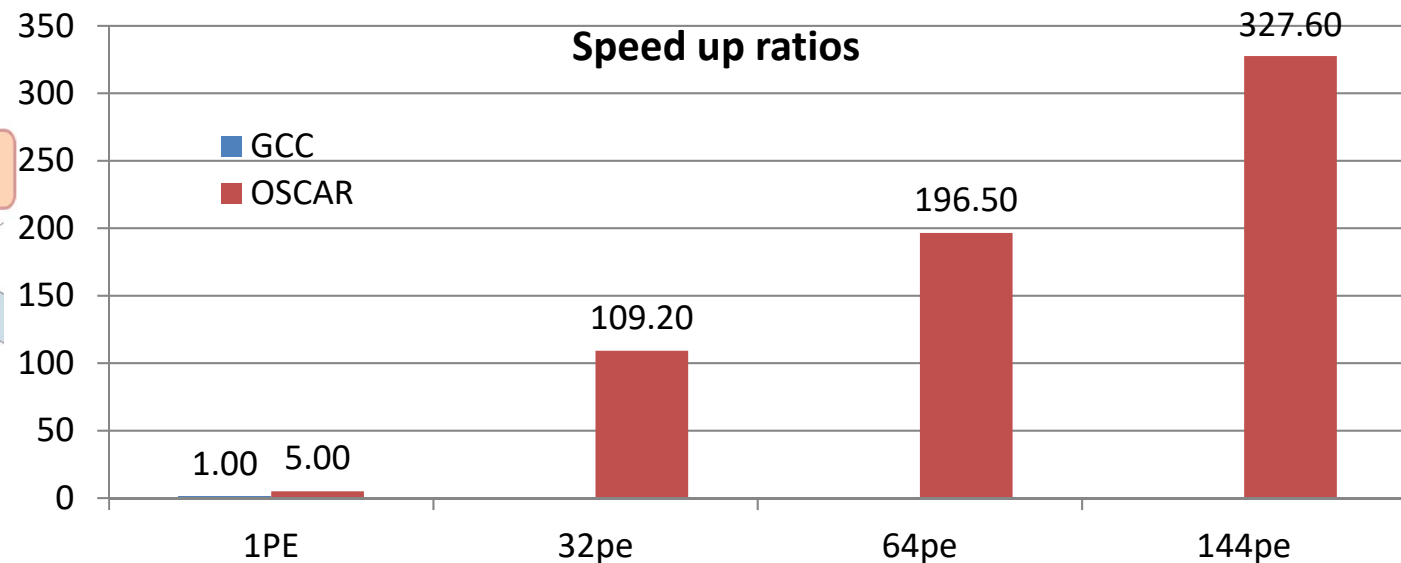


重粒子線がん治療計算の日立BS500ブレードサーバ上での並列化



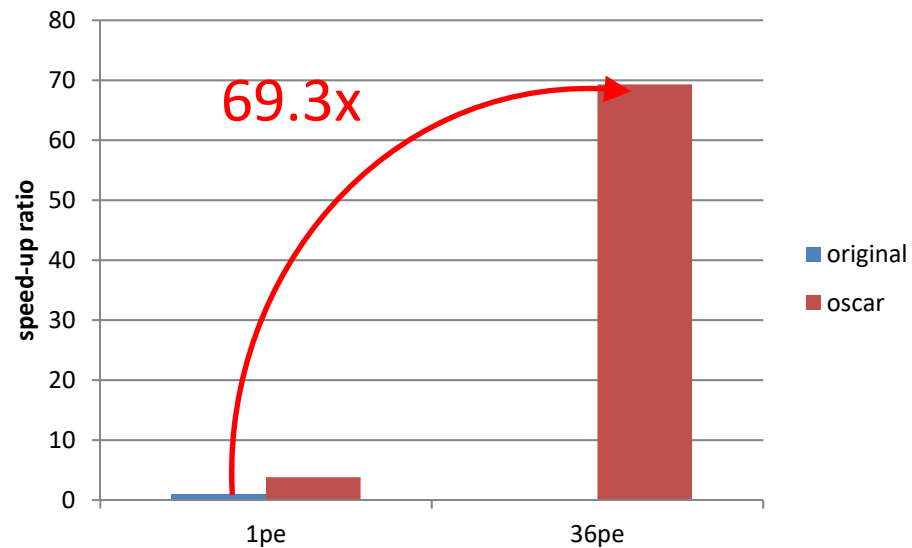
放射線医学総合
研究所サイトより
<http://www.nirs.qst.go.jp/rd/cpt/index.html>

日立 SMPブレードサーバ BS500:
Xeon E7-8890 V3(2.5GHz 18core/chip) x8 chip 計144cores



- オリジナル逐次実行時間2948秒（約50分）が、OSCARコンパイラによる144コア並列処理で、9秒に短縮され、327.6倍の速度向上

Parallelization of Dose calculation



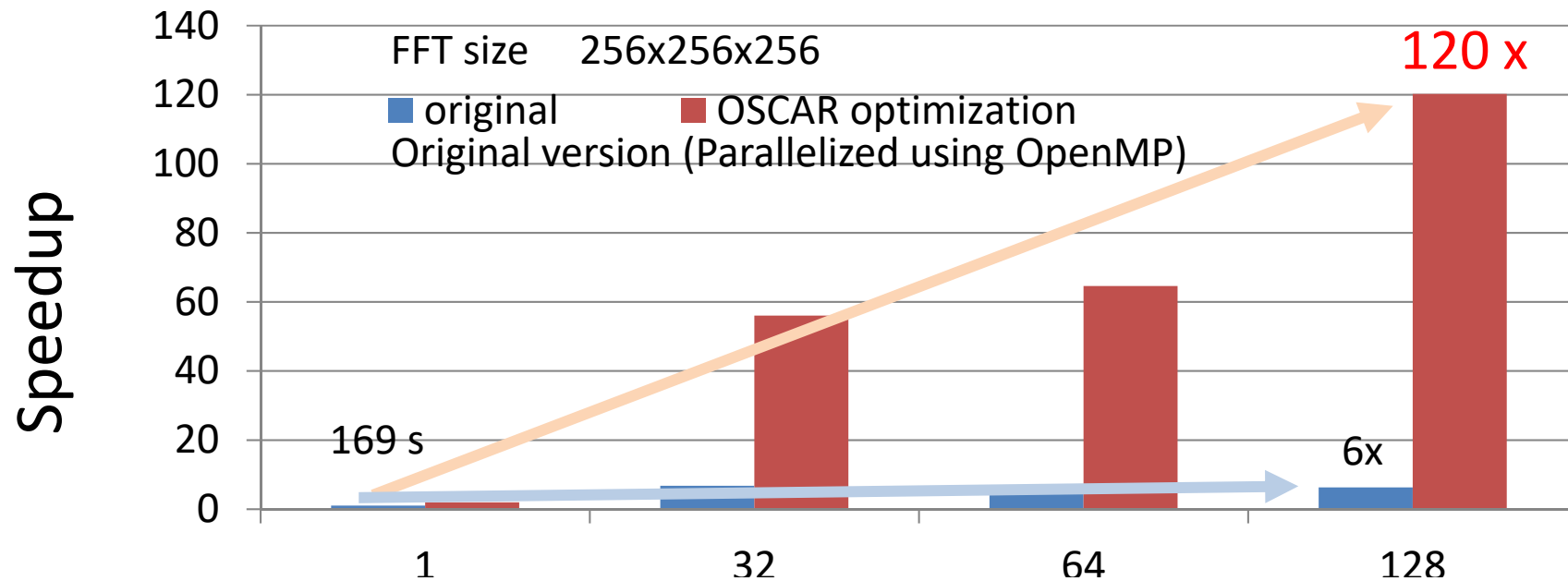
Environment

- HPCT W210s
CPU: Intel(R) Xeon(R) CPU E5-2699 v3 2.30GHz Turbo-boost OFF (18 × 2 core)
MEM: DDR4-2133(16GB) X 7
gfortran v5.4.0



- Sequential execution by OSCAR run 3.8x faster than original sequential execution.
- Parallel execution by OSCAR using 36 cores run 69.3x faster than original sequential execution.

Parallelization of 3D-FFT for New Magnetic Material Computation on Hitachi SR16000 Power7 CC-Numa Server



OSCAR optimization

- reducing number of data transpose with interchange, code motion and loop fusion

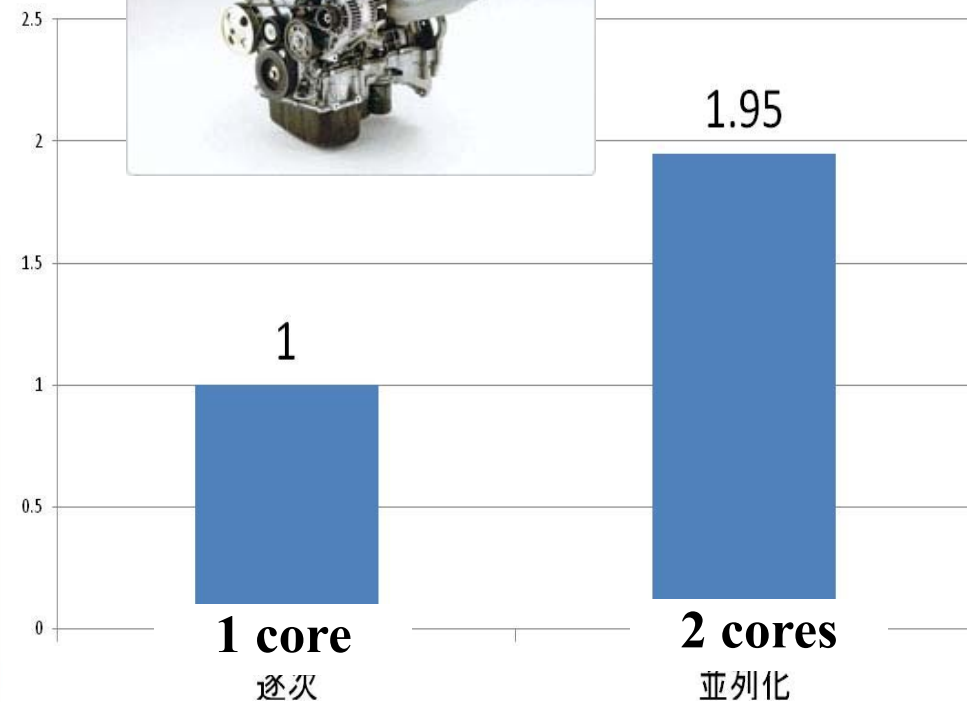
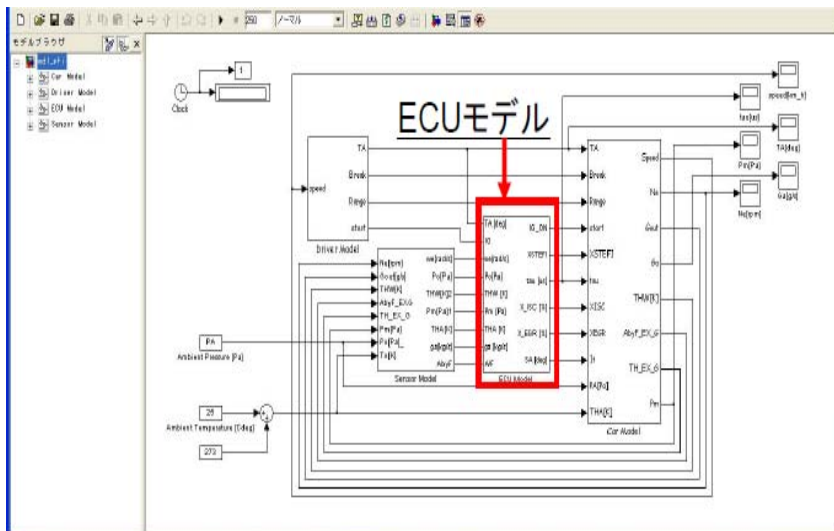


Engine Control by multicore with Denso

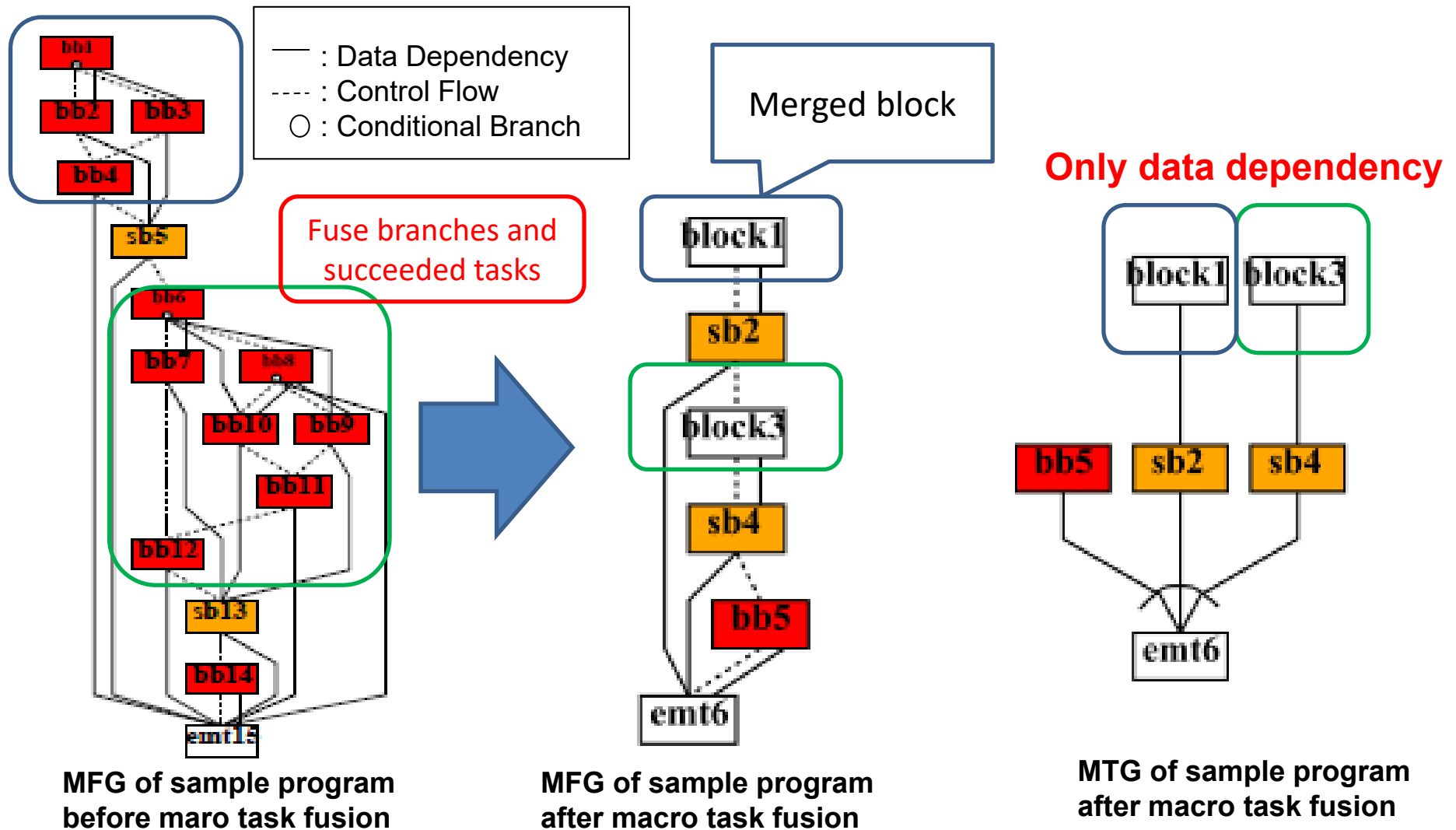
Though so far parallel processing of the engine control on multicore has been very difficult, Denso and Waseda succeeded 1.95 times speedup on 2core V850 multicore processor.



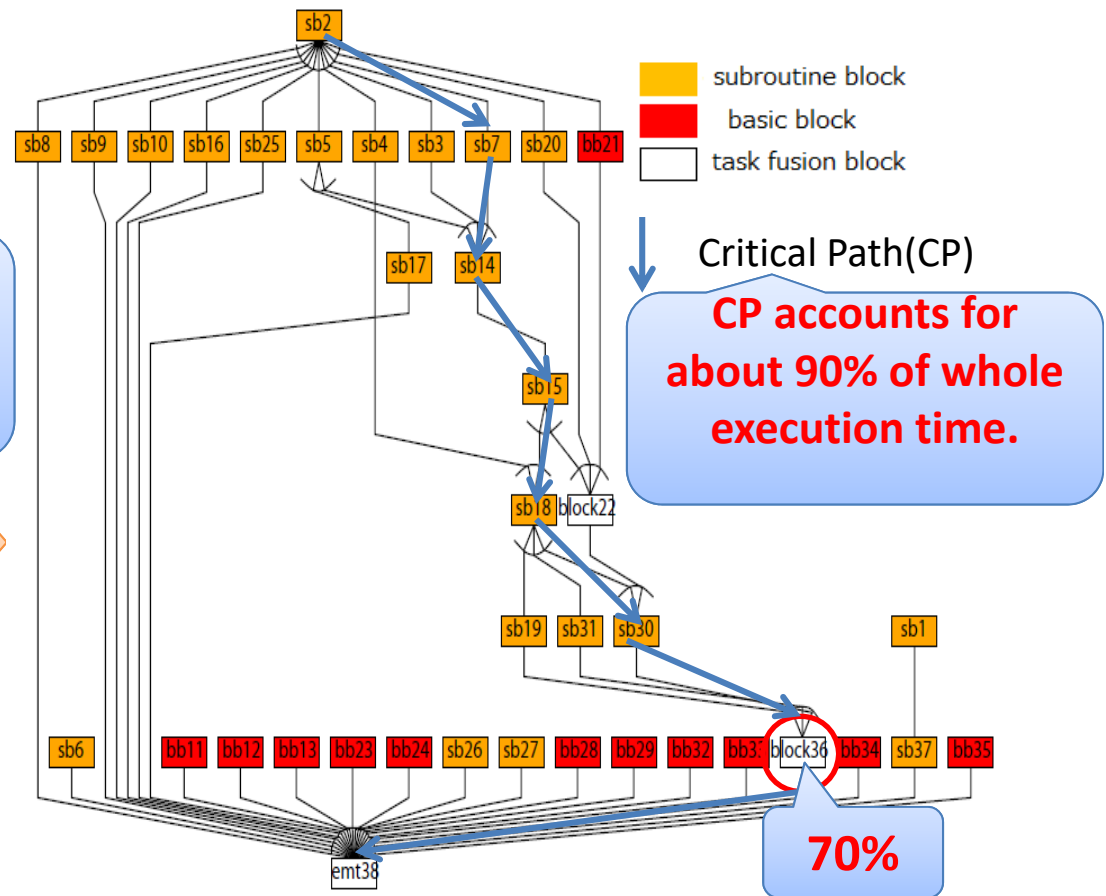
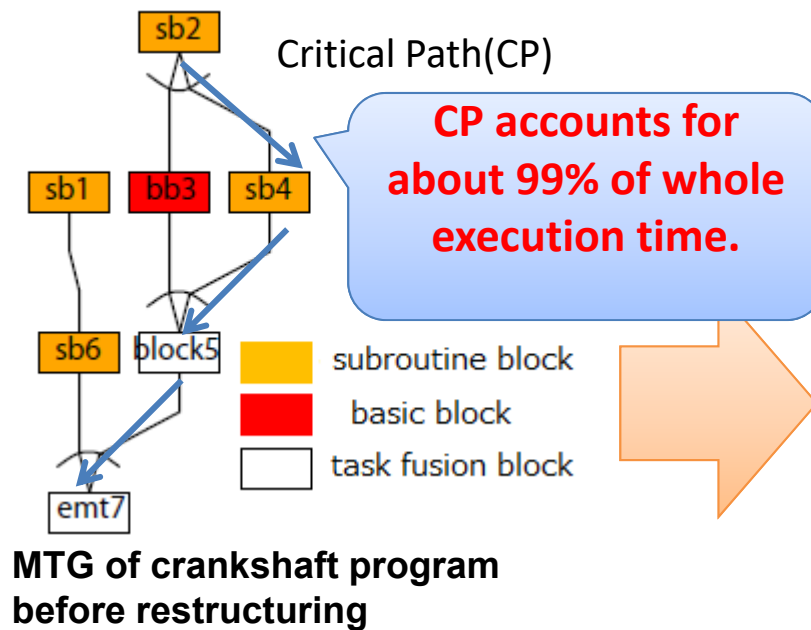
- Hard real-time automobile engine control by multicore using local memories
- Millions of lines C codes consisting conditional branches and basic blocks



Macro Task Fusion for Static Task Scheduling



MTG of Crankshaft Program Using Inline Expansion



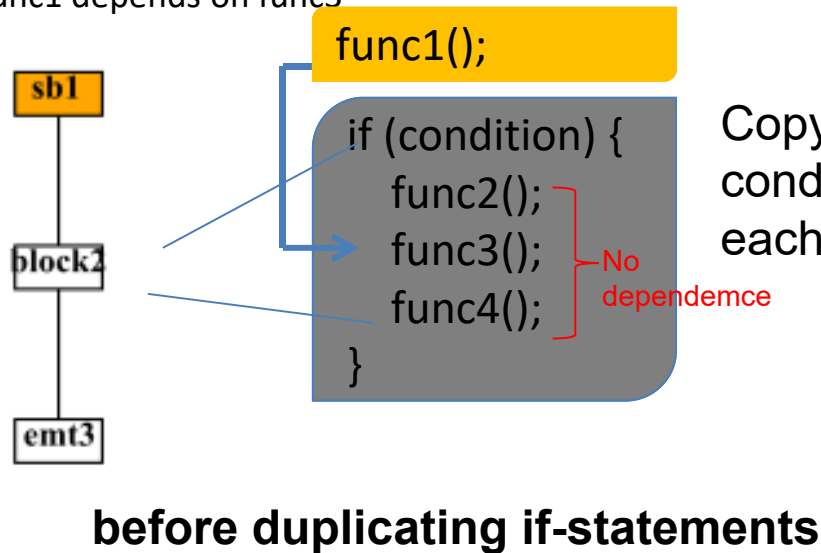
Not enough coarse grain parallelism yet!

3.2 Restructuring: Duplicating If-statements

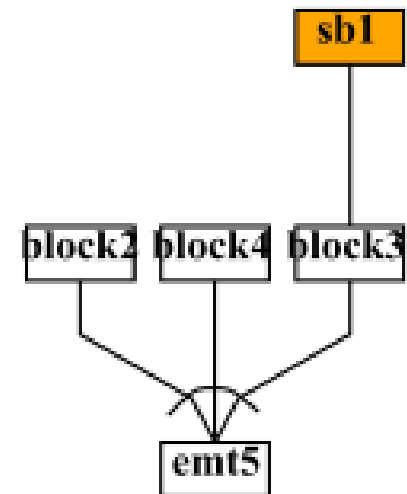
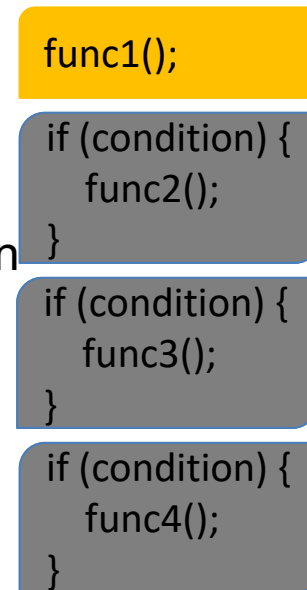
- Duplicating if-statements is effective
 - To increase coarse grain parallelism
- Duplicates fused tasks having inner parallelism

Improves coarse grain parallelism

Func1 depends on func3

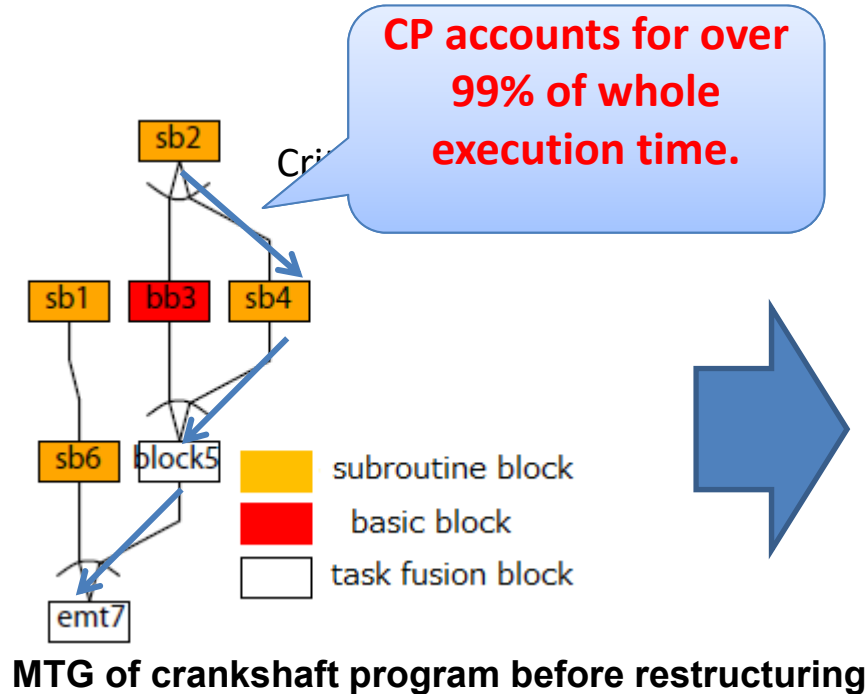


Copying if-condition for each function

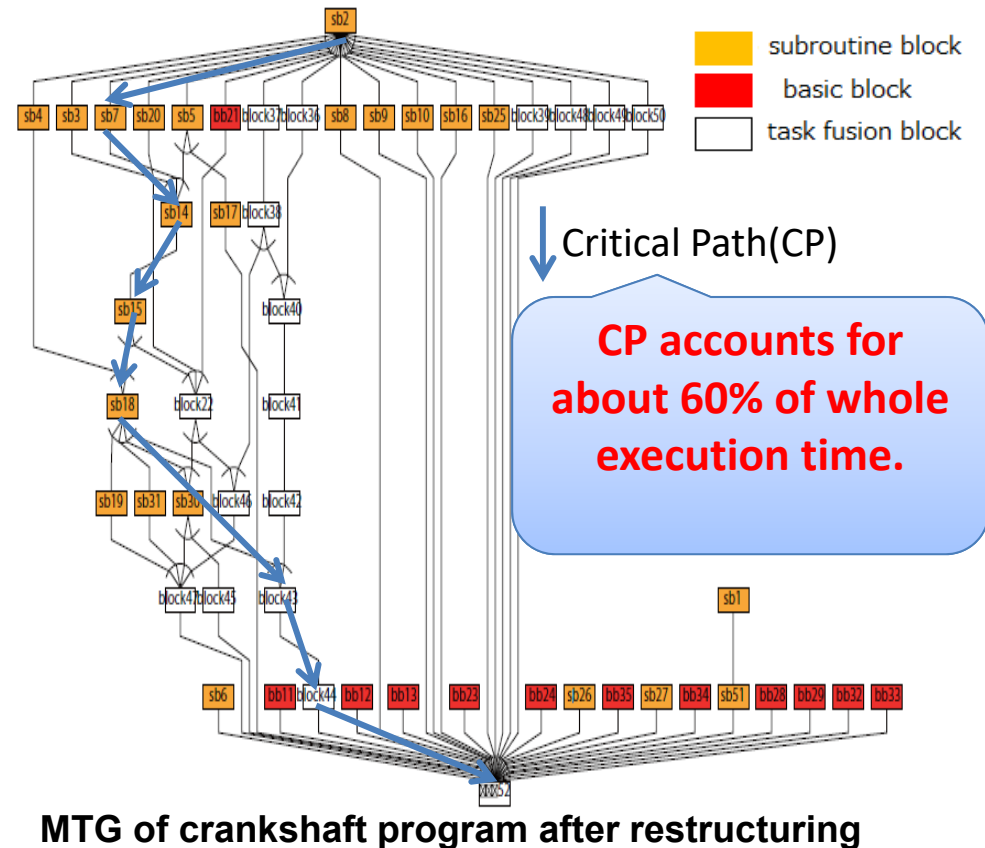


after duplicating if-statements

MTG of Crankshaft Program Using Inline Expansion and Duplicating If-statements



- Succeed to reduce CP
 - 99% -> 60%



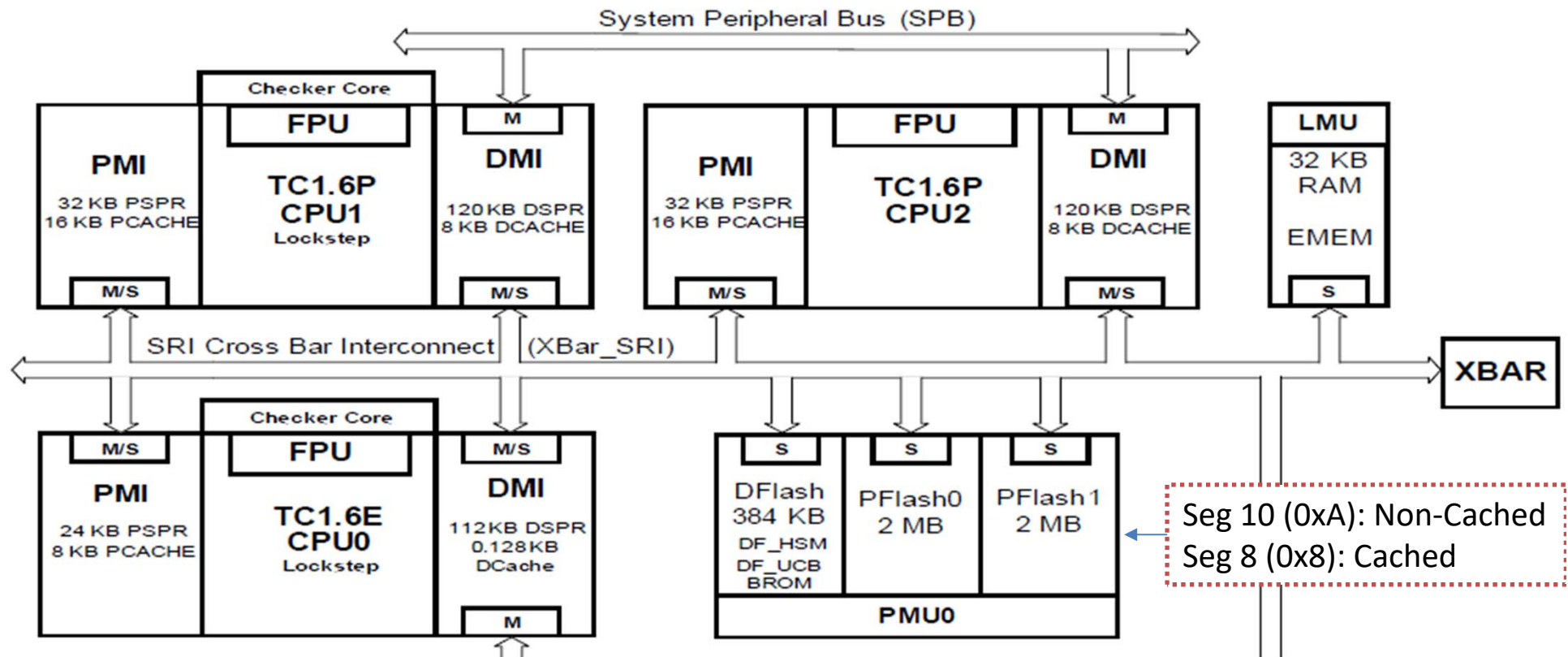
Successfully increased coarse grain parallelism

Infineon AURIX TC277

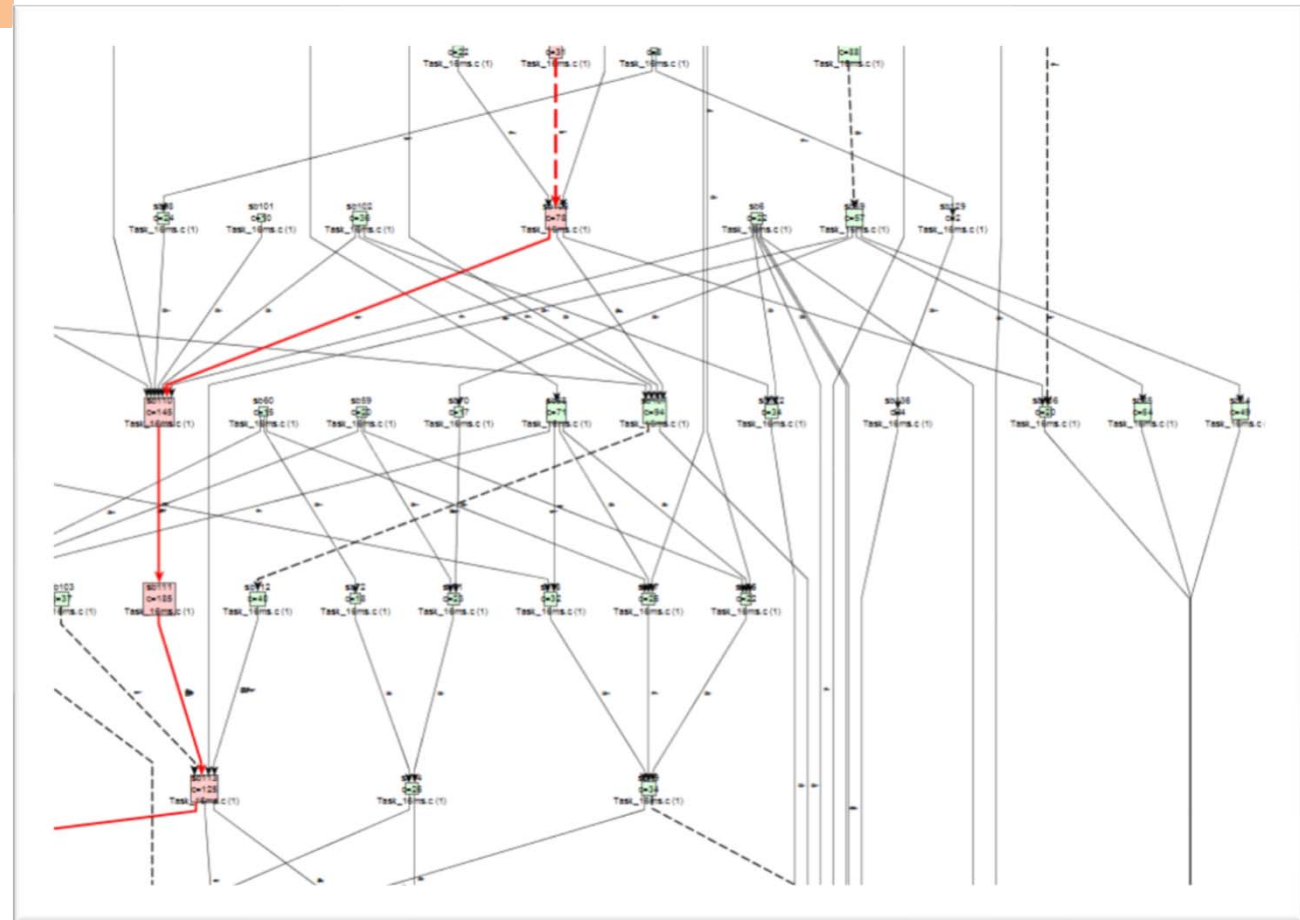
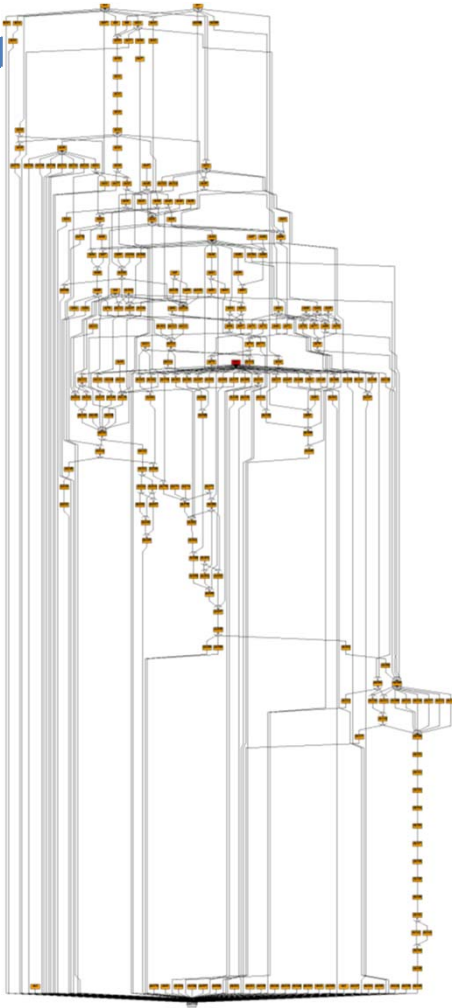


Abbreviations :

PCACHE:	Program Cache
DCACHE:	Data Cache
DSPR:	Data Scratch-Pad RAM
PSPR:	Program Scratch-Pad RAM
BROM:	Boot ROM
PFlash:	Program Flash
DFlash:	Data Flash (EEPROM)
S :	SRI Slave Interface
M :	SRI Master Interface



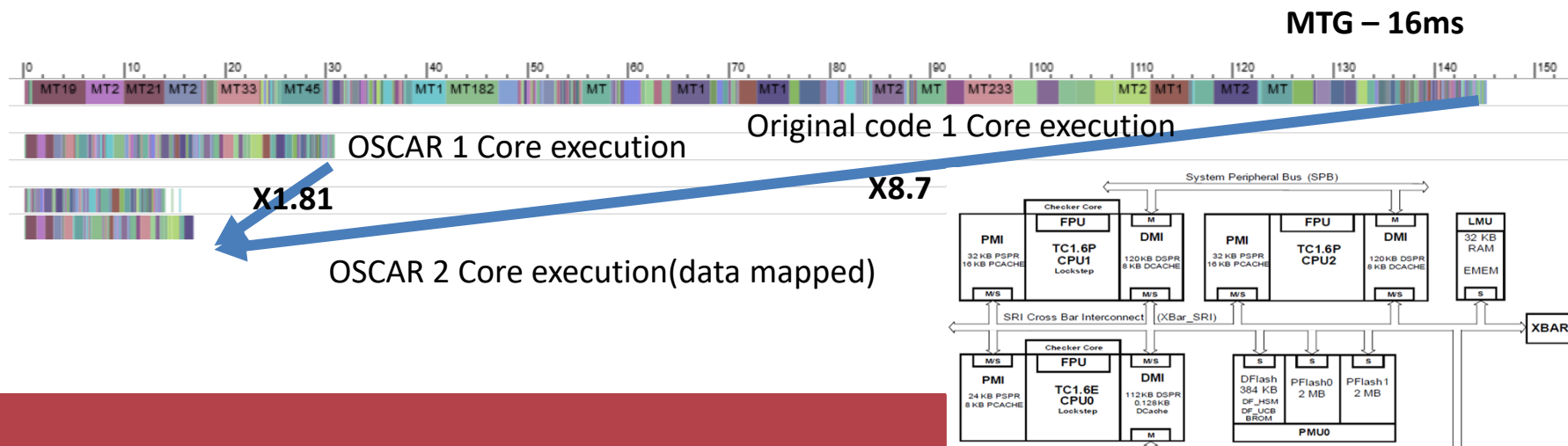
Macrotask Graph, Dependence details and schedules



MTG – task_16ms

Automatic Parallelization of an Engine Control C Program with 400 thousands lines on AUTOSAR on 2 cores of Infineon AURIX TC277

- **Original sequential** execution time on 1 core: **145500** cycles
- **Sequential execution time by OSCAR** on 1 core: **29700** cycles
 - **4.9 times speedup on 1 core** against original execution by OSCAR
Compilers automatic data allocation for local scratch pad memory, flush memory modules
- **2 core execution by OSCAR Compiler: 16400** cycles
 - **1.81 times speedup with 2 core** against **1 core execution with OSCAR Compiler**
 - **8.7 times speedup against original sequential execution.**

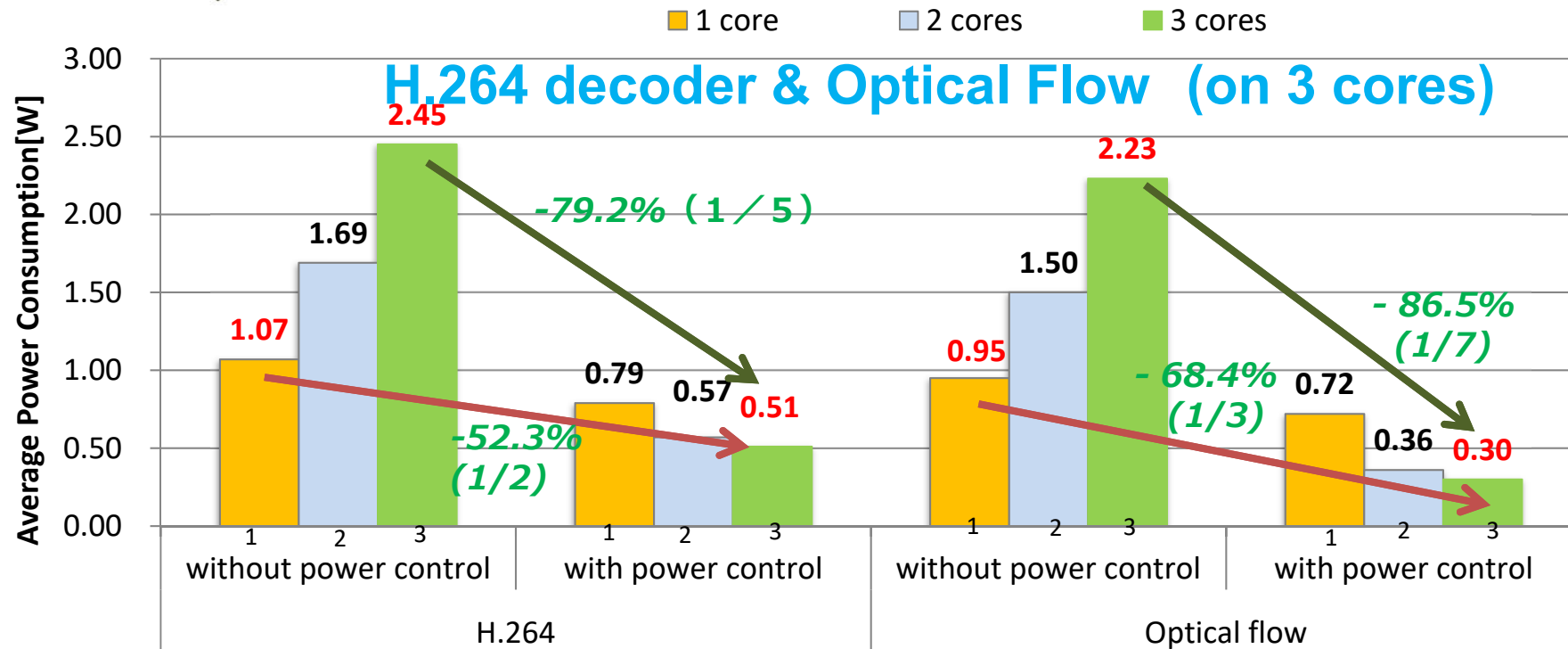
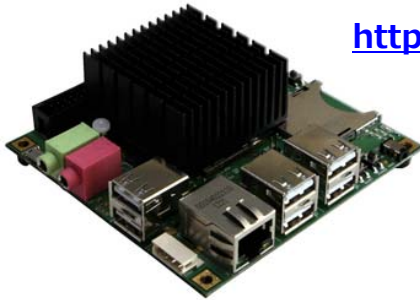


Automatic Power Reduction on ARM CortexA9 with Android

http://www.youtube.com/channel/UCS43INYEIkC8i_KIgFZYQBQ

ODROID X2

Samsung Exynos4412 Prime, ARM Cortex-A9 Quad core
1.7GHz~0.2GHz, used by Samsung's Galaxy S3



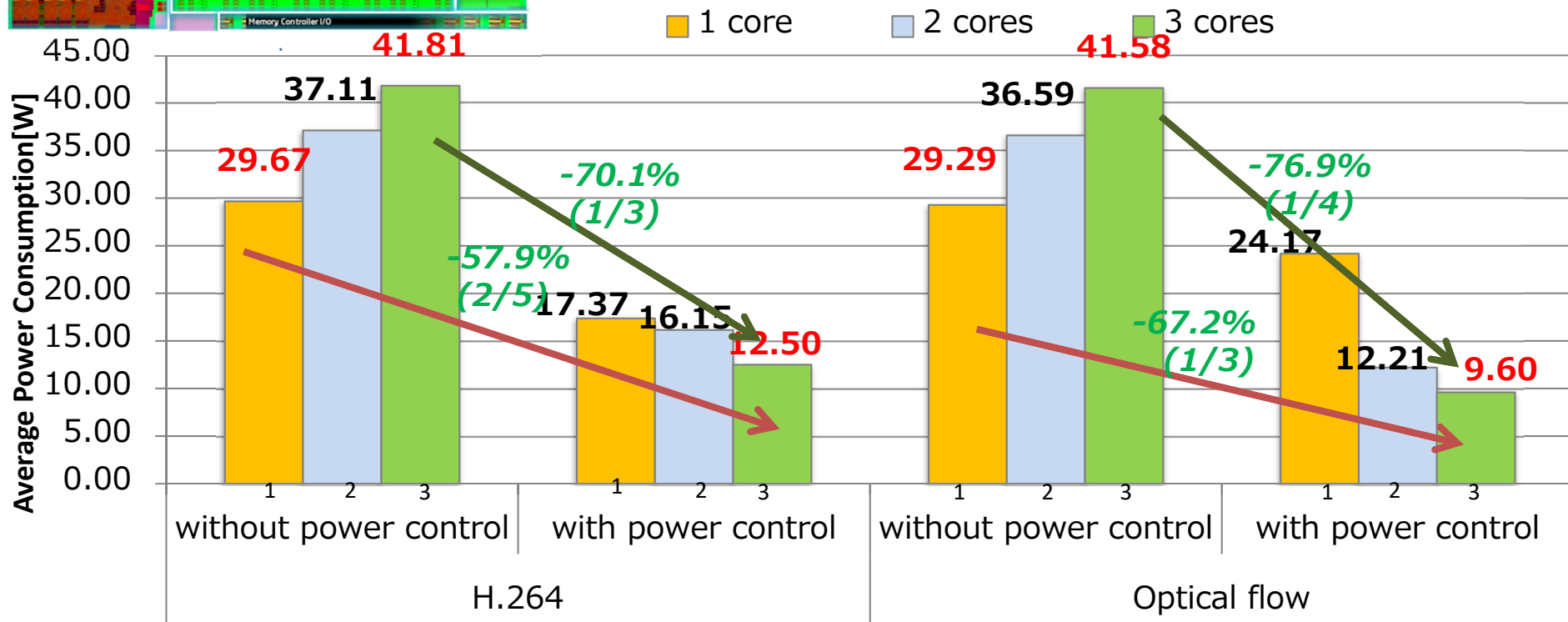
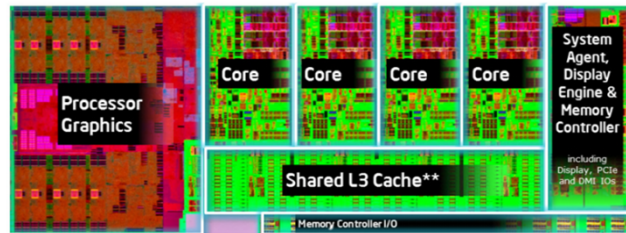
Power for 3cores was reduced to **1/5~1/7** against without software power control

Power for 3cores was reduced to **1/2~1/3** against ordinary 1core execution

Automatic Power Reuction on Intel Haswell

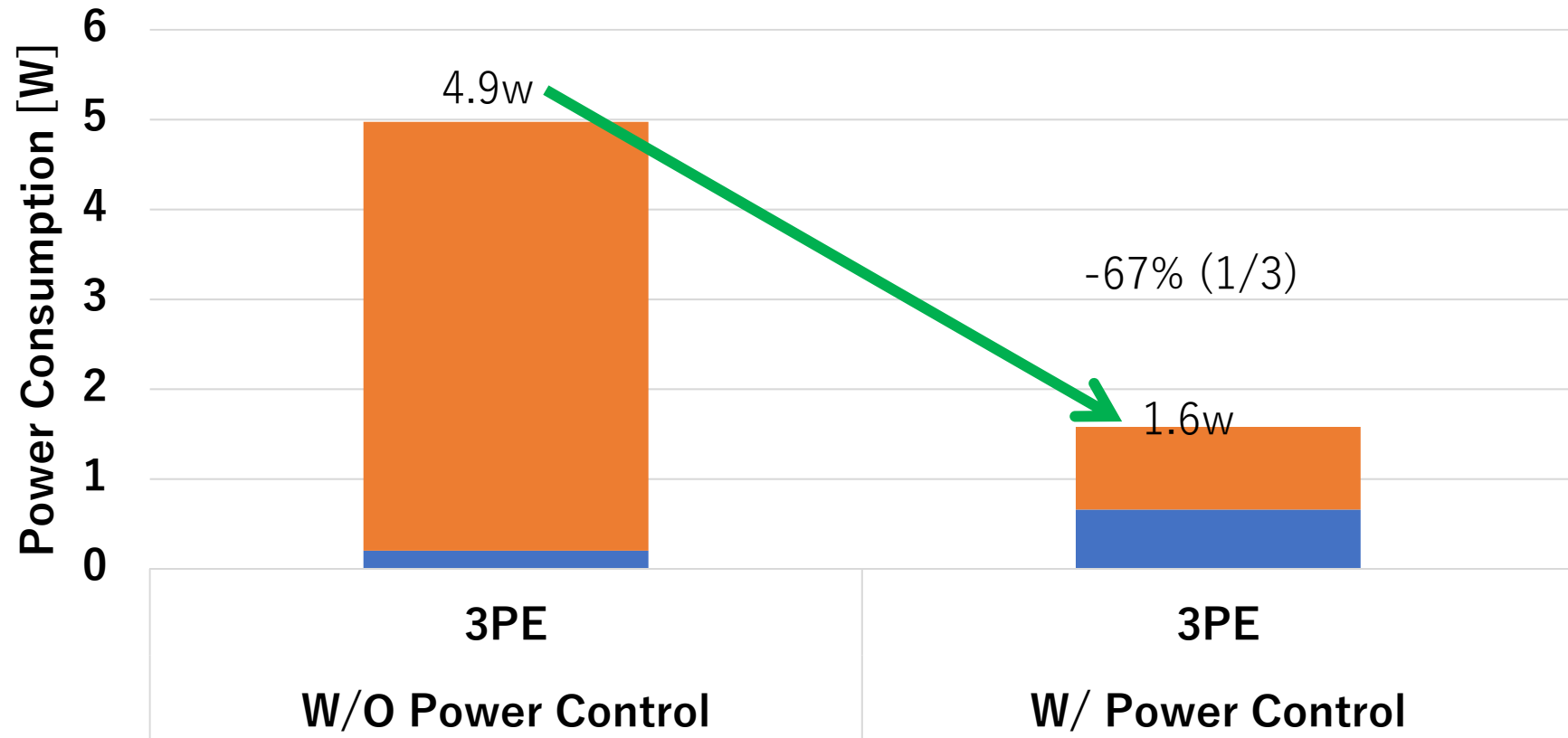
H.264 decoder & Optical Flow (3cores)

H81M-A, Intel Core i7 4770k
Quad core, 3.5GHz~0.8GHz



Power for 3cores was reduced to **1/3~1/4** against without software power control
Power for 3cores was reduced to **2/5~1/3** against ordinary 1core execution

Automatic Power Reduction of OpenCV Face Detection on big.LITTLE ARM Processor



- **ODROID-XU3** ■ Cortex-A7 ■ Cortex-A15
 - **Samsung Exynos 5422 Processor**
 - 4x Cortex-A15 2.0GHz, 4x Cortex-A7 1.4GHz big.LITTLE Architecture
 - 2GB LPDDR3 RAM
 - Frequency can be changed by each cluster unit

OSCAR API Ver. 2.0 for Homogeneous (LCPC2009) /Heterogeneous (LCPC2010) Multicores and Manycores

API for Parallel Processing on Various Multicores, Power Management,
Hardware and Software Cache Control, and Local Memory Management

Manual Download: <http://www.kasahara.cs.waseda.ac.jp/api/regist.php?lang=en&ver=2.1>

List of Directives (22 directives)

- ▶ Parallel Execution API
 - ▶ **parallel sections (*)**
 - ▶ **flush (*)**
 - ▶ **critical (*)**
 - ▶ execution
- ▶ Memoay Mapping API
 - ▶ **threadprivate (*)**
 - ▶ distributedshared
 - ▶ onchipshared
- ▶ Synchronization API
 - ▶ groupbarrier
- ▶ Data Transfer API
 - ▶ dma_transfer
 - ▶ dma_contiguous_parameter
 - ▶ dma_stride_parameter
 - ▶ dma_flag_check
 - ▶ dma_flag_send

(* from OpenMP)

- ▶ Power Control API
 - ▶ fvcontrol
 - ▶ get_fvstatus
- ▶ Timer API
 - ▶ get_current_time

- ▶ Accelerator
 - ▶ accelerator_task_entry
- ▶ Cache Control
 - ▶ cache_writeback
 - ▶ cache_selfinvalidate
 - ▶ complete_memop
 - ▶ noncacheable
 - ▶ aligncache

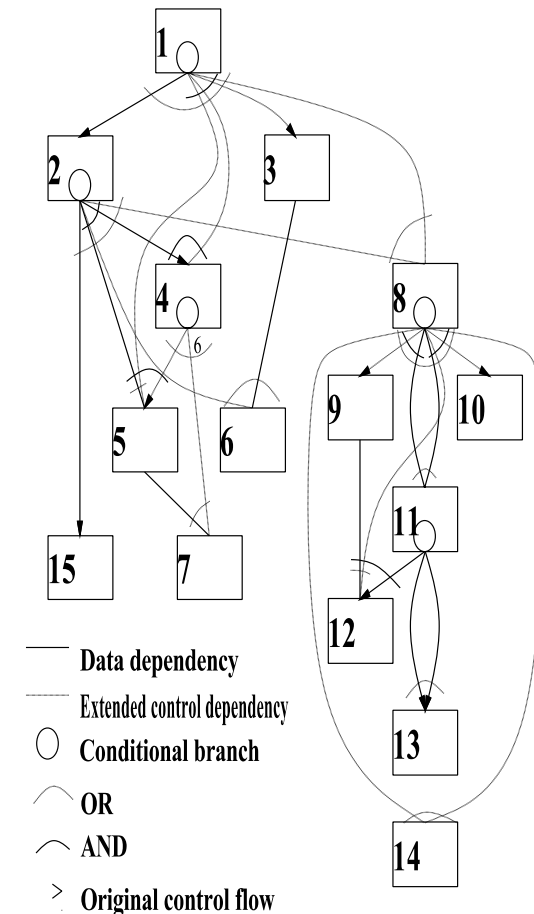
2 hint directives for OSCAR compiler

- accelerator_task
- oscar_comment

from V2.0

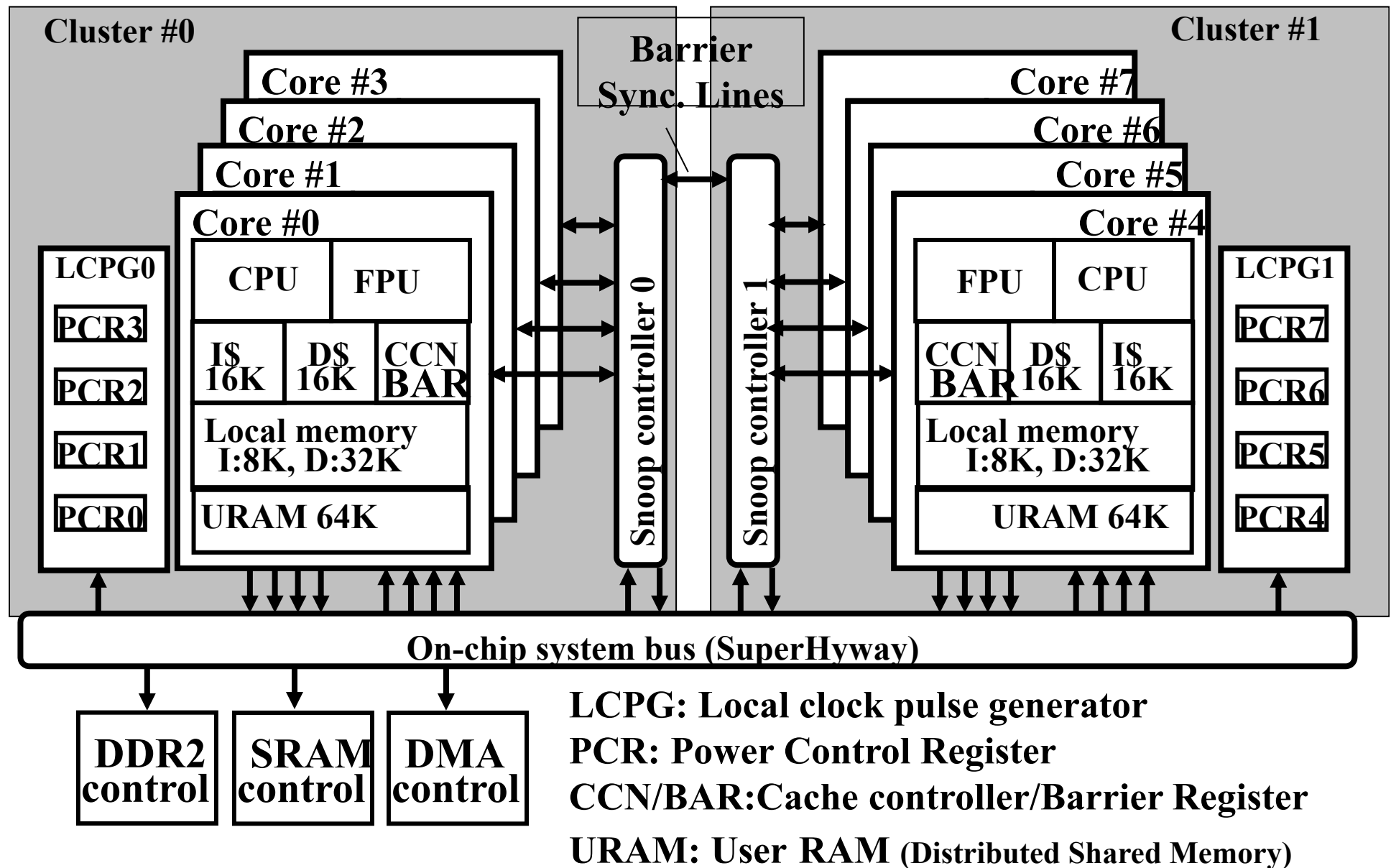
Software Coherence Control Method on OSCAR Parallelizing Compiler

- Coarse grain task parallelization with **earliest condition analysis** (control and data dependency analysis to detect parallelism among coarse grain tasks).
- OSCAR compiler automatically controls coherence using following simple program restructuring methods:
 - To cope with stale data problems:
 - ◆ **Data synchronization by compilers**
 - To cope with false sharing problem:
 - ◆ **Data Alignment**
 - ◆ **Array Padding**
 - ◆ **Non-cacheable Buffer**



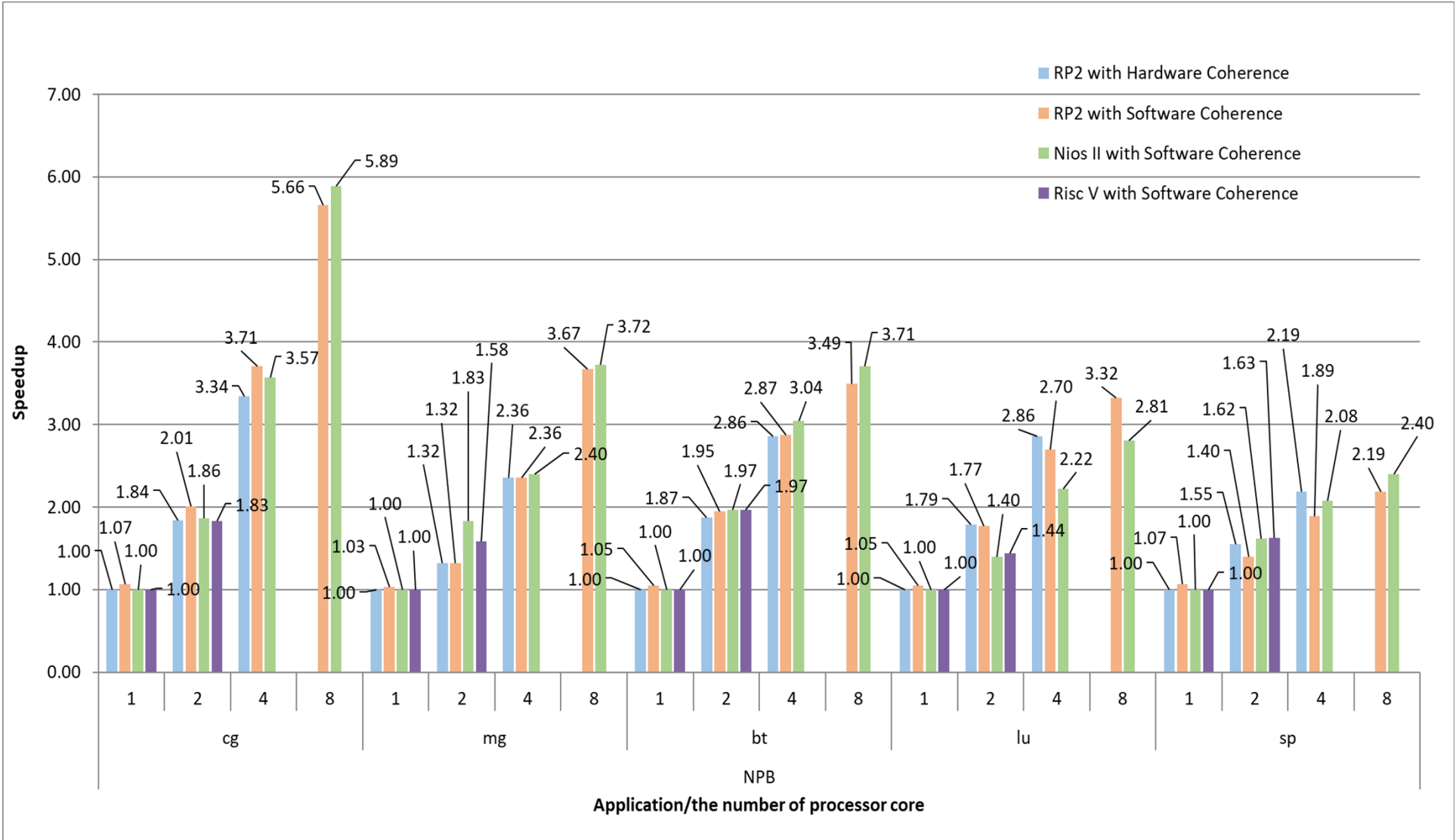
**MTG generated by
earliest executable
condition analysis**

8 Core RP2 Chip Block Diagram



OSCAR Software Cache Coherent Control for NIOS and RISCv cores on FPGA

1.86x Speedups for NIOS and 1.83x for RISCv using 2 cores for NPB CG

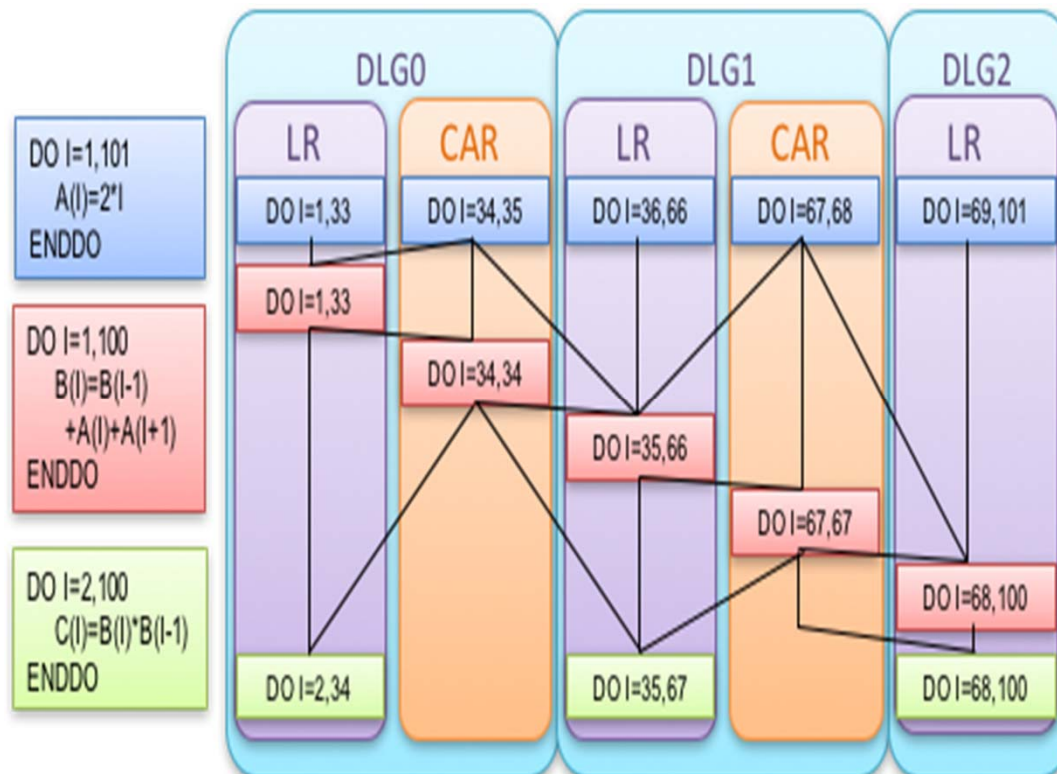


Automatic Local Memory Management

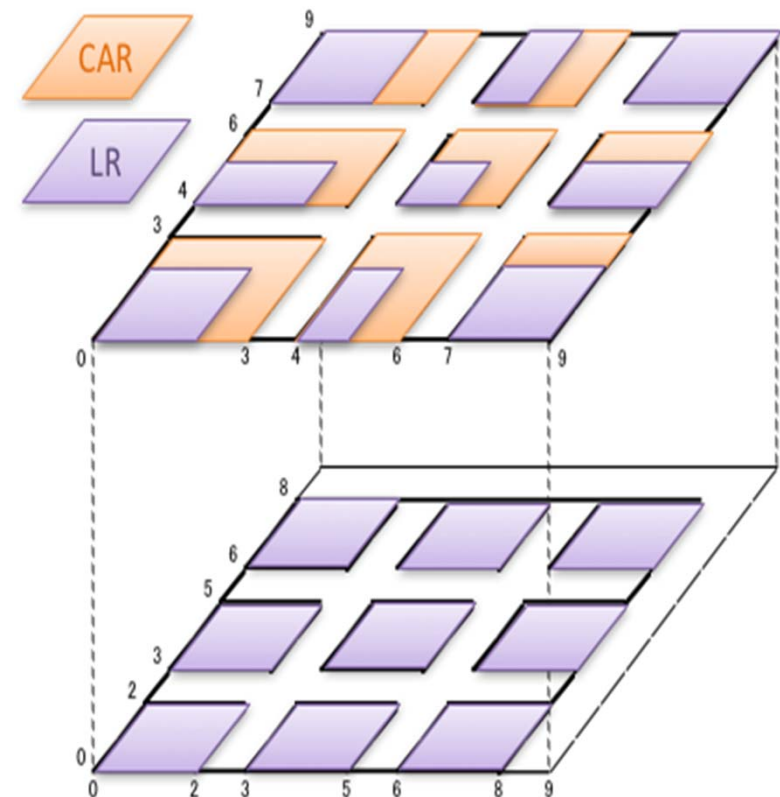
Data Localization: Loop Aligned Decomposition

- Decomposed loop into LRs and CARs
 - LR (Localizable Region): Data can be passed through LDM
 - CAR (Commonly Accessed Region): Data transfers are required among processors

Single dimension Decomposition

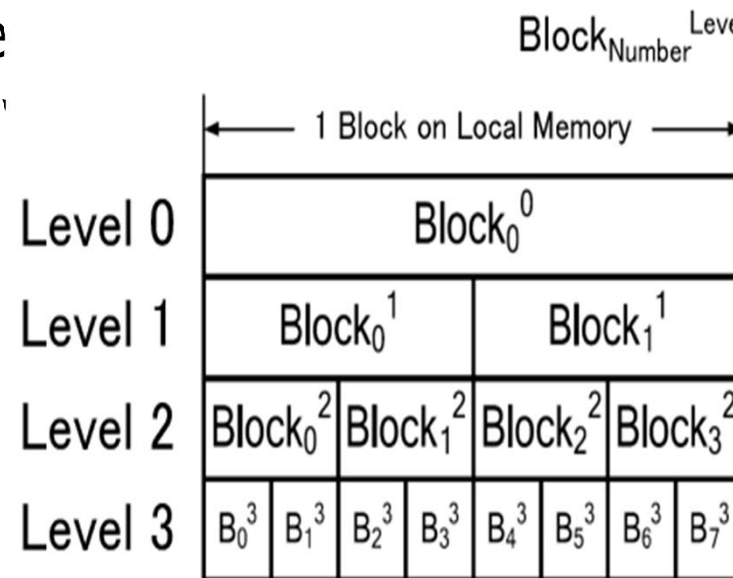


Multi-dimension Decomposition



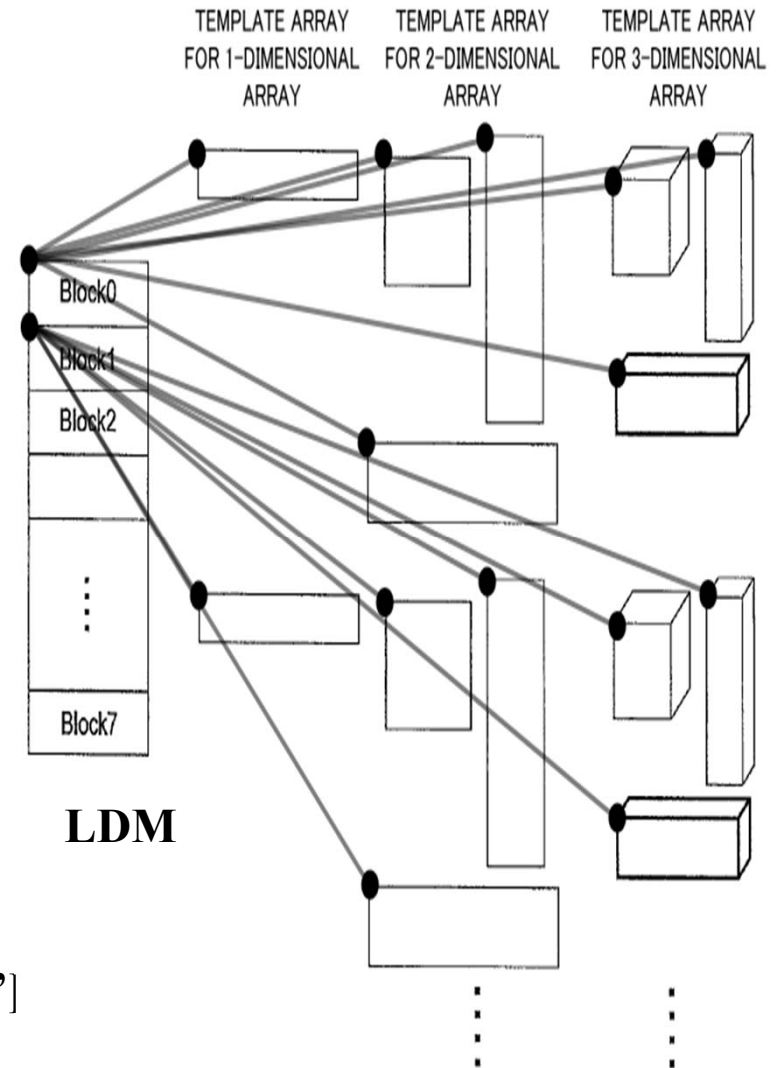
Adjustable Blocks

- Handling a suitable block size for each application
 - different from a fixed block size in cache
 - each block can be divided into smaller blocks with integer and scalar



Multi-dimensional Template Arrays for Improving Readability

- a mapping technique for arrays with varying dimensions
 - each block on LDM corresponds to multiple empty arrays with varying dimensions
 - these arrays have an additional dimension to store the corresponding block number
 - $TA[Block\#][\]$ for single dimension
 - $TA[Block\#][\][\]$ for double dimension
 - $TA[Block\#][\][\][\]$ for triple dimension
 - ...
- LDM are represented as a one dimensional array
 - without Template Arrays, multi-dimensional arrays have complex index calculations
 - $A[i][j][k] \rightarrow TA[offset + i' * L + j' * M + k']$
 - Template Arrays provide readability
 - $A[i][j][k] \rightarrow TA[Block\#][i'][j'][k']$



Block Replacement Policy

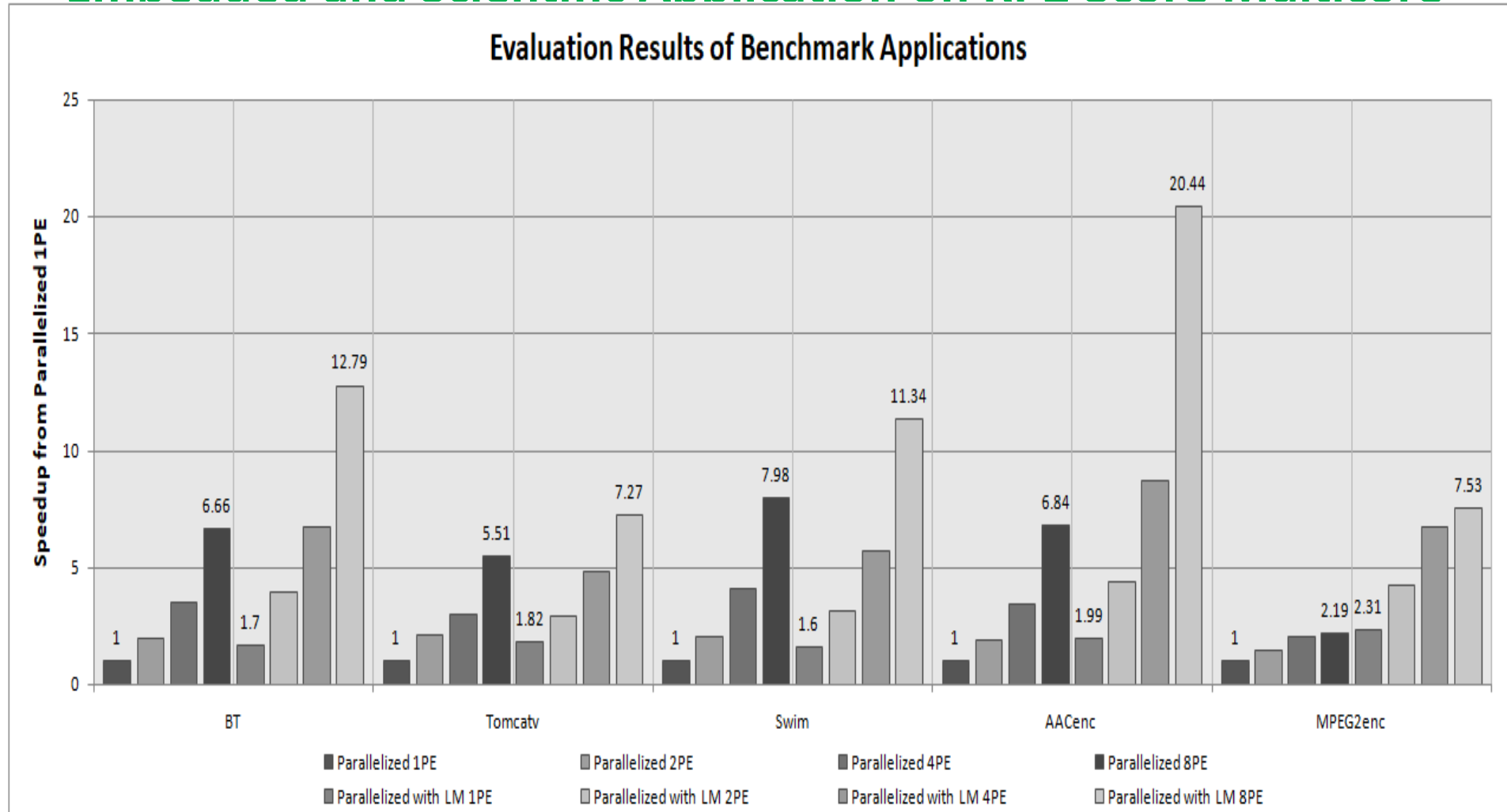
□ Compiler Control Memory block Replacement

- using live, dead and reuse information of each variable from the scheduled result
- different from LRU in cache that does not use data dependence information

□ Block Eviction Priority Policy

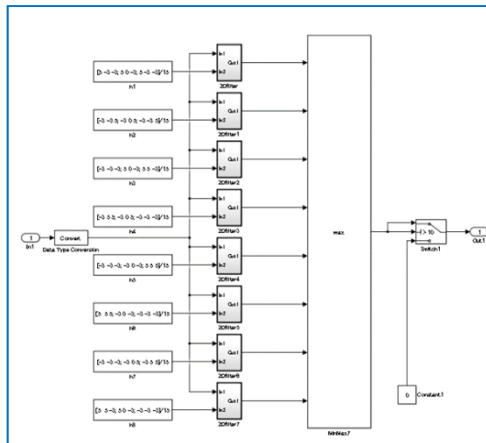
1. (Dead) Variables that will not be accessed later in the program
2. Variables that are accessed only by other processor cores
3. Variables that will be later accessed by the current processor core
4. Variables that will immediately be accessed by the current processor core

Speedups by OSCAR Automatic Local Memory Management compared to Executions Utilizing Centralized Shared Memory on Embedded and Scientific Application on RP2 8core Multicore



Maximum of 20.44 times speedup on 8 cores using local memory against sequential execution using off-chip shared memory

OSCAR Compile Flow for Simulink Applications



Simulink model

Generate C code
using Embedded Coder



```
/* Model step function */
void VesselExtraction_step(void)
{
    int32_T i;
    real_T u0;

    /* DataTypeConversion: '<S1>/Data Type Conversion' incorporates:
     *   Inport: '<Root>/In1'
     */
    for (i = 0; i < 16384; i++) {
        VesselExtraction_B.DataTypeConversion[i] = VesselExtraction_U.In1[i];
    }

    /* End of DataTypeConversion: '<S1>/Data Type Conversion' */

    /* Outputs for Atomic SubSystem: '<S1>/2Dfilter' */

    /* Constant: '<S1>/h1' */
    VesselExtraction_DFfilter(VesselExtraction_B.DataTypeConversion,
        VesselExtraction_P.h1_Value, &VesselExtraction_B.Dfilter,
        (P_Filter_VesselExtraction_T *)&VesselExtraction_P.Dfilter);

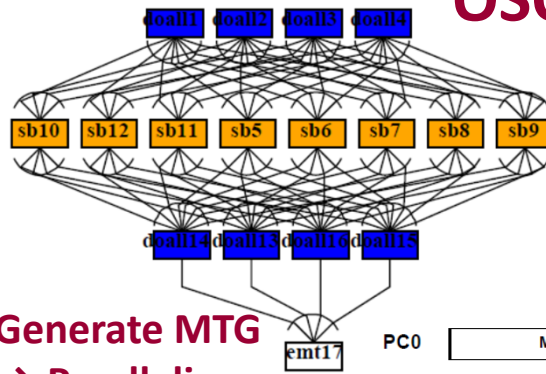
    /* End of Outputs for SubSystem: '<S1>/2Dfilter' */

    /* Outputs for Atomic SubSystem: '<S1>/2Dfilter1' */

    /* Constant: '<S1>/h2' */
    VesselExtraction_DFfilter(VesselExtraction_B.DataTypeConversion,
        VesselExtraction_P.h2_Value, &VesselExtraction_B.Dfilter1,
        (P_Filter_VesselExtraction_T *)&VesselExtraction_P.Dfilter1);
}
```

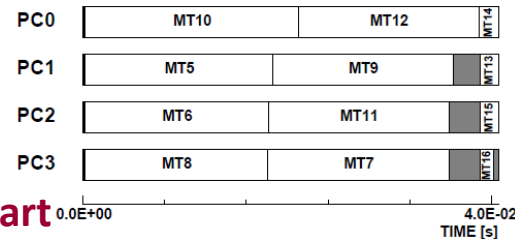
C code

OSCAR Compiler



(1) Generate MTG
→ Parallelism

(2) Generate gantt chart
→ Scheduling in a multicore



(3) Generate parallelized C
code

```
void VesselExtraction_step ( )
{
    int thr1 ;
    int thr2 ;
    int thr3 ;

    void thread_function_001 ( void )
    {
        VesselExtraction_step_PE1 ( ) ;
    }

    oscar_thread_create ( & thr1 ,
        thread_function_001 , (void*)1 ) ;
    oscar_thread_create ( & thr2 ,
        thread_function_002 , (void*)2 ) ;
    oscar_thread_create ( & thr3 ,
        thread_function_003 , (void*)3 ) ;

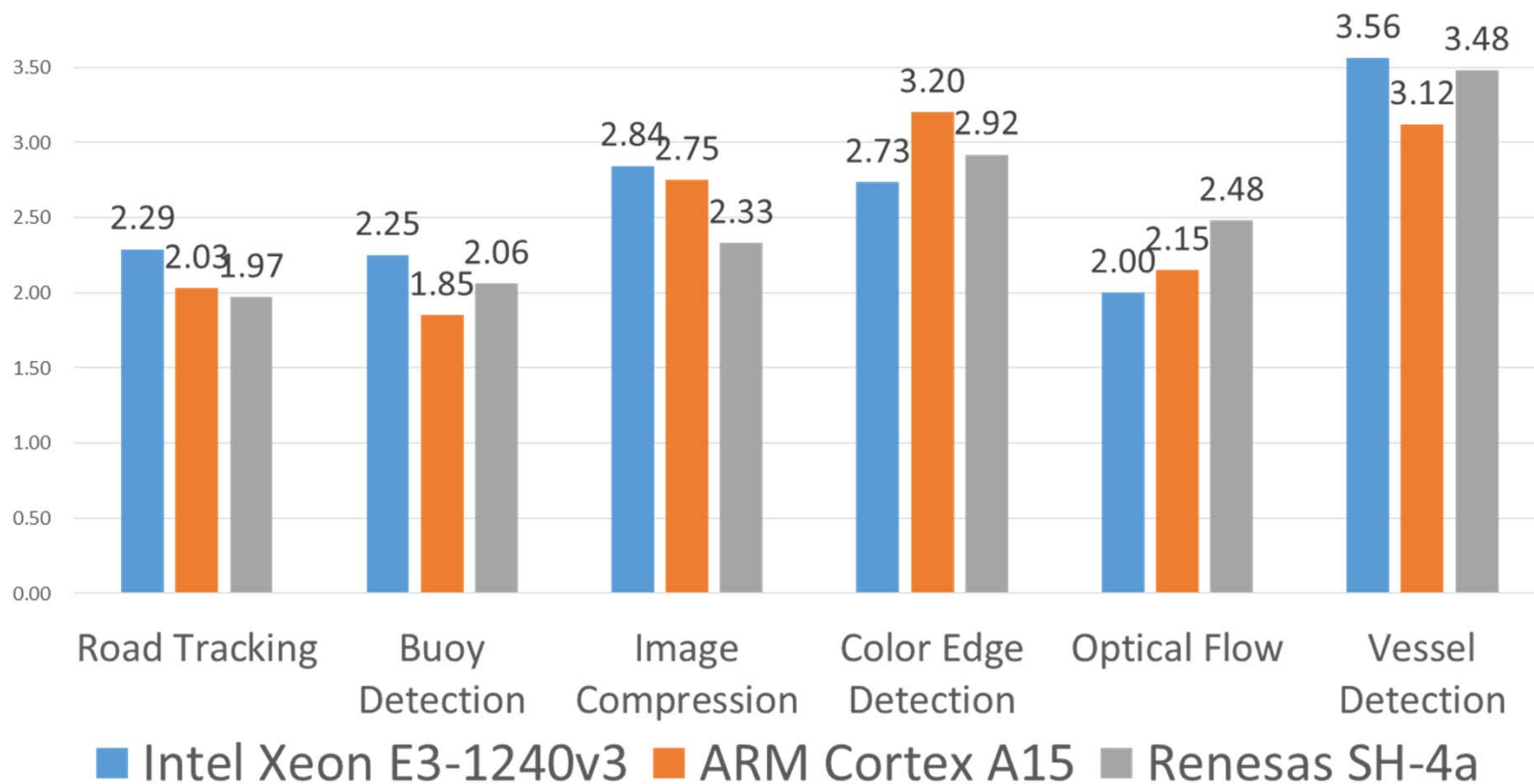
    VesselExtraction_step_PEO ( ) ;

    oscar_thread_join ( thr1 ) ;
    oscar_thread_join ( thr2 ) ;
    oscar_thread_join ( thr3 ) ;
}
```

using the OSCAR API
→ Multiplatform execution
(Intel, ARM and SH etc)

Speedups of MATLAB/Simulink Image Processing on Various 4core Multicores

(Intel Xeon, ARM Cortex A15 and Renesas SH4A)



Road Tracking, Image Compression : <http://www.mathworks.co.jp/jp/help/vision/examples>

Buoy Detection : <http://www.mathworks.co.jp/matlabcentral/fileexchange/44706-buoy-detection-using-simulink>

Color Edge Detection : <http://www.mathworks.co.jp/matlabcentral/fileexchange/28114-fast-edges-of-a-color-image--actual-color--not-converting-to-grayscale-/>

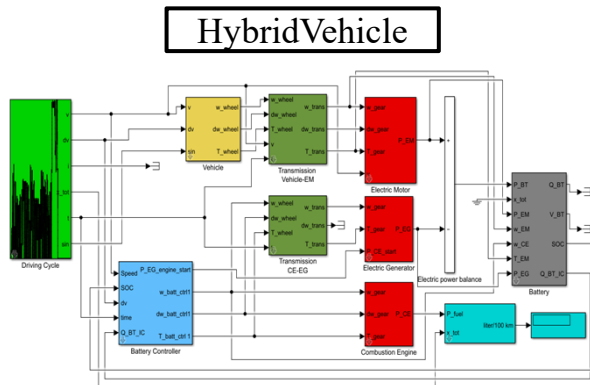
Vessel Detection : <http://www.mathworks.co.jp/matlabcentral/fileexchange/24990-retinal-blood-vessel-extraction/>

Automatic Pallalelization Tool of MATLAB/Simulink:

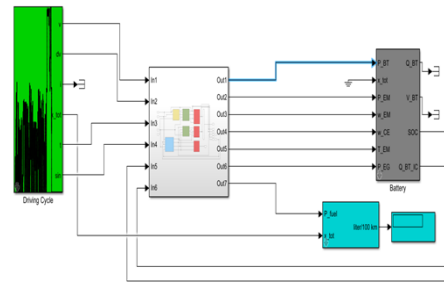
OSCAR Tech “OSCARator” <https://www.oscartech.jp/en/>

- **OSCARator is a simulation accelerator of MATLAB/Simulink on multicore processor**
 - based on “OSCAR Compiler” Automatic Parallelization Technology developed by Kasahara and Kimura Lab. Waseda University

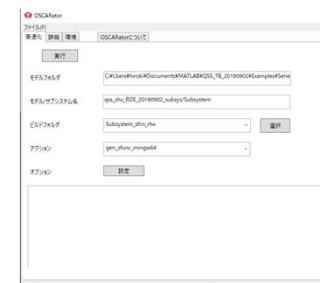
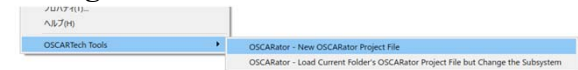
Original Simulink Model



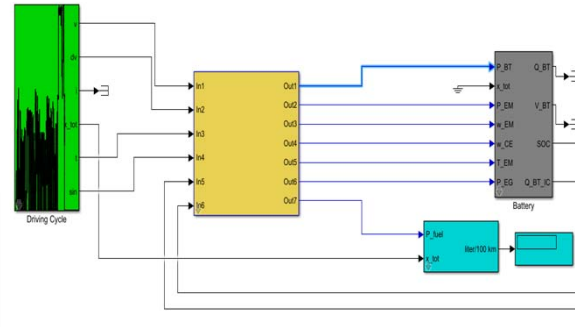
make a “Subsystem” with blocks which you want to accelerate



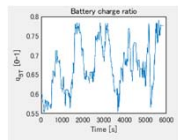
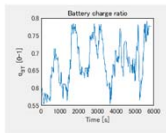
Start OSCARator from right click menu, OSCARator will automatically configure settings.



New Accelerated Simulink Model



Same Result and Shorter Simulation Time



<FULLY AUTOMATIC>

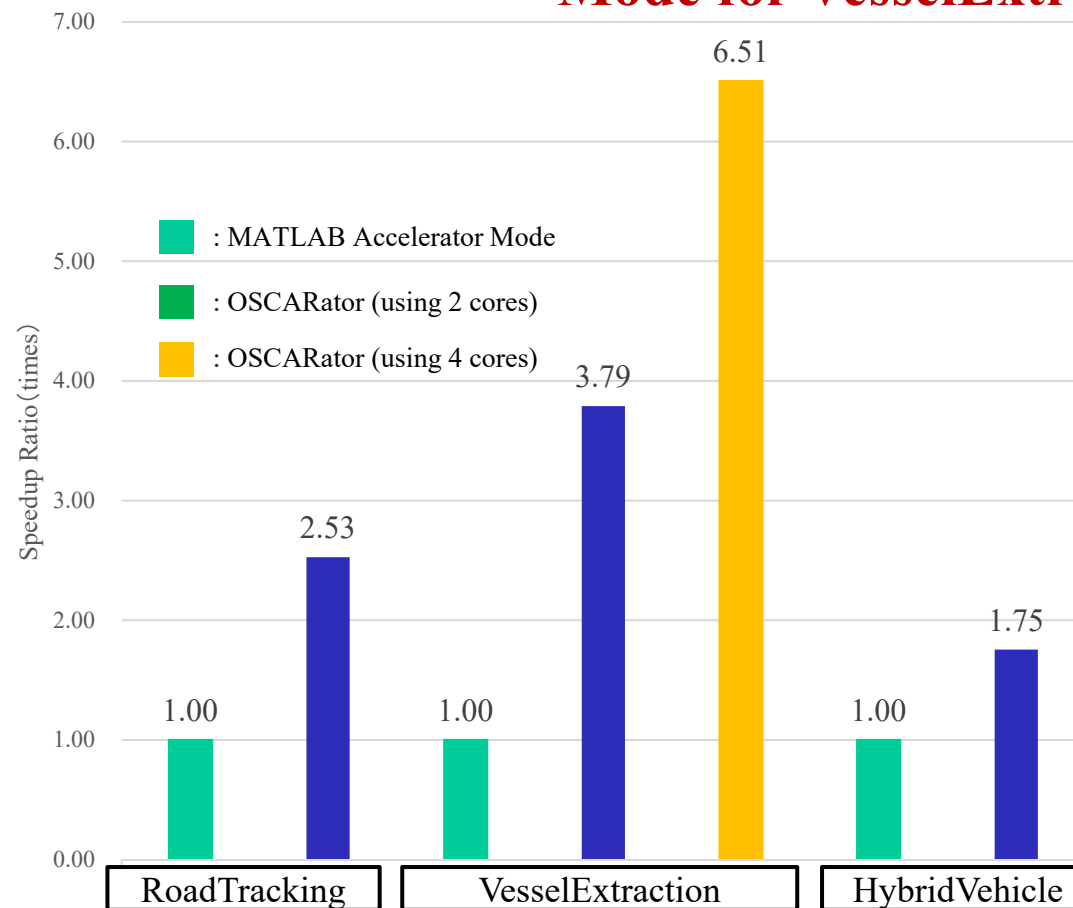
- Simulink Coder C-Code Generation
- Automatic Parallelization
- S-Function MEX Build
- Replacing Subsystem with S-Function Block

MEX: Dynamically linked subroutine executed in the MATLAB environment.

Speedup of Simulink Models by OSCARator on 4 cores Intel Core i5 Processor

<https://www.oscartech.jp/en/>

6.51 times speed up on 4 cores against 1 core MATLAB Accelerator Mode for VesselExtraction



Intel Core i5 7400T 2.4GHz (4 cores)
16GB (SODIMM 2400MHz)
Windows 10 Pro (1903)
MATLAB R2019a Update 5
MinGW GCC 6.3

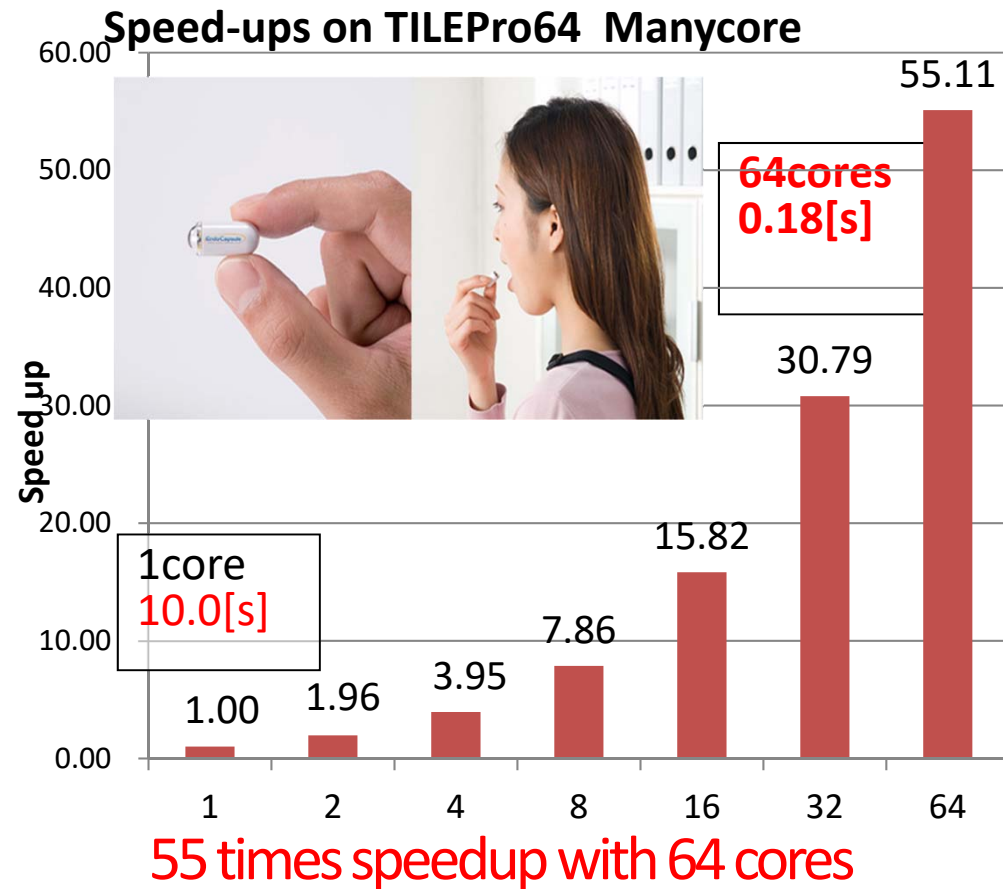
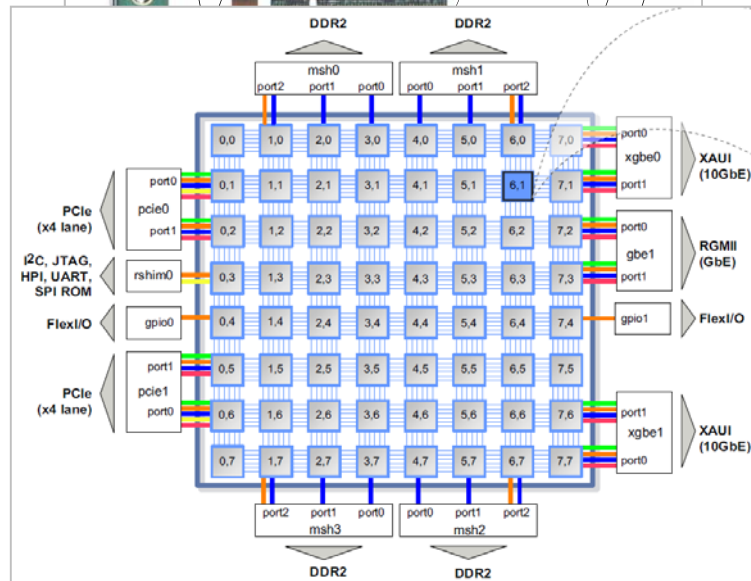
- RoadTracking
 - from Computer Vision Toolbox
 - <https://jp.mathworks.com/help/vision/examples/color-based-road-tracking.html>
- VesselExtraction
 - from MATLAB Central
 - modified for Simulink Model
 - <https://www.mathworks.com/matlabcentral/fileexchange/24990-retinal-blood-vessel-extraction>
- HybridVehicle
 - Hybrid Vehicle Powertrain
 - developed by Kusaka Lab. Waseda University
 - <http://www.f.waseda.jp/jin.kusaka/>

(Compared with MATLAB Accelerator Mode Simulation)

Automatic Parallelization of JPEG-XR for Drinkable Inner Camera (Endo Capsule)

10 times more speedup needed after parallelization for 128 cores of
Power 7. Less than 35mW power consumption is required.

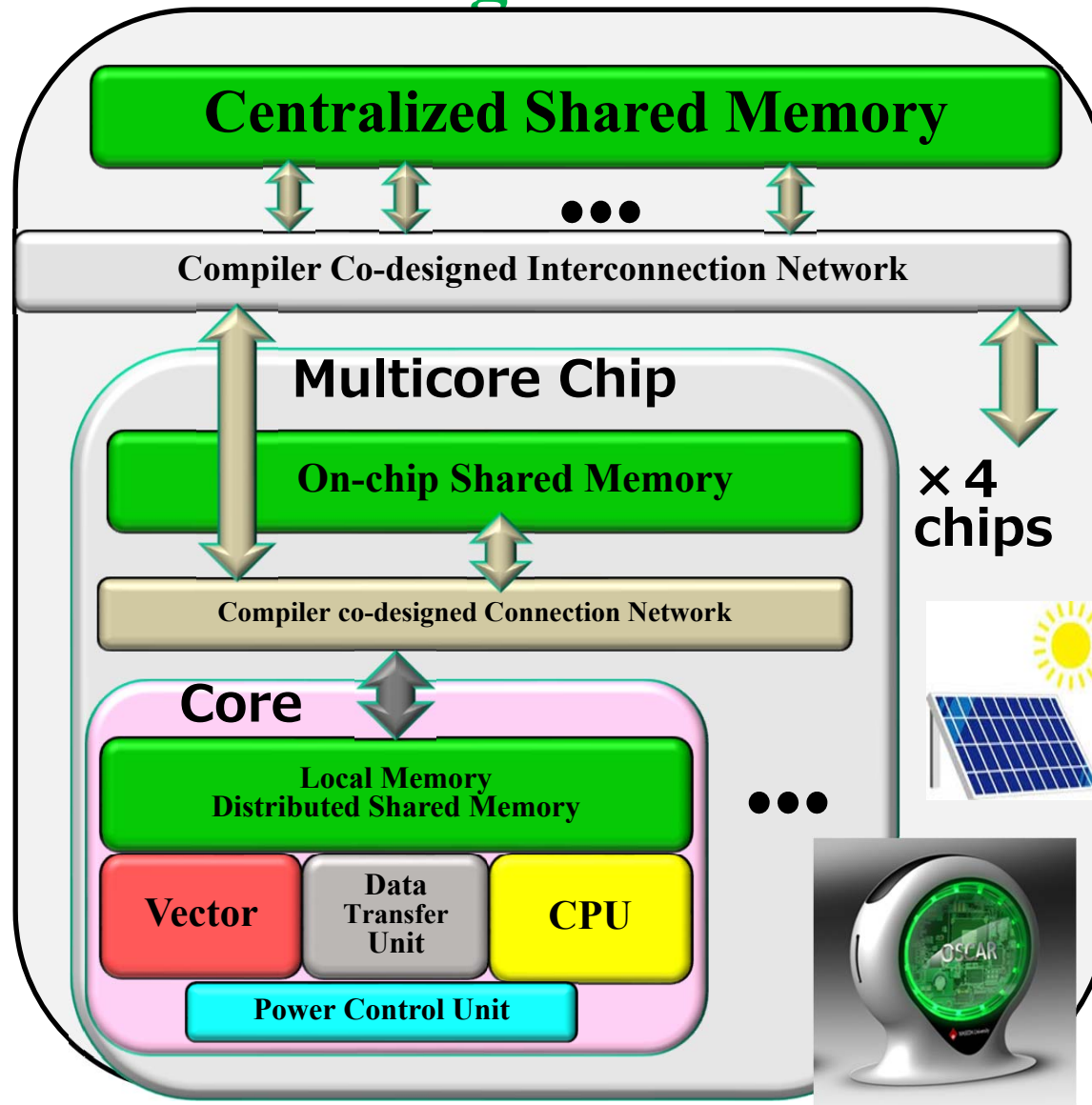
- TILEPro64



OSCAR High Performance and Low Power Vector Accelerator and Compiler for ADAS and Self-driving Vehicles with OSCAR Technology

Target:

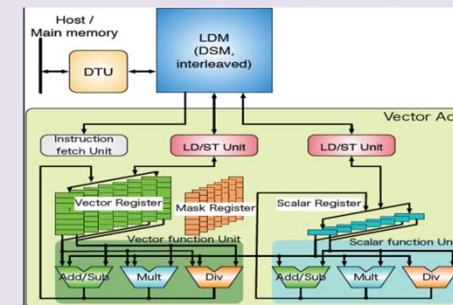
- Solar Powered
- Compiler power reduction.
- Fully automatic parallelization and vectorization including local memory management and data transfer.



Vector Accelerator

Features

- Attachable for any CPUs (Intel, ARM, IBM)
- Data driven initiation by sync flags



Function Units [tentative]

- **Vector Function Unit**
 - 8 double precision ops/clock
 - 64 characters ops/clock
 - Variable vector register length
 - Chaining LD/ST & Vector pipes
- **Scalar Function Unit**

Registers[tentative]

- **Vector Register** 256Bytes/entry, 32entry
- **Scalar Register** 8Bytes/entry
- **Floating Point Register** 8Bytes/entry
- **Mask Register** 32Bytes/entry

早稲田大学 産学連携オープン・イノベーション

早稲田研究推進ワンストップ窓口 ※2019年10月1日開設

WasedaOneStopResearch@list.waseda.jp URL <https://www.waseda.jp/inst/research/>

- 少子化・技術競争力の低下が叫ばれる日本の競争力を強化するため、大学のオリジナリティを有効利用し、産業界からの高付加価値製品共創を行うことが必要
- 共創した高付加価値製品からの利益を大学との共同研究に再投資し、研究費で雇用する(生活費・学費の支給)博士学生と共に、産業界ニーズを満たす世界唯一・最先端の技術を共同開発し、これを通し即戦力の創造性の高い世界レベル博士を育成、持続的競争力強化を目指す。
- 早稲田大学は、オープン・イノベーション・バレー構想の下、産官学連携支援組織改変・ワンストップ窓口化、即戦力高度人材育成、社会ニーズを把握した研究推進、国際知財取得・活用支援、ベンチャー育成等を含むオープンイノベーションを推進し、産学間の死の谷を乗り越えるエコシステム構築を目指す。

早稲田オープン・イノベーション・エコシステム

早稲田大学

研究活性化

- 博士学生雇用（世界で輝く人材育成）
- トップ論文誌・国際会議掲載支援
- 研究者インセンティブ：報奨・講義軽減
- 競争領域産学連携研究スペースの提供
- トップ研究者の雇用

産学連携推進

- ワンストップ窓口
- 知財創出支援：特許申請・審査
- 知財活用支援：ライセンス
- 産業界とのマッチング支援(WOI含む)
- シーズ技術紹介（広報）
- ニーズ解決に向けた学内チーム構築
- 契約支援（見積,学生含むNDA・知財）
- 研究費管理・研究倫理講座受講支援

ベンチャー創出・育成

- ベンチャーファンド紹介
- 知財ライセンス：現金・株等
- 経営・経理・会計・法律人材紹介
- 顧客（バリューアップ）マッチング支援

研究チーム・知財

産学連携研究

教員・大学院生・
産業界技術者・研究者参加
産業界からのニーズに基づく
未知問題解決・実用化に挑む

信頼・協力
マッチング

シーズ紹介

ニーズ
研究費

創出・育成

支援

国

世界に有用な高付加価値
製品・サービス

高度人材

共同開発技術・知財

産業界

- 産学連携競争領域研究開発・実用化
- ビジネスモデル構築（標準化含め）

大学発ベンチャー

早稲田オープン・イノベーション・バレー (Waseda Open Innovation Valley) 構想

ーグローバルなオープンイノベーション環境の創造ー

インキュベーションセンター

- 早稲田大学の学生・教職員を対象に起業支援を実施
- ベンチャー企業向けスペース・設備を整備

各務記念材料 技術研究所

- 文部科学省「環境整合材料基盤技術共同研究拠点」

スマートエナジーシステム・イノベーションセンター



- JST「革新的イノベーション創出プログラム」(COIサテライト拠点)
- 蓄電池研究開発の拠点として広く学内外の研究者と連携

リサーチイノベーションセンター(仮)



- 総工費100億円(自主経費)による産学連携拠点の建設(2020年4月竣工、地上6階地下2階 総床面積18,000m²)
- 各種研究支援事業(産学連携ワンストップ窓口、研究推進・戦略、TLO、契約支援、アウトリーチ機能)を整備
- 文部科学省「オープンイノベーション機構の整備事業」を推進

早稲田キャンパス

早稲田アリーナ



- 多目的施設「早稲田アリーナ」が完成(2018年12月竣工)
- 健康スポーツサイエンス研究を推進

戸山キャンパス

喜久井町キャンパス

グリーン・コンピューティング・システム研究開発センター



- 経済産業省「産業技術研究開発施設整備事業」の支援を受け建設(2011年)
- 次世代マルチコア・メモリーコアのハードウェア、ソフトウェア、応用技術等の研究開発を推進
- 産学共同による次世代高付加価値技術を創出する人材の育成

©Google

100

- 

ステージプログラム

(開催の順)

10:00 主催者挨拶 早稲田大学の目指す オープン・イノベーション・エコシステム 新事業・研究(研究)推進委員会 オープン・イノベーション戦略研究部長 03-32-0000 (Copyright Society, Private Ltd. 2018) 笠原 博徳氏	11:00 総論発表 オープン・イノベーションに対する 早稲田大学の期待 武蔵野大学 教授 社会科系副学長、学務部長 経済科系学部長兼専攻長 長谷川 閑史氏
10:30 分野別発表 10:40 総論発表 Society 5.0の実現と オープン・イノベーション機構への期待 一般社団法人日本新技術推進協会 会長 山西 健一郎氏	11:30 オープン・イノベーション研究部紹介 早稲田大学オープン・イノベーション 戦略研究機構の取り組み・体制ご紹介 オープン・イノベーション戦略研究部長 戦略部長 中谷 義昭氏
12:10~12:50 12:50~13:30 リブ・アップセッション 13:30 粘性流体の数学 理工学部 数理学系 数理学専攻 数理学教授 Faculty member in the Department of Mechanical Engineering and Materials Science, University of Pittsburgh 柴田 良弘氏	13:30 ゲーム・チェンジャーの時代 早稲田大学システム教育 学部長兼システム教育センター学長 内田 和成氏
14:10 スパイチップは存在するか: AIによるハードウェアロイヤリティ検知の可能性 理工学部 数理学系 数理学専攻 数理学教授 Faculty member in the Department of Mechanical Engineering and Materials Science, University of Pittsburgh 戸田 望氏	14:10 ヒューマノイドロボット研究と その社会実装 理工学部 数理学系 数理学専攻 数理学教授 Faculty member in the Department of Mechanical Engineering and Materials Science, University of Pittsburgh 高西 淳夫氏
14:30 自動車向けSiC耐熱モジュールの 実装技術開発 理工学部 数理学系 数理学専攻 数理学教授 Faculty member in the Department of Mechanical Engineering and Materials Science, University of Pittsburgh 岩 安平氏	14:30 資源循環型社会構築に向けた 革新的分選技術の開発 理工学部 数理学系 数理学専攻 数理学教授 Faculty member in the Department of Mechanical Engineering and Materials Science, University of Pittsburgh 所 千晴氏
15:10 パネルディスカッション 早稲田オープン・イノベーションの将来 新事業・研究(研究)推進委員会 オープン・イノベーション戦略研究部長 03-32-0000 (Copyright Society, Private Ltd. 2018) 笠原 博徳氏	15:10 ロボットのイノベーションとは? 理工学部 数理学系 数理学専攻 数理学教授 Faculty member in the Department of Mechanical Engineering and Materials Science, University of Pittsburgh 菅野 重樹氏
15:30 伊藤 将彦氏 理工学部 数理学系 数理学専攻 数理学教授 Faculty member in the Department of Mechanical Engineering and Materials Science, University of Pittsburgh 伊藤 将彦氏	15:30 山野井 順一氏 理工学部 数理学系 数理学専攻 数理学教授 Faculty member in the Department of Mechanical Engineering and Materials Science, University of Pittsburgh 山野井 順一氏

会場アクセス **ベルサール汐留**

〒100-0001 ●有明駅有明線徒歩11分 有明線有明駅西口徒歩12分 JR有明線
TEL:03-6256-0210

- 有明駅(有明線)有明駅西口徒歩11分
- 有明駅(有明線)有明駅西口徒歩11分
- 有明駅(有明線)有明駅西口徒歩11分

A101会場
早稲田大学オープン・イノベーション戦略研究機構
早稲田大学オープン・イノベーションフォーラム 2019事務局
(株式会社早稲田大学エカゲックソリューションズ)
TEL:03-3208-0102 E-mail:oi-event@ei.waseda.jp



SUSTAINABLE
DEVELOPMENT
GOALS

早稲田オープン・イノベーション・フォーラム2019

Waseda Open Innovation Forum 2019

WOI'19

2019年度に採択された文部科学省「平成30年度地域産学官連携科学技術振興事業費補助金オープンイノベーション機構の整備事業」を機に、下記目的のために開催

- ・ 早稲田大学産学連携ビジョンの提示
- ・ 技術シーズ・産学連携事例紹介のための、最先端研究に関する講演、技術展示・デモ
- ・ 産業界の皆様とのマッチングの場の提供

2019年
3月5日(火) 10:00~18:00
ベルサール汐留 2Fホール

東京・都心・有明地区丁目21-1 有明地区の発展を促す
<https://waseda-oif.jp>





入場無料



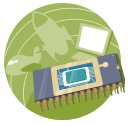
スマートインターフェイス技術実証実験



高度製造技術実証実験

主催：早稲田大学オープンイノベーション戦略研究機構
共催：早稲田大学研究局 早稲田大学理工学域総合研究所
後援：一般社団法人日本経済団体連合会

本フォーラムは、平成30年度文部科学省「地域産学官連携科学技術振興事業費補助金オープンイノベーション機構整備事業」の一環で開催いたします。



Future Multicore Products with Automatic Parallelizing Compiler



Next Generation Automobiles

- Safer, more comfortable, energy efficient, environment friendly
- Cameras, radar, car2car communication, internet information integrated brake, steering, engine, motor control

Smart phones



- From everyday recharging to less than once a week
- Solar powered operation in emergency condition
- Keep health

Advanced medical systems



Cancer treatment, Drinkable inner camera

- Emergency solar powered
- No cooling fan, No dust, clean usable inside OP room



Personal / Regional Supercomputers



Solar powered with more than 100 times power efficient : FLOPS/W

- Regional Disaster Simulators saving lives from tornadoes, localized heavy rain, fires with earthquakes