

IEEE Computer Society President 2018就任と グリーンマルチコア研究開発に関する産学連携研究

早稲田大学 笠原博徳

理工学術院基幹理工学部情報理工学科 教授
アドバンスト・マルチコア・プロセッサ研究所 所長

IEEE Computer Society President Elect 2017, President 2018

IEEE Fellow, 情報処理学会フェロー

1976年 早稲田大学高等学院卒
1980年 早大電気工学科卒, 1982同修士了
1985年 早大大学院博士課程了 工学博士
カリフォルニア大学バークレー客員研究員
1986年 早大理工専任講師, 1988年 助教授
1997年 教授、現在 理工学術院情報理工学科
1989年～1990年 イリノイ大学Center for
Supercomputing R&D客員研究員

1987 IFAC World Congress Young Author Prize
1997 情報処理学会坂井記念特別賞
2005 半導体理工学研究センタ共同研究賞
2008 LSI・オブ・ザ・イヤー 2008 準グランプリ
2008 Intel Asia Academic Forum Best Research Award
2010 IEEE CS Golden Core Member Award
2014文部科学大臣表彰科学技術賞研究部門
2015情報処理学会フェロー, 2017 IEEE Fellow

論文214件, 招待講演145件, 特許公開59件(日本・
米国・英国・中国等既取得30件), 新聞・Web記事・
TV等メディア掲載 572件

政府・学会委員等歴任数 245件

IEEE Computer Society President 2018, 理事
(2009-14), 戦略計画委員会委員長, Multicore
STC 委員長, 規約委員会委員長, IEEE CS Japan
委員長 (2005-07) 等

【経済産業省・NEDO】 情報家電用マルチコア&コンパ
イラプロジェクトリーダー, NEDOコンピュータ戦略委員長等

【内閣府】 スーパーコンピュータ戦略委員, 政府調達苦
情検討委員, 総合科学技術会議情報通信PT 研究開発基
盤領域&セキュリティ・ソフト検討委員, 日本国際賞選定委

【文部科学省・海洋研】 地球シミュレータ(ES)中間評価
委員, 情報科学技術委員, H P C I 計画推進委員, 次世代
スパコン(京)中間評価委員・概念設計評価委員, 地球シ
ミュレータES2導入技術アドバイザー委員等

2016 IEEE Computer Society Election Results Hironori Kasahara selected 2017 President-Elect (2018 President)

IEEE CS 70年の歴史の中で初めて、北米以外から会長に選出



Hironori Kasahara has served as a chair or member of 225 society and government committees, including a member of the CS Board of Governors; chair of CS Multicore STC and CS Japan chapter; associate editor of IEEE Transactions on Computers; vice PC chair of the 1996 ENIAC 50th Anniversary International Conference on Supercomputing; general chair of LCPC; PC member of SC, PACT, PPOPP, and ASPLOS; board member of IEEE Tokyo section; and member of the Earth Simulator committee.

He received a PhD in 1985 from Waseda University, Tokyo, joined its faculty in 1986, and has been a professor of computer science since 1997 and a director of the Advanced Multicore Research Institute since 2004. He was a visiting scholar at University of California, Berkeley, and the University of Illinois at Urbana-Champaign's Center for Supercomputing R&D.

Kasahara received the CS Golden Core Member Award, IFAC World Congress Young Author Prize, IPSJ Fellow and Sakai Special Research Award, and the Japanese Minister's Science and Technology Prize. He led Japanese national projects on parallelizing compilers and embedded multicores, and has presented 210 papers, 132 invited talks, and 27 patents. His research has appeared in 520 newspaper and Web articles.



IEEE Computer Society 2017 BoG (理事) Feb.1, 2017

Past IEEE Computer Society Presidents

Chairs of the IRE Professional Group

on Electronic Computers

- 1951-53 Morton M. Astrahan
- 1953-54 John H. Howard
- 1954-55 Harry Larson
- 1955-56 Jean H. Felker
- 1956-57 Jerre D. Noe
- 1957-58 Werner Buchholz
- 1958-59 Willis H. Ware
- 1959-60 Richard O. Endres
- 1960-62 Arnold A. Cohen
- 1962-64 Walter L. Anderson

Chairs of the AIEE Committee on Large-Scale Computing Devices

- 1946-49 Charles Concordia
- 1949-51 John Grist Brainerd
- 1951-53 Walter H. MacWilliams
- 1953-55 Frank J. Maginniss
- 1955-57 Edwin L. Harder
- 1957-59 Morris Rubinoff
- 1959-61 Ruben A. Imm
- 1961-63 Claude A. Kagan
- 1963-64 Gerhard L. Hollander

Chairs & Presidents of the IEEE Computer Society

- 1964-65 Keith Uncapher
- 1965-66 Richard I. Tanaka
- 1966-67 Samuel Levine
- 1968-69 Charles L. Hobbs
- 1970-71 Edward J. McCluskey
- 1972-73 Albert S. Hoagland
- 1974-75 Stephen S. Yau
- 1976 Dick B. Simmons
- 1977-78 Merlin G. Smith
- 1979-80 Tse-Yun Feng
- 1981 Richard E. Merwin
- 1982-83 Oscar N. Garcia
- 1984-85 Martha Sloan
- 1986-87 Roy L. Russo
- 1988 Edward A. Parrish
- 1989 Kenneth A. Anderson
- 1990 Helen M. Wood
- 1991 Duncan H. Lawrie
- 1992 Bruce D. Shriver
- 1993 James H. Aylor
- 1994 Laurel V. Kaleda
- 1995 Ronald G. Hoelzeman
- 1996 Mario R. Barbacci
- 1997 Barry W. Johnson
- 1998 Doris L. Carver
- 1999 Leonard L. Tripp
- 2000 Guylaine M. Pollock
- 2001 Benjamin W. Wah
- 2002 Willis K. King
- 2003 Stephen Diamond
- 2004 Carl K. Chang
- 2005 Gerald L. Engel
- 2006 Deborah M. Cooper
- 2007 Michael R. Williams
- 2008 Rangachar Kasturi
- 2009 Susan K. (Kathy) Land,
- 2010 James D. Isaak
- 2011 Sorel Reisman
- 2012 John W. Walz
- 2013 David Alan Grier
- 2014 Dejan S. Milojevic
- 2015 Thomas M. Conte
- 2016 Roger U. Fujii
- 2017 Jean-Luc Gaudiot
- 2018 Hironori Kasahara

IEEE Computer Society

60,000+ members, volunteer-led organization,
200 technical conferences, industry-oriented "Rock Stars",
17 scholarly journals and 13 magazines, awards program,
Digital Library with more than 550,000 articles and papers,
400 local and regional chapters, 40 technical committees,

 Region 1 (Northeastern US)	 Region 6 (Western US)
 Region 2 (Eastern US)	 Region 7 (Canada)
 Region 3 (Southern US)	 Region 8 (Africa, Europe, Middle East)
 Region 4 (Central US)	 Region 9 (Latin America)
 Region 5 (Southwestern US)	 Region 10 (Asia and Pacific)

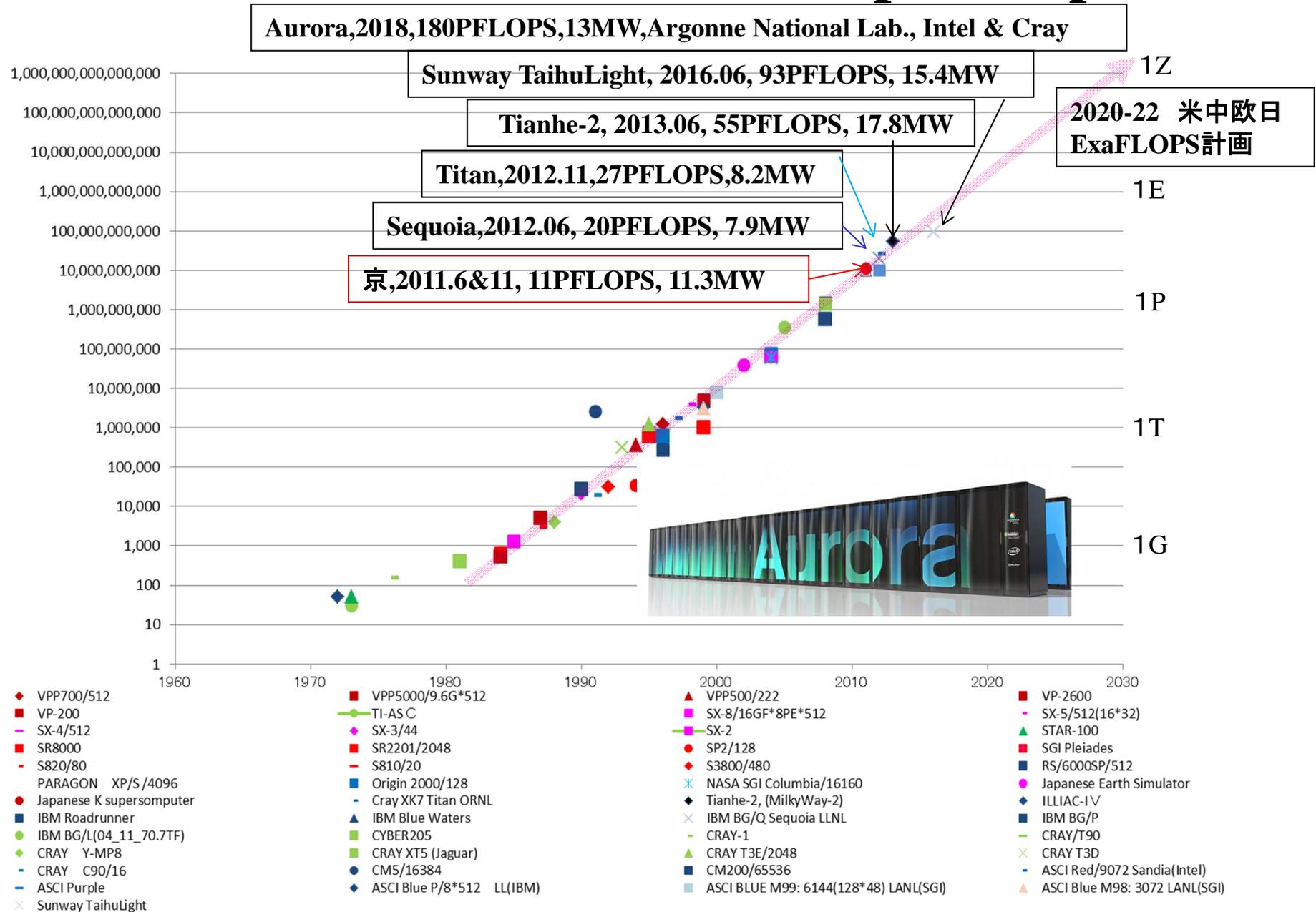
► IEEE-USA (Regions 1-6)



Toward 2018

1. Refining content and services to further improve the satisfaction of CS members;
2. Considering an incentive for volunteers to further accelerate CS activities and promptly provide technical benefits for people around the globe;
To express appreciation to volunteers:
CS Point (Mileage) System: Annual & Life Time Honor, Premier Seating, Premier Registration, Distinguished Reviewer, etc
3. Offering more attractive services for practitioners in industry;
4. Providing the world's best educational content and historical treasures for future generations, which only the CS can create with our pioneering researchers (for example, the Multicore Compiler Video Series found at www.computer.org/web/education/multicore-video-series);
5. Thinking about sustainable membership fees while considering the diversity of economic situations within the 10 regions;
6. Cooperating with other IEEE societies and sister societies in a timely and efficient manner;
7. Intelligibly introducing the latest computer-related technologies to younger generations, including children, so that they can realize their technological dreams.

Trend of Peak Performances of Supercomputers



June 20, 2016



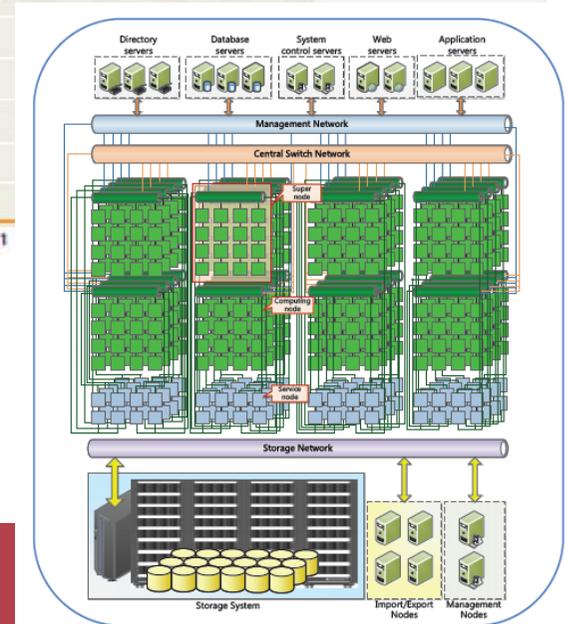
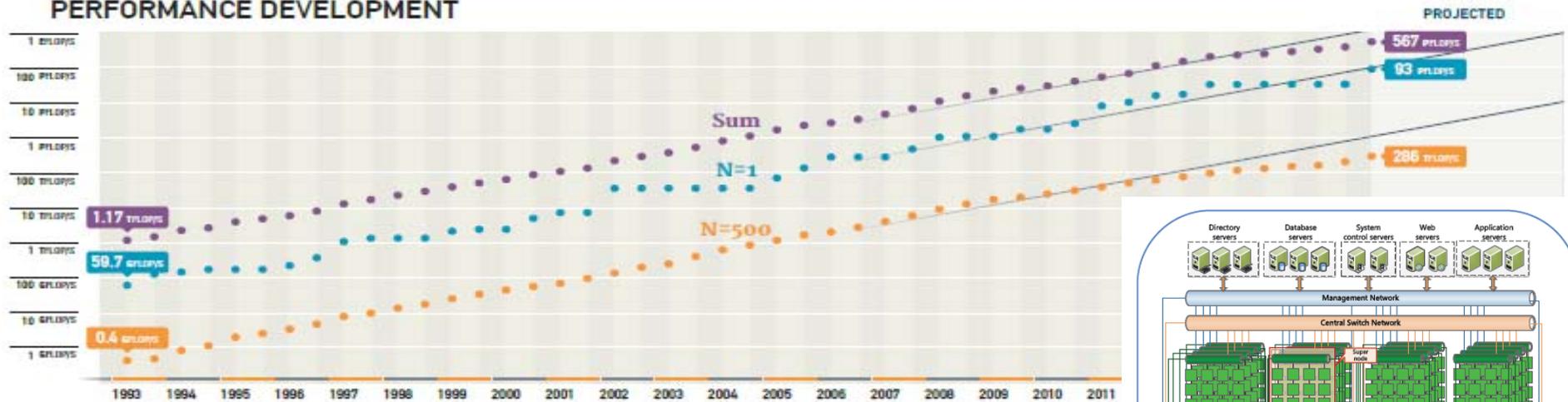
PRESENTED BY



FIND OUT MORE AT top500.org

	NAME	SPECS	SITE	COUNTRY	CORES	R _{MAX} PFLOPS	POWER MW
1	Sunway TaihuLight	Shenwei SW26010 (260C 1.45 GHz) Custom interconnect	NSCC in Wuxi	China	10,649,600	93.0	15.4
2	Tianhe-2 (Milkyway-2)	Intel Ivy Bridge (12C 2.2 GHz) & Xeon Phi (57C 1.1 GHz), Custom interconnect	NSCC in Guangzhou	China	3,120,000	33.9	17.8
3	Titan	Cray XK7, Opteron 6274 (16C 2.2 GHz) + Nvidia Kepler GPU, Custom interconnect	DOE/SC/ORNL	USA	560,640	17.6	8.2
4	Sequoia	IBM BlueGene/Q, Power BQC (16C 1.60 GHz), Custom interconnect	DOE/NNSA/LLNL	USA	1,572,864	17.2	7.9
5	K computer	Fujitsu SPARC64 VIIIfx (8C 2.0 GHz), Custom interconnect	RIKEN AICS	Japan	705,024	10.5	12.7

PERFORMANCE DEVELOPMENT



International Workshop
A Strategic Initiative of Computing:
Systems and Applications (SISA)
--Integrating HPC, Big Data, AI and Beyond--



Jan 18 and 19, 2017



Green Computing Systems R&D Center, Waseda University

Sponsored by

Waseda Univ. international collaborative research in
MEXT SGU Embodiment Informatics Project ,
Waseda Univ. Advanced Multicore Research Institute

In Cooperation with

IEEE Computer Society Japan Chapter
IEEE Computer Society Multicore STC
IEEE Computer Society Dataflow STC

Industry Supporter

Fujitsu Limited

SISA Program for Jan. 18-19, 2017

Opening: Prof. Gao, Prof. Kasahara

Waseda VP Shuji Hashimoto,

I. Architecture and Applications

Keynote: William J. Dally,

NVIDIA and Stanford University, USA

- Kimihiko Hirao, RIKEN, Japan
- G. W. Yang, Tsinghua Univ. China
- J. Sexton, IBM, USA

II . System Software and Applications

Keynote: Rick. Stevens ANL, USA

- S. Mikhail Smelyanskiy Intel USA
- Fred. Streitz, LLNL USA
- R. Govind, IIS, India
- H. Hironori Kasahara, Waseda Univ,

III. Extreme Scale and Beyond

Keynote: Paul Messina ANL, USA

- Motoaki Saito, PEZY, Japan
- Eiji Ishida, MEXT, Japan
- Depei Qian, BUAA, China
- Toshiyuki Shimizu, Fujitsu, Japan

IV. Integration of HPC, Big Data, and AI

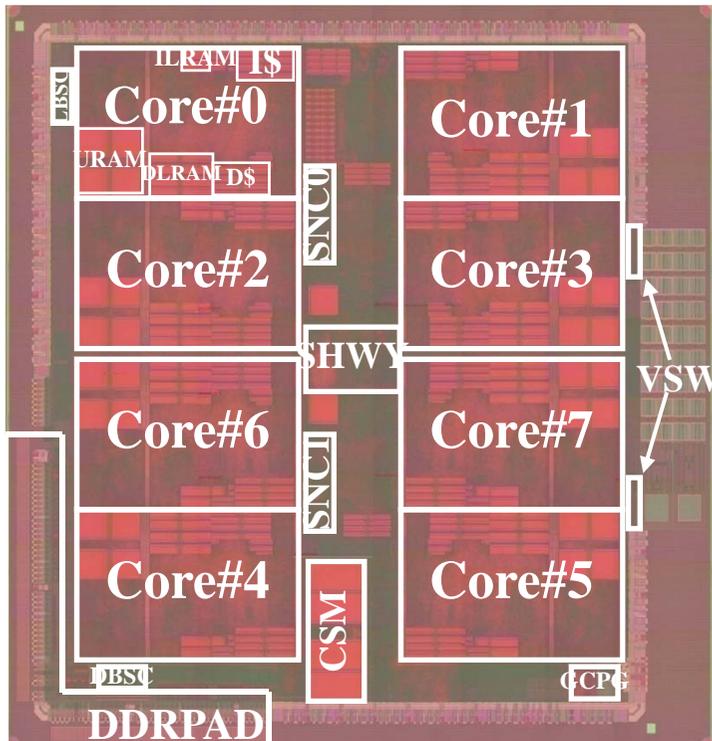
Keynote: Thomas Sterling, Indiana Univ., USA

- Masaru Kitsuregawa, NII and Univ. of Tokyo, Japan
- Thomas Schulthess, ETH, Swiss
- Moriyuki Takamura/Toshiaki Kitamura, Oscar Tech, Japan



Multicores for Performance and Low Power

Power consumption is one of the biggest problems for performance scaling from smartphones to cloud servers and supercomputers (“K” more than 10MW) .



IEEE ISSCC08: Paper No. 4.5,
M.ITO, ... and H. Kasahara,
“An 8640 MIPS SoC with
Independent Power-off Control of 8
CPUs and 8 RAMs by an Automatic
Parallelizing Compiler”

$$\text{Power} \propto \text{Frequency} * \text{Voltage}^2$$

(Voltage \propto Frequency)

➔ Power \propto Frequency³

If Frequency is reduced to 1/4
(Ex. 4GHz \rightarrow 1GHz),
Power is reduced to 1/64 and
Performance falls down to 1/4 .

<Multicores>

If 8cores are integrated on a chip,
Power is still 1/8 and
Performance becomes 2 times .

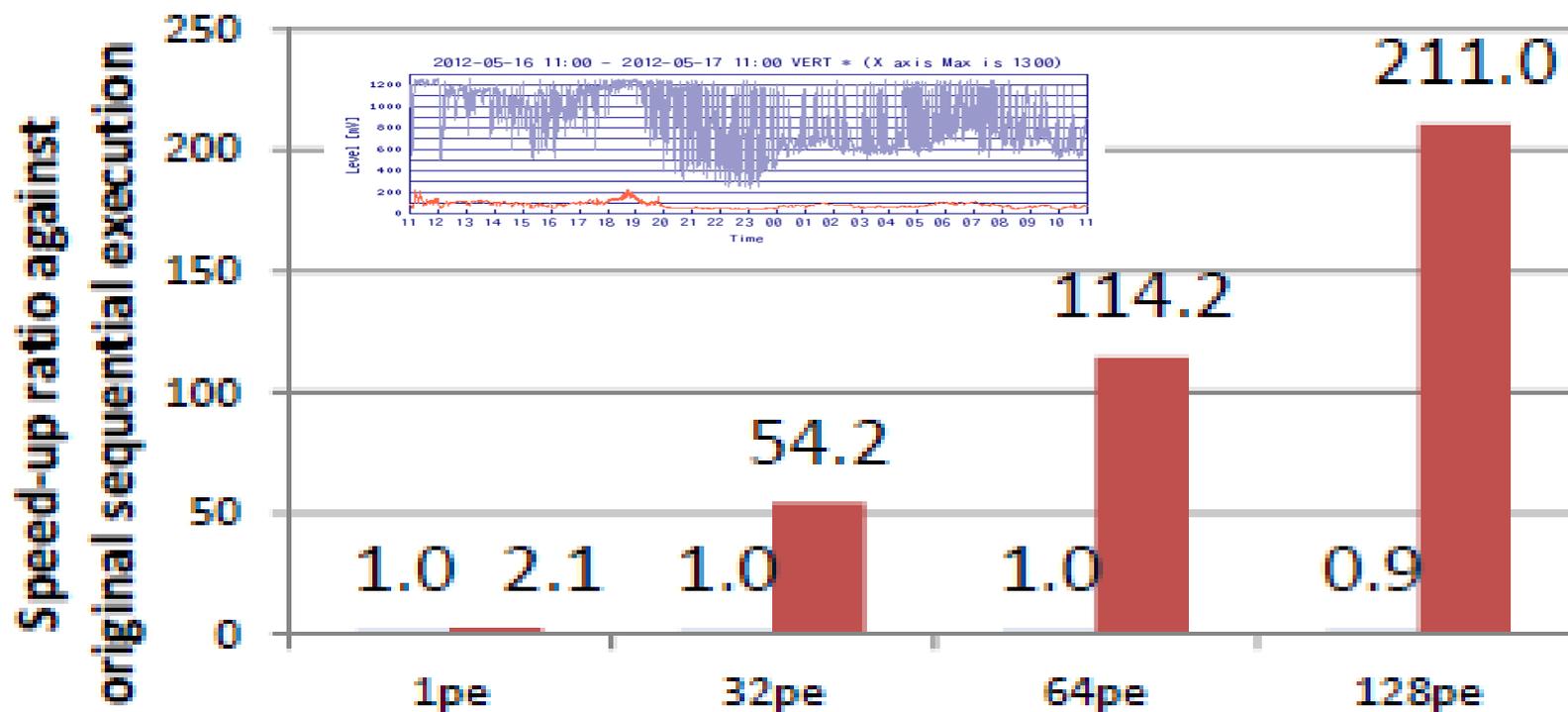


災害から命を守る

防災科学研究所地震動シミュレーション
GMSの富士通M9000上での並列化

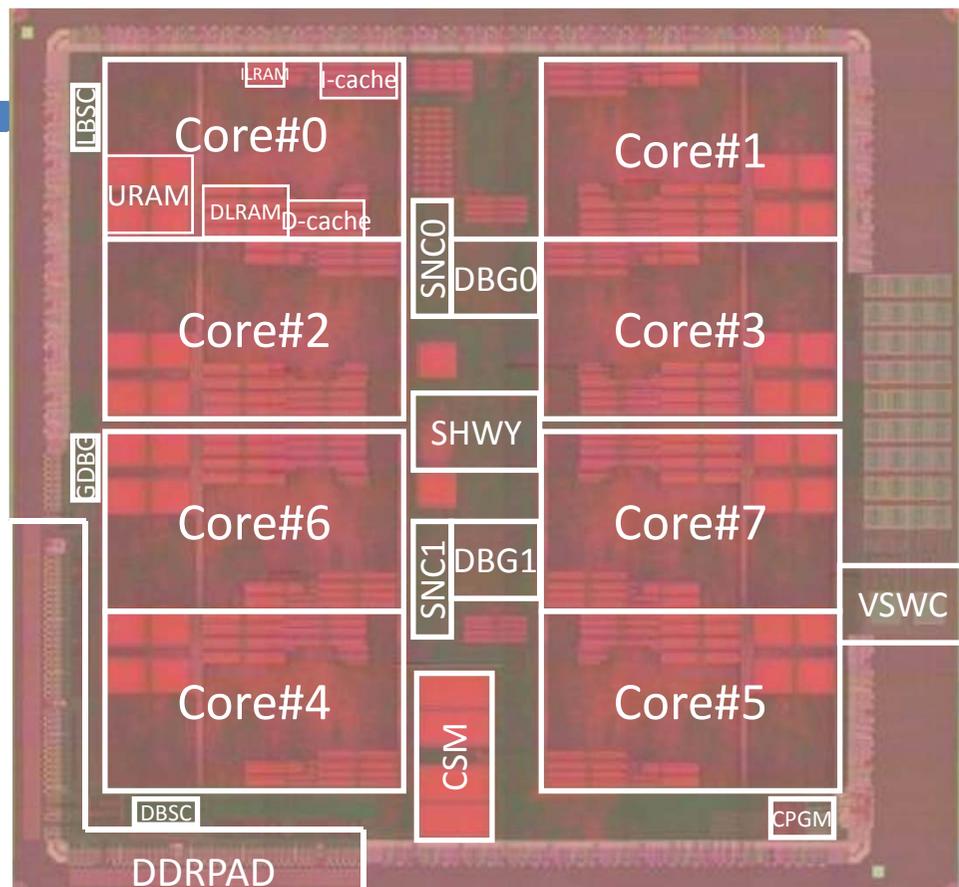


■ original (sun studio) ■ proposed method



128コアで、OSCARコンパイラ使用1コアに対して100倍の速度向上、Sun Studio使用1コアオリジナルコードに対して211倍の速度向上

早稲田OSCARコンパイラ協調型アーキテクチャ ホモジニアスマルチコアRP2 SH4A8コア搭載



8コア集積マルチコアLSIチップ写真

プロセス	90nm CMOS, 8層メタル, 3種Vth
チップサイズ*	104.8mm ² (10.61mm x 9.88mm)
電源電圧	1.0V-1.4V(コア), 1.8/3.3V(I/O)
動作周波数	600MHz
CPU性能	8640 MIPS (Dhrystone 2.1)
FPU性能	33.6 GFLOPS
低電力制御	<ul style="list-style-type: none"> ・CPU毎に独立した周波数変更 ・CPUコアのクロックを停止するスリープモード ・CPUコアの一部のクロックを停止するがキャッシュコヒーレンシ維持可能なライトスリープモード ・CPUコアの電源供給を停止するフル電源遮断モード ・URAM以外のCPUコアの電源供給を停止するレジューム電源遮断モード

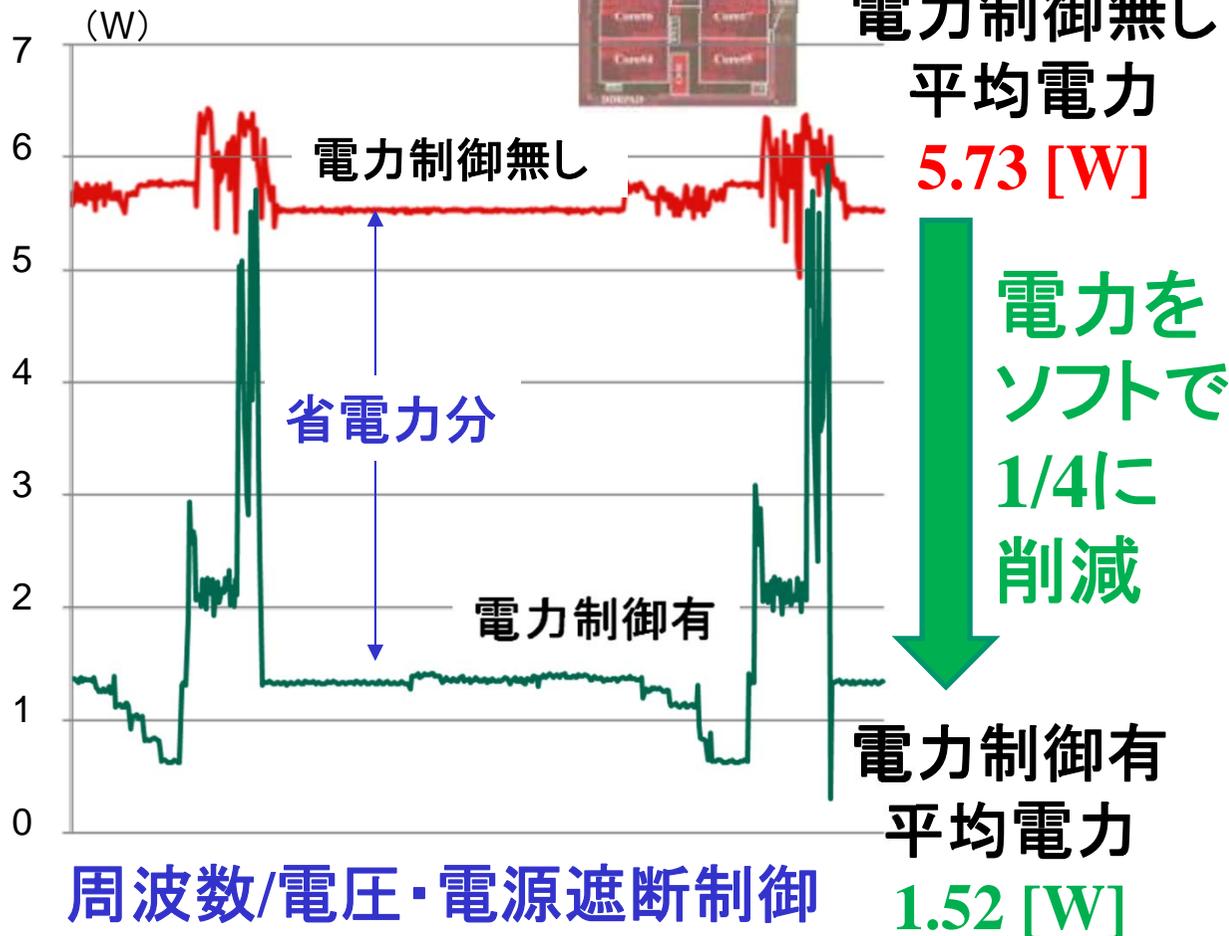
ISSCC08発表: ISSCC08 論文番号4.5, M.ITO, et al., "An 8640 MIPS SoC with Independent Power-off Control of 8 CPUs and 8 RAMs by an Automatic Parallelizing Compiler"

太陽光電力で動作する情報機器

コンピュータの消費電力をHW&SW協調で低減。電源喪失時でも動作することが可能。

リアルタイムMPEG2デコードを、8コアホモジニアスマルチコアRP2上で、消費電力1/4に削減

世界唯一の差別化技術



太陽電池で駆動可



NEDOリアルタイム情報家電用マルチコアチップ・デモの様子

<http://www8.cao.go.jp/cstp/gaiyo/honkaigi/74index.html>

第74回総合科学技術会議【平成20年4月10日】



2012/12/10
第74回総合科学技術会議の様子(1)



第74回総合科学技術会議の様子(2)



第74回総合科学技術会議の様子(3)



第74回総合科学技術会議の様子(4)

グリーン・コンピューティング・システム研究開発センター 2011年5月13日開所
経済産業省支援: 低消費電力マルチコア産官学連携研究 7F笠原・木村, 5F学生

助手: 見神広紀, 島岡 護, 大木吉健

客員教授:

内山日立技師長, 枝廣名大教授, 北村オスカーテクノロジーFellow, 吉田明大教授,

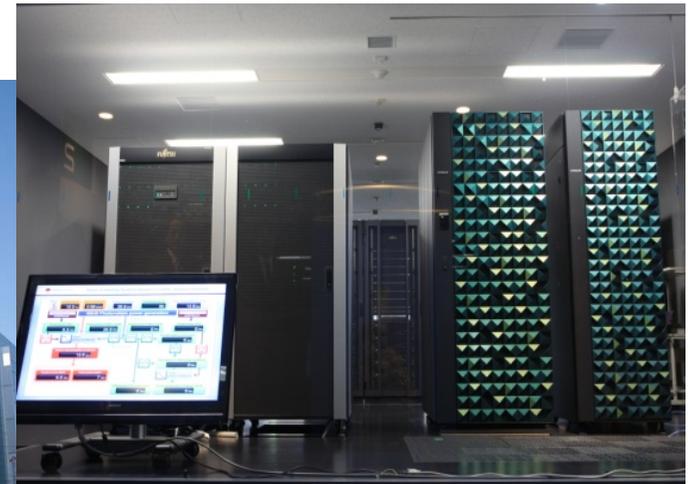
**Prof. David Padua (Univ. Illinois),
Prof. Michelle Strout (Arizona Univ.),**

客員研究員:

Drs. Shirako & Hayashi (Rice大), 日立, NEC, デンソー, オリンパス, ルネサス, オスカー等の企業から約30名
博士課程2名, M2 4名, M1 4名

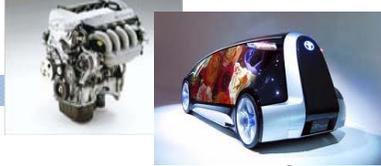
<2017年産学連携>

日立, デンソー, デンソーヨーロッパ, ルネサス, NEC, 富士電機, オリンパス, 三菱電機, NTTデータ, オスカーテクノロジー(早稲田大学出資ベンチャー) 等



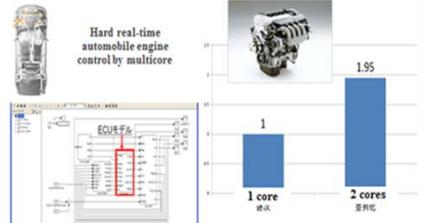
笠原・木村研究室:アドバンスマルチコアプロセッサ研究所

制御



車載(エンジン制御・自動運転Deep Learning・ADAS・MATLAB/Simulink自動並列化)デンソー、ルネサス、NEC

Engine Control by multicore with Denso
Though so far parallel processing of the engine control on multicore has been very difficult, Denso and Waseda succeeded 1.95 times speedup on 2core V850 multicore processor.



高信頼・低コスト・ソフト開発

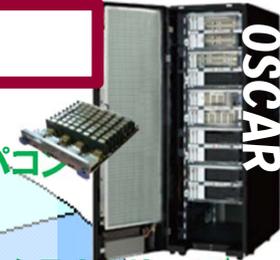
FA 三菱

産業競争力を守る

交通シミュレーション・信号制御 NTTデータ・日立

環境を守る

命を守る



グリーンスパコン

グリーンクラウドサーバ

アドバンスマルチコアプロセッサ研究所

OSCARマルチコア/メニーコア & コンパイラ オスカー

OS Many-core API

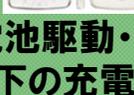
産業

生活

災害

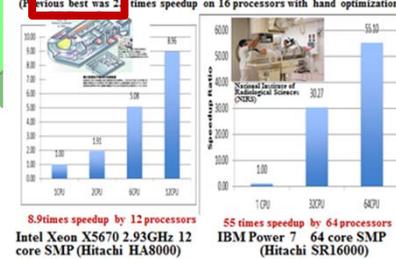
医療

カプセル内視鏡 オリンパス



太陽電池駆動・週1以下の充電

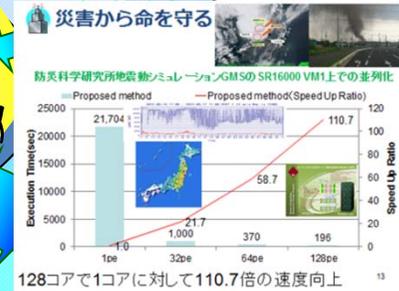
Cancer Treatment Carbon Ion Radiotherapy



医用画像処理等専用サーバ (医療:重粒子線照射計画) 日立

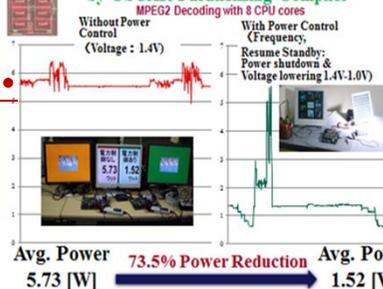
デスクトップパソコン

新幹線車体設計・ディープラーニング・日立



首都圏直下型地震火災延焼、住民避難指示

MPEG2 Decoding to 1/4 on 8 Core Homogeneous Multicore RP-2 by OSCAR Parallellizing Compiler



低消費電力化

持続的高付加価値製品の開発

企業 大学 高速化

世界をリードするマルチコア用コンパイラ技術

プロセッサ高速化における3大技術課題の解消

1.半導体集積度向上(使用可能トランジスタ数増大)に対する速度向上率の鈍化

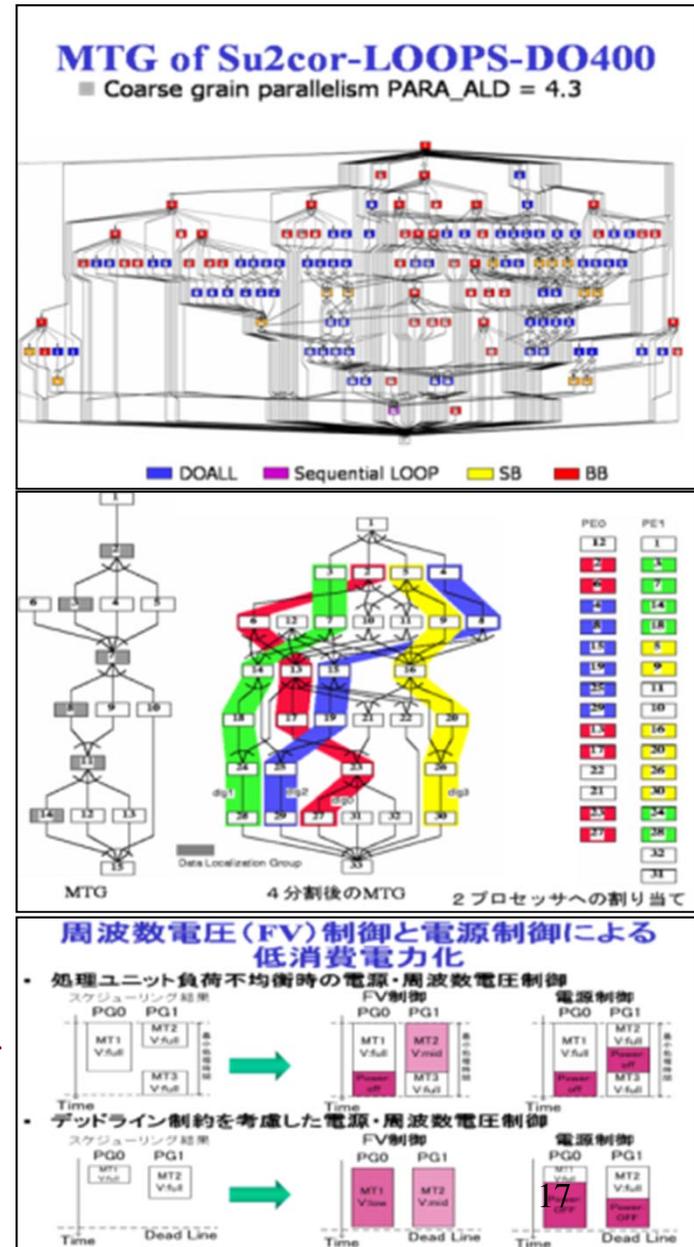
- 粗粒度タスク並列化、ループ並列化、近細粒度並列化によりプログラム全域の並列性を利用するマルチグレイン並列化機能により、従来の命令レベル並列性より大きな並列性を抽出し、複数マルチコアで速度向上

2.メモリウォール問題

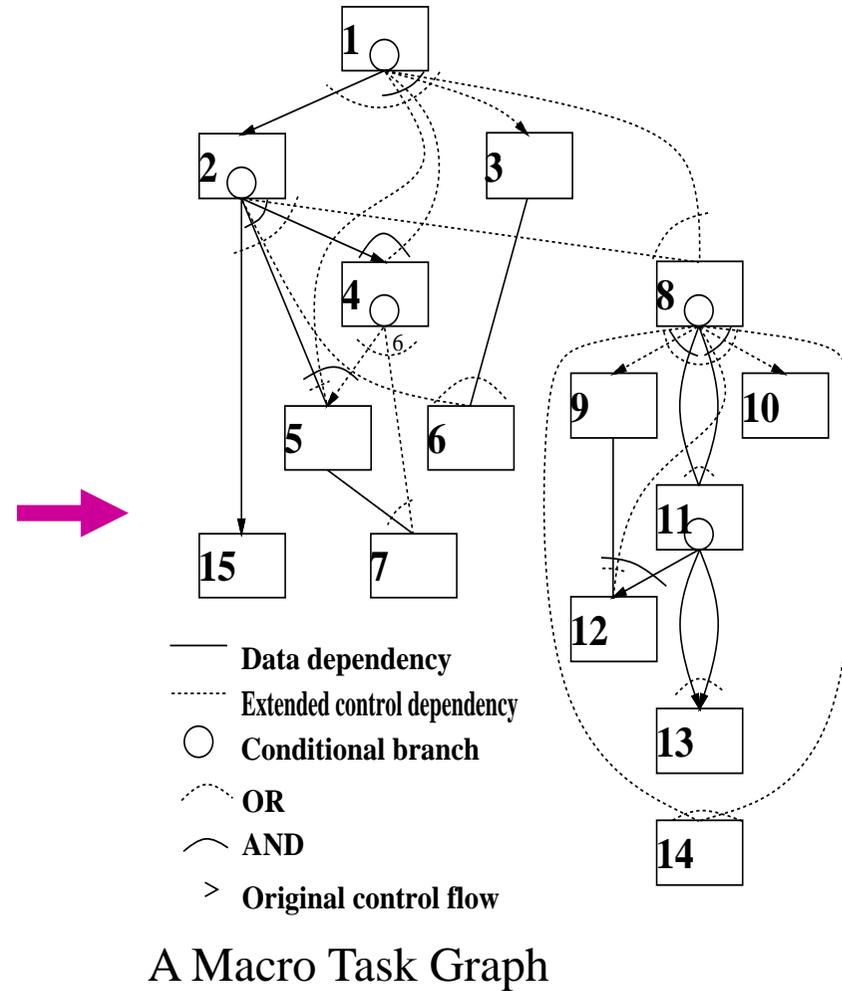
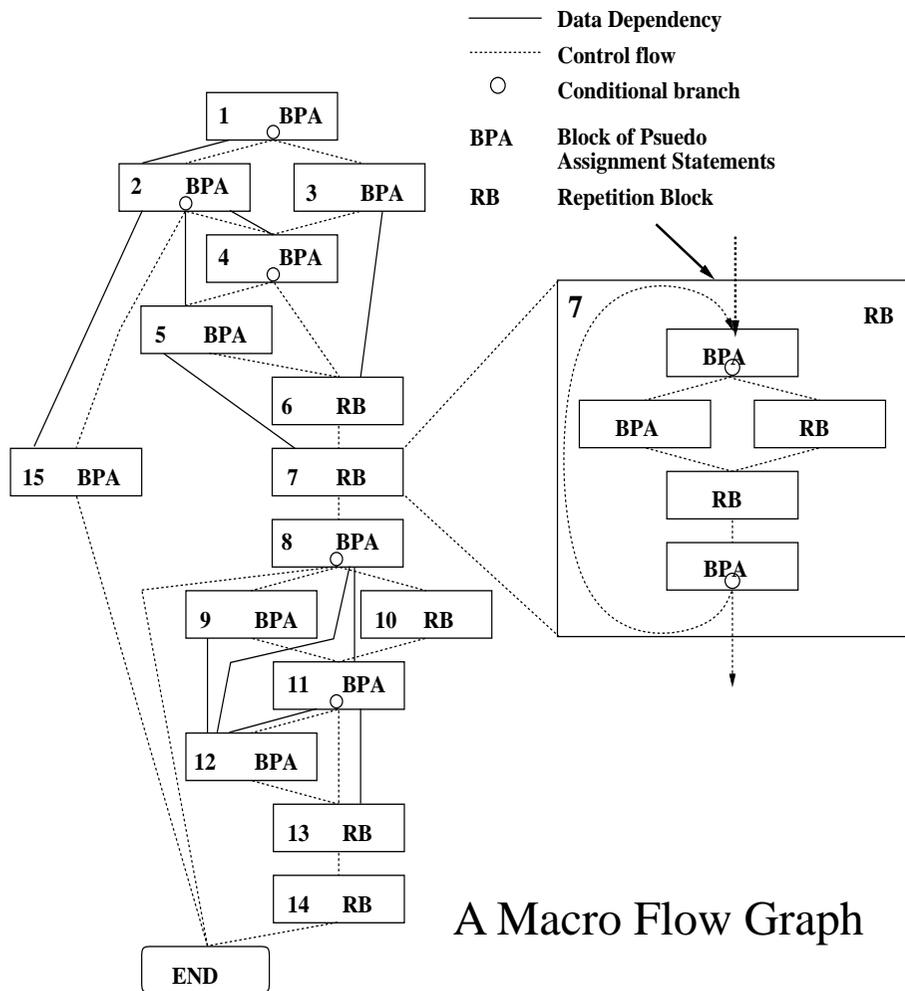
- コンパイラによるローカルメモリへのデータ分割配置、DMAコントローラによるタスク実行とオーバーラップしたデータ転送によりメモリアクセス・データ転送オーバーヘッド最小化

3.消費電力増大による速度向上の鈍化

- コンパイラによる低消費電力制御機能を用いたアプリケーション内でのきめ細かい周波数・電圧制御・電源遮断により消費電力低減

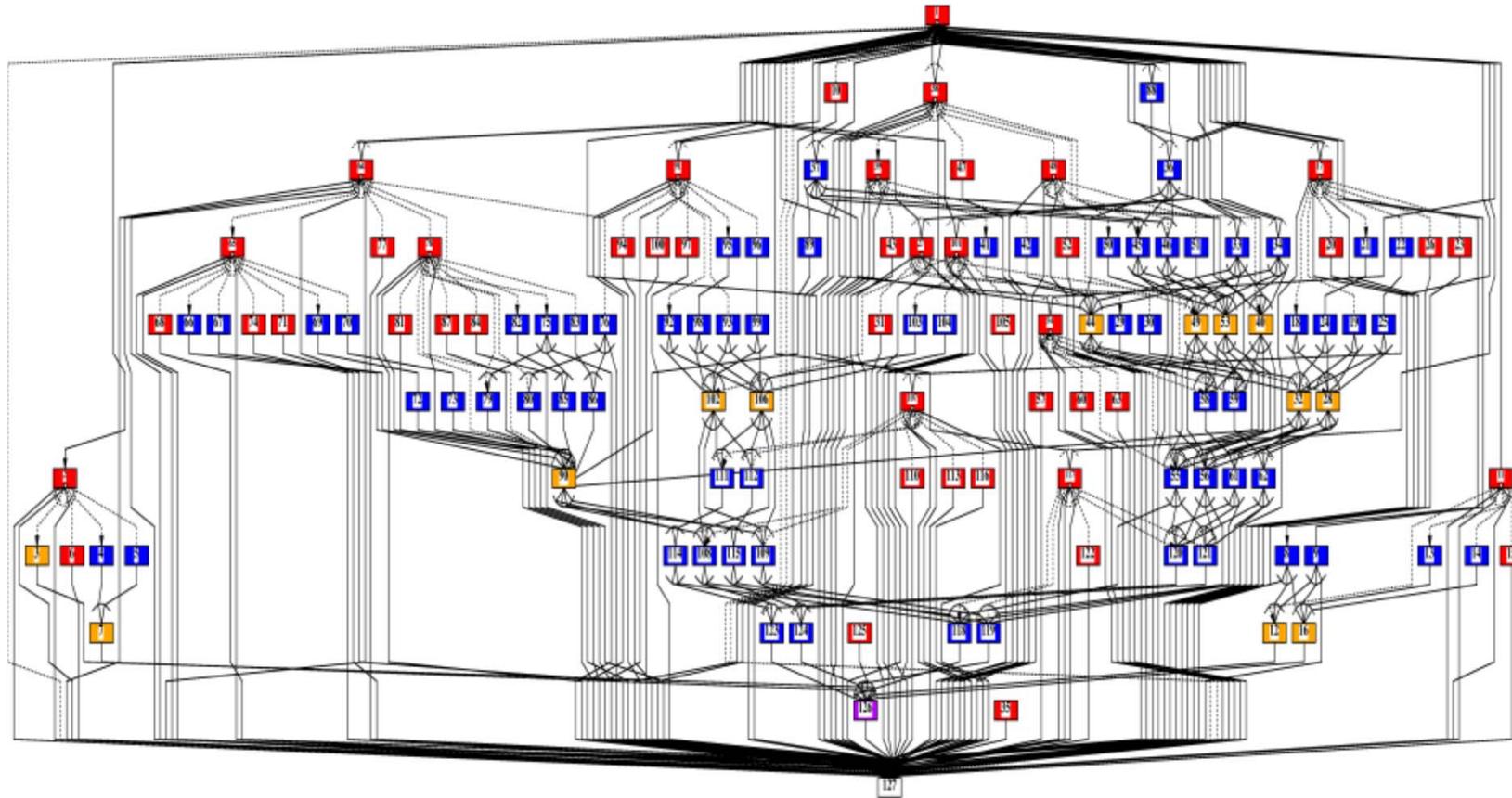


Earliest Executable Condition Analysis for Coarse Grain Tasks (Macro-tasks)



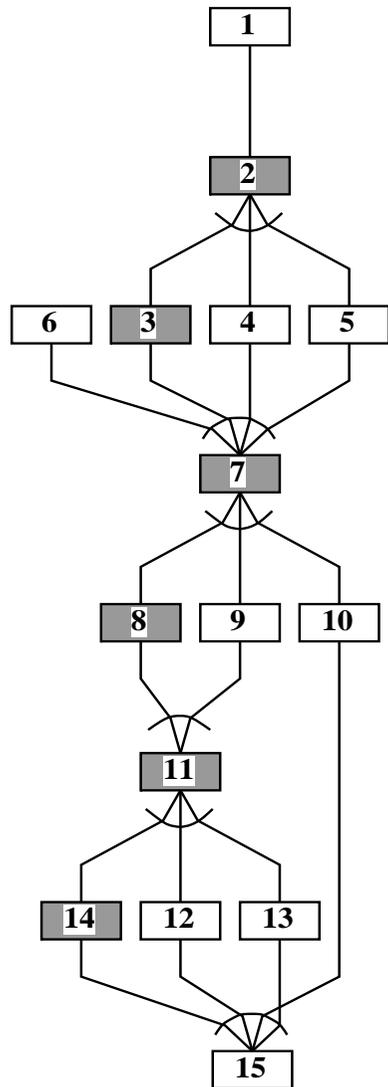
MTG of Su2cor-LOOPS-DO400

- Coarse grain parallelism $\text{PARA_ALD} = 4.3$

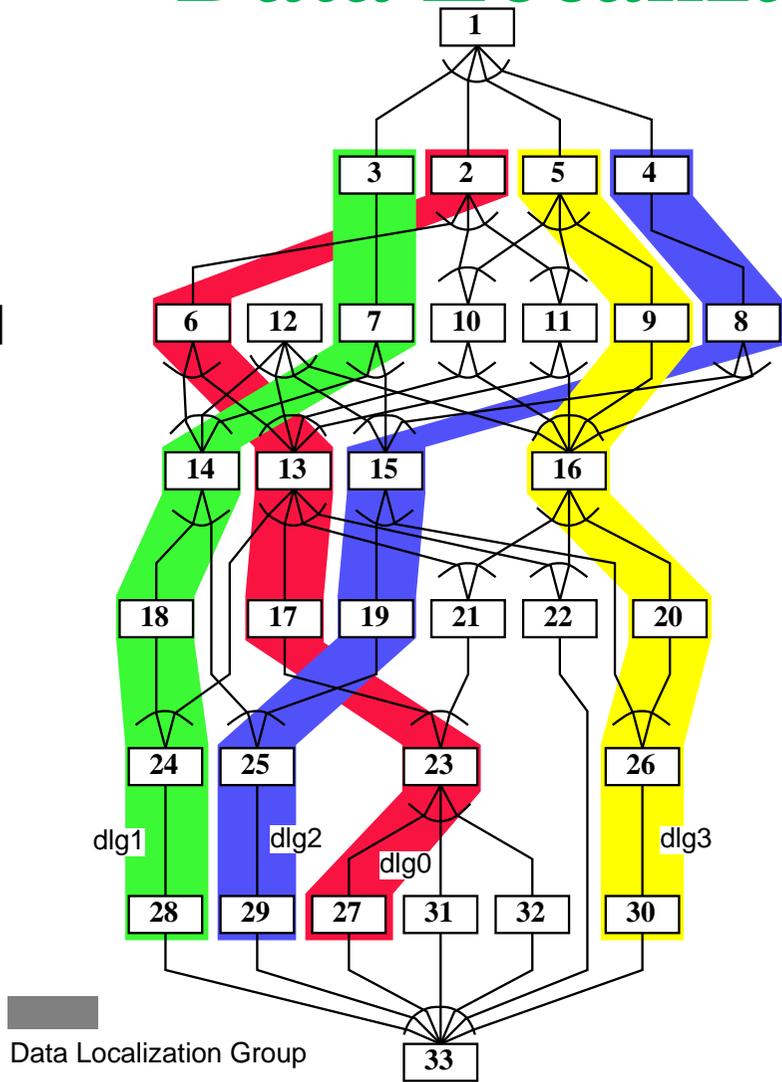


■ DOALL ■ Sequential LOOP ■ SB ■ BB

Data Localization



MTG



MTG after Division

PE0	PE1
12	1
2	3
6	7
4	14
8	18
15	5
19	9
25	11
29	10
13	16
17	20
22	26
21	30
23	24
27	28
	32
	31

A schedule for two processors

世界標準を目指すマルチコア用ソフトウェアインターフェイスOSCAR API

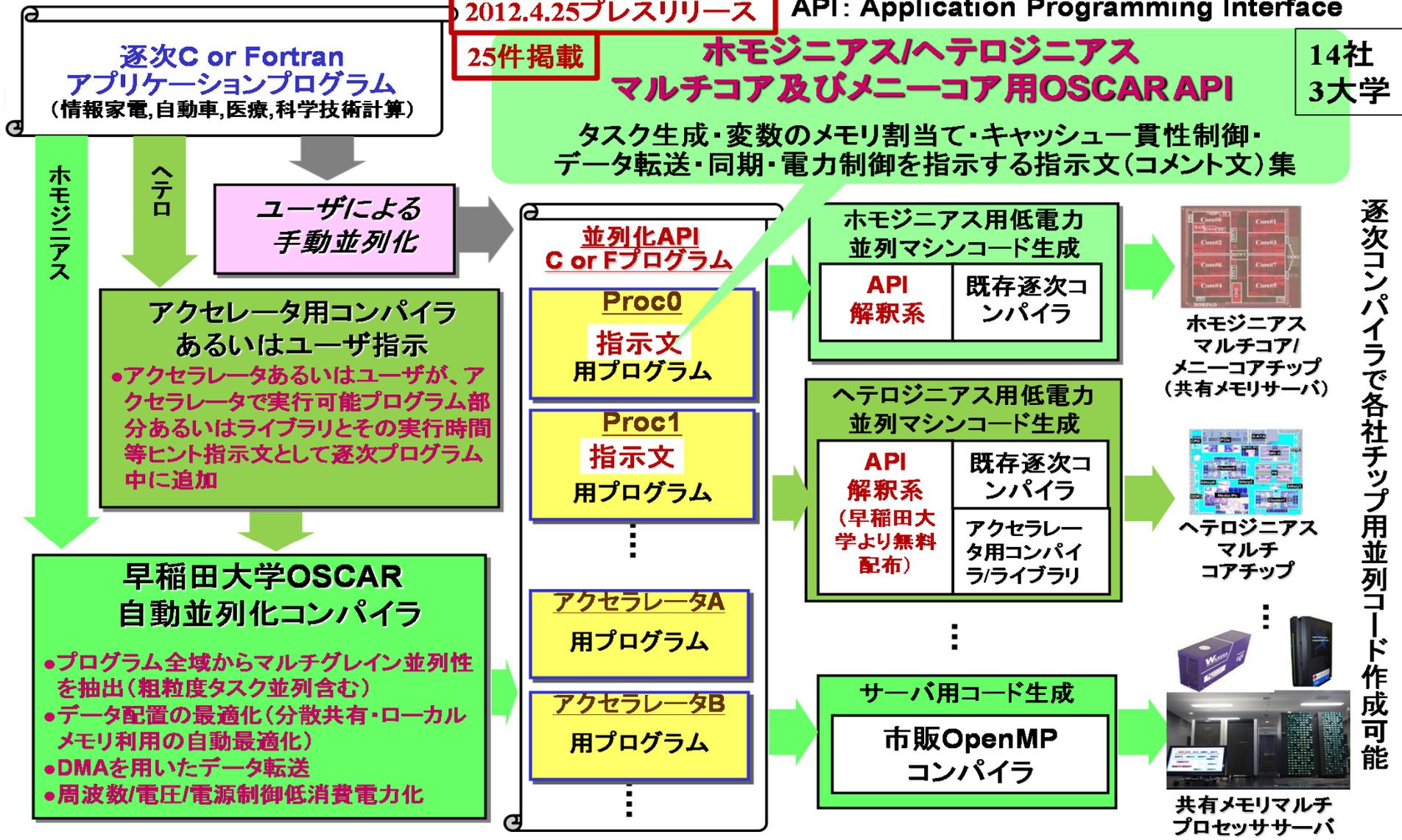
2012.4.25プレスリリース
25件掲載

API: Application Programming Interface

ホモジニアス/ヘテロジニアス マルチコア及びメニーコア用OSCAR API

14社
3大学

タスク生成・変数のメモリ割当て・キャッシュ貫性制御・
データ転送・同期・電力制御を指示する指示文(コメント文)集



重粒子線がん治療の日立SR16000サーバー上での並列処理

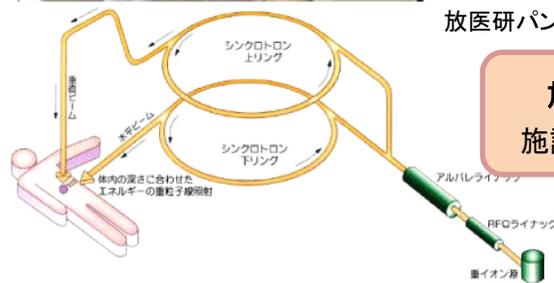
重粒子線(炭素イオン)を極めて正確に制御・照射し、癌細胞のみを消滅させる治療法:開腹手術不要・痛みなく治療が可能

三菱電機と共同研究

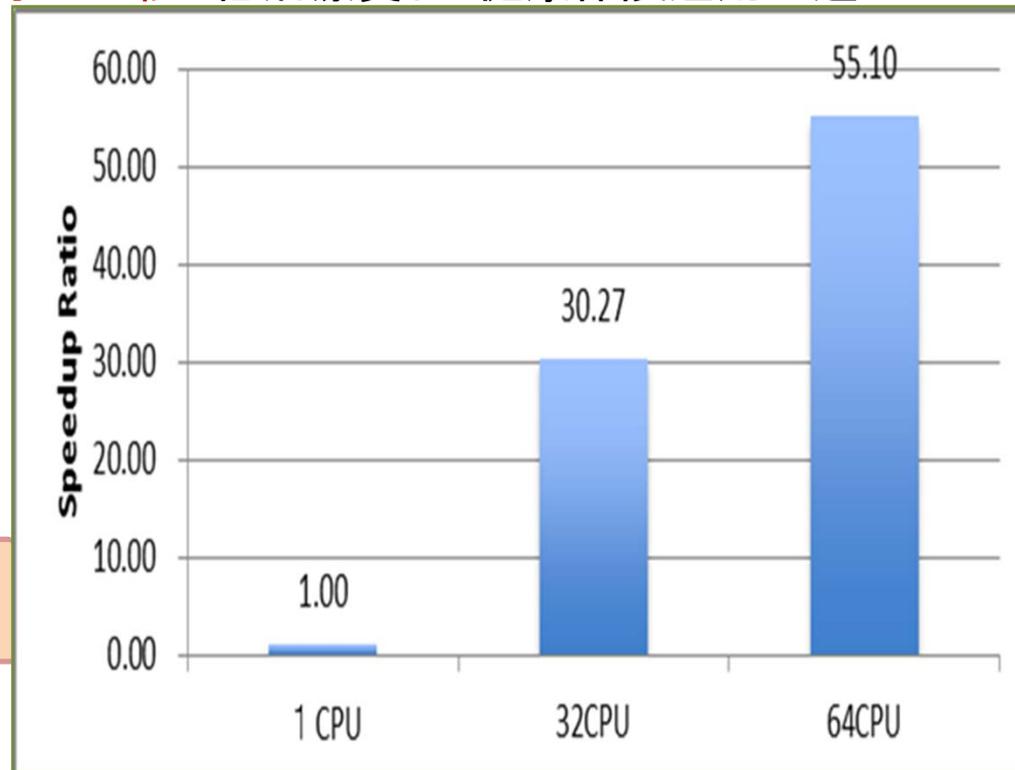
現在数億円のサーバ上64コアで55倍の高速化に成功
20分⇒22秒 低治療費化・健康保険適用へ道



放医研パンフレットより



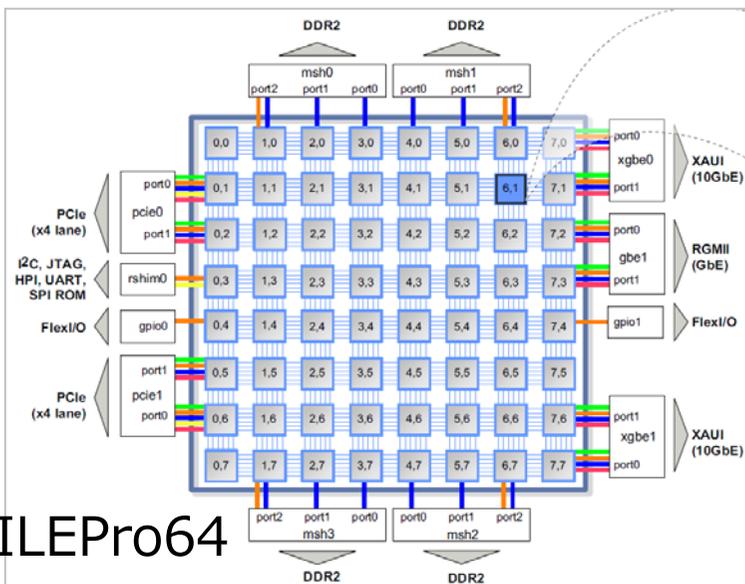
放射線医学研究所
施設のコスト: 120億円



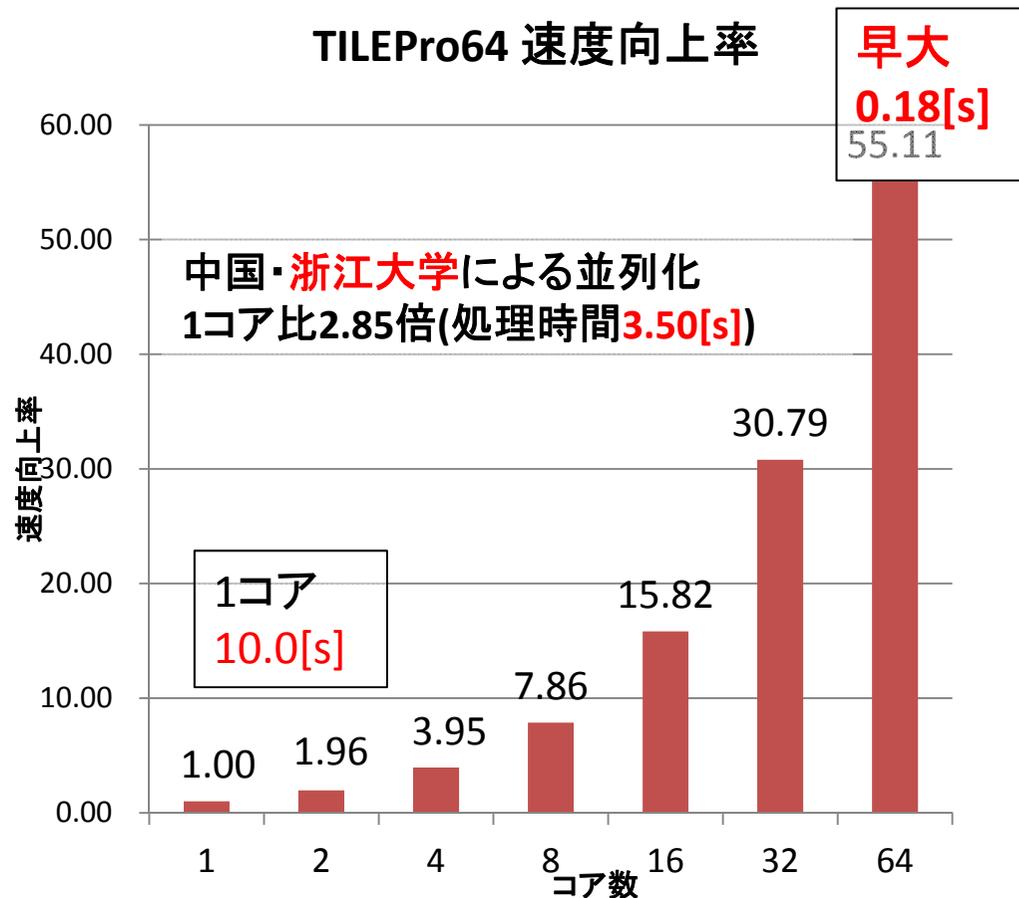
従来照射計画計算に長時間を要していた
⇒1日に処置可能な患者数は数十名程度
⇒ 350万円程度と高額・保険適用外

低額サーバでさらに1000倍の高速化することにより心臓等動く臓器の治療も可能に

次世代カメラ・カプセル内視鏡のための 静止画圧縮JPEG XRエンコーダ技術の高速低電力処理実証



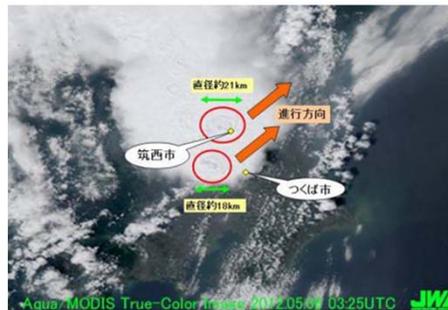
TILEPro64



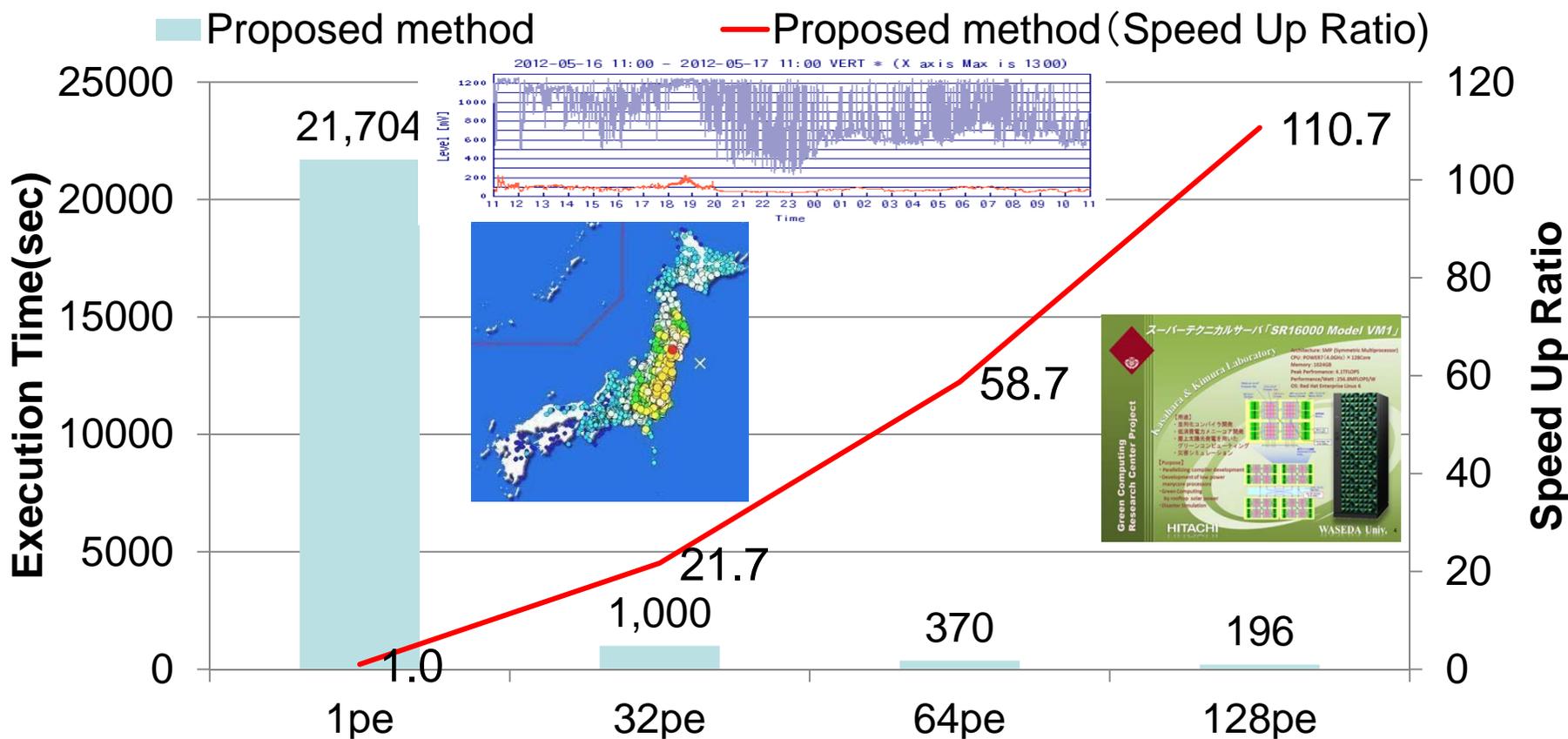
逐次に対し64コアで**55倍**の速度向上を達成



災害から命を守る



防災科学研究所地震動シミュレーションGMSのSR16000 VM1上での並列化



128コアで1コアに対して110.7倍の速度向上

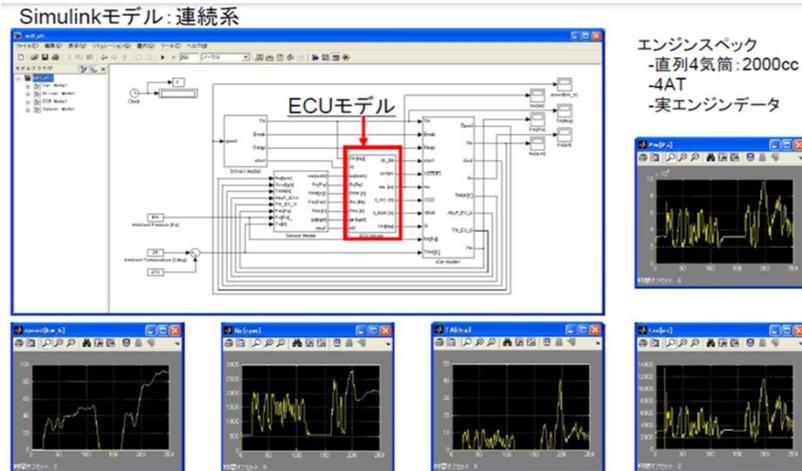


国際産業競争力を高める

自動走行車(衝突防止含む)、次世代低燃費エンジン制御

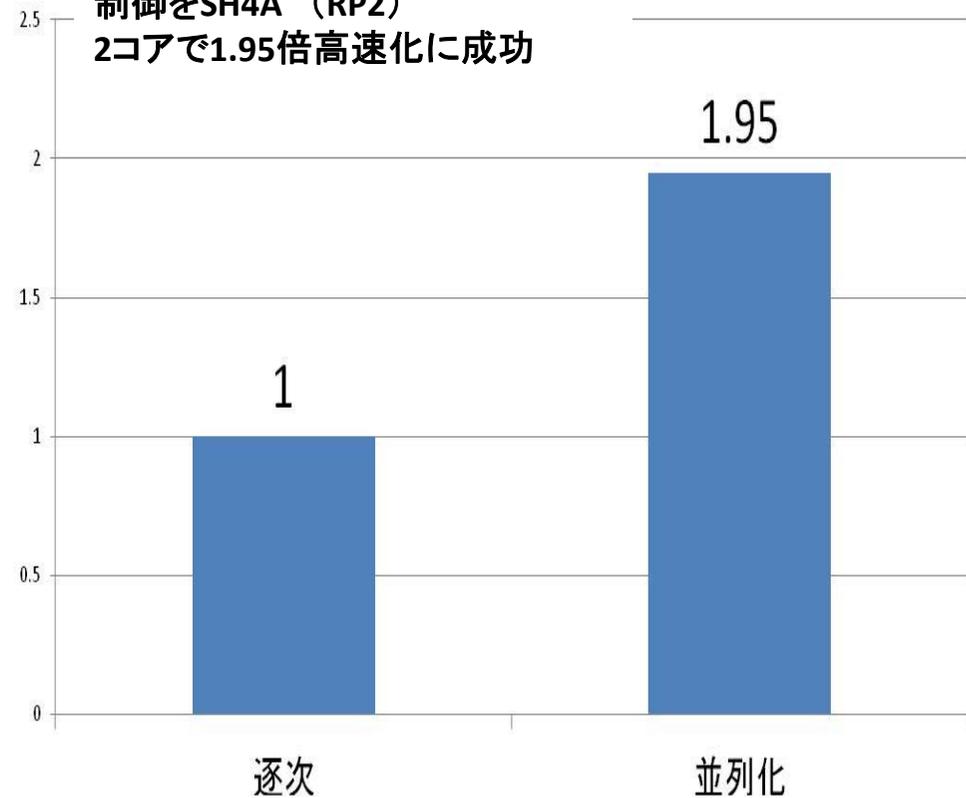


マルチコアによるエンジン制御

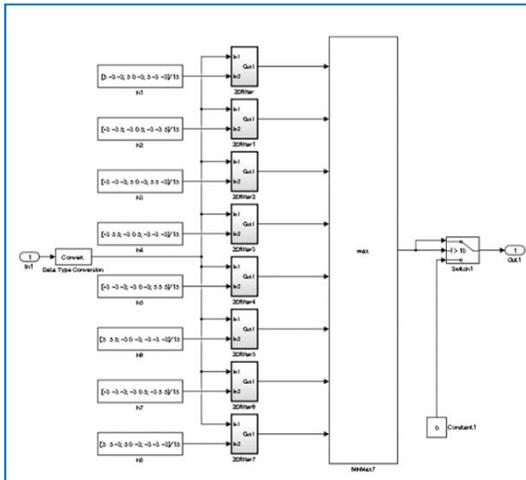


デンソーと共同研究

従来並列化できなかったエンジン
制御をSH4A (RP2)
2コアで1.95倍高速化に成功

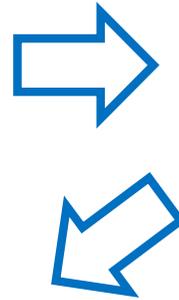


OSCAR Compile Flow for Simulink Applications



Simulink model

Generate C code
using Embedded Coder



```

/* Model step function */
void VesselExtraction_step(void)
{
    int32_T i;
    real_T u0;

    /* DataTypeConversion: '<S1>/Data Type Conversion' incorporates:
     * Import: '<Root>/In1'
     */
    for (i = 0; i < 16384; i++) {
        VesselExtraction_B.DataTypeConversion[i] = VesselExtraction_U.In1[i];
    }

    /* End of DataTypeConversion: '<S1>/Data Type Conversion' */

    /* Outputs for Atomic SubSystem: '<S1>/2Dfilter' */

    /* Constant: '<S1>/h1' */
    VesselExtraction_Dfilter(VesselExtraction_B.DataTypeConversion,
        VesselExtraction_P.h1_Value, &VesselExtraction_B.Dfilter,
        (P_Filter_VesselExtraction_T *)&VesselExtraction_P.Dfilter);

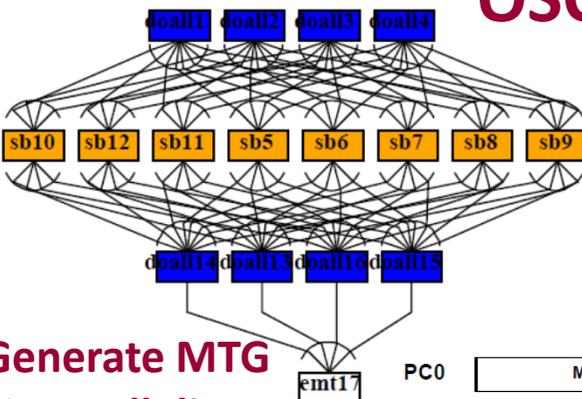
    /* End of Outputs for SubSystem: '<S1>/2Dfilter1' */

    /* Outputs for Atomic SubSystem: '<S1>/2Dfilter1' */

    /* Constant: '<S1>/h2' */
    VesselExtraction_Dfilter(VesselExtraction_B.DataTypeConversion,
        VesselExtraction_P.h2_Value, &VesselExtraction_B.Dfilter1,
        (P_Filter_VesselExtraction_T *)&VesselExtraction_P.Dfilter1);
}
    
```

C code

OSCAR Compiler



```

void VesselExtraction_step ( )
{
    int thr1 ;
    int thr2 ;
    int thr3 ;

    void thread_function_001 ( void )
    {
        VesselExtraction_step_PE1 ( ) ;
    }

    oscar_thread_create ( & thr1 ,
        thread_function_001 , (void*)1 ) ;
    oscar_thread_create ( & thr2 ,
        thread_function_002 , (void*)2 ) ;
    oscar_thread_create ( & thr3 ,
        thread_function_003 , (void*)3 ) ;

    VesselExtraction_step_PEO ( ) ;

    oscar_thread_join ( thr1 ) ;
    oscar_thread_join ( thr2 ) ;
    oscar_thread_join ( thr3 ) ;
}
                
```

(1) Generate MTG
→ Parallelism

(2) Generate gantt chart
→ Scheduling in a multicore

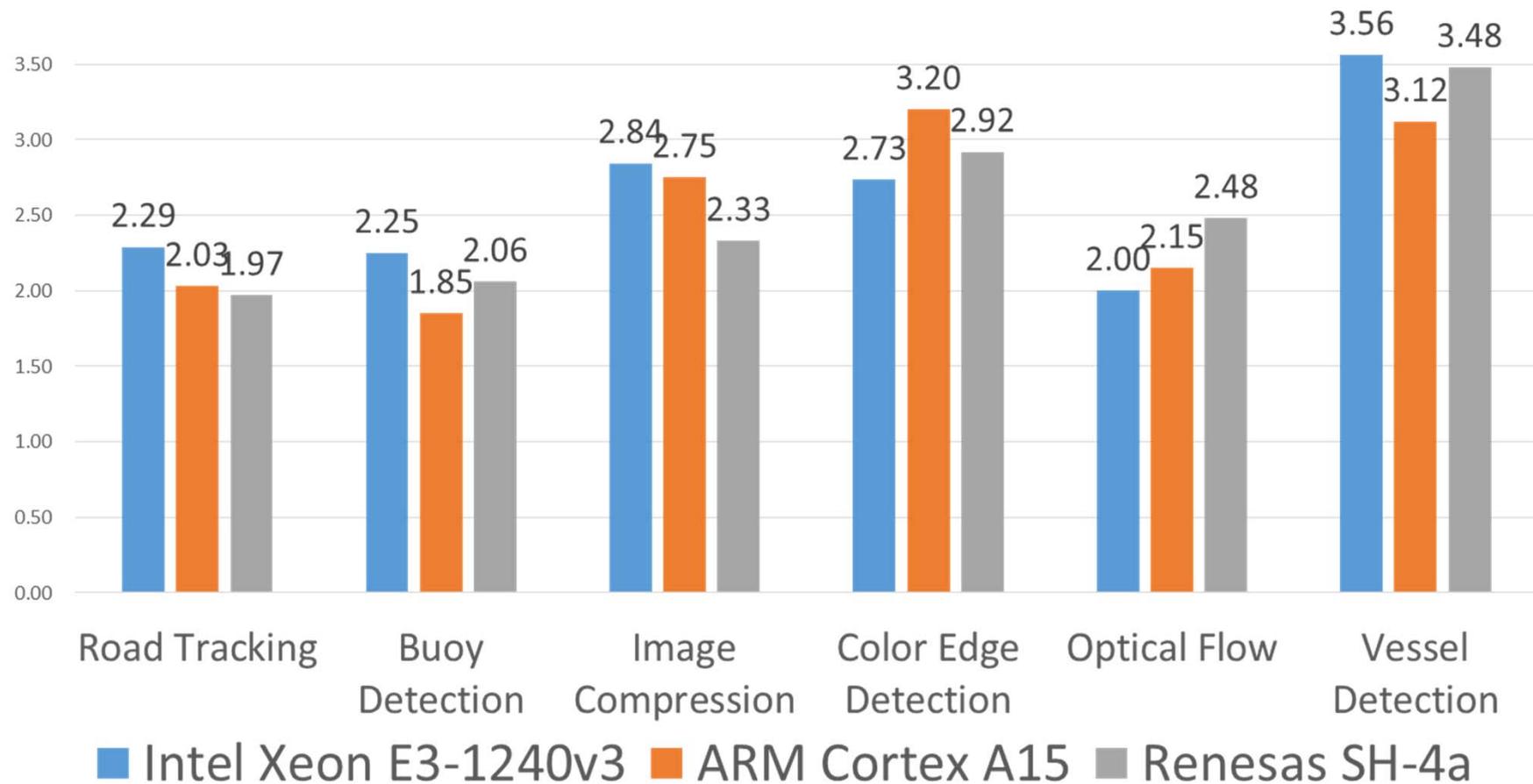
PC0	MT10	MT12	MT14
PC1	MT5	MT9	MT13
PC2	MT6	MT11	MT15
PC3	MT8	MT7	MT16

0.0E+00 4.0E-02
TIME [s]

(3) Generate parallelized C code
→ Multiplatform execution
(Intel, ARM and SH etc)

Speedups of MATLAB/Simulink Image Processing on Various 4core Multicores

(Intel Xeon, ARM Cortex A15 and Renesas SH4A)



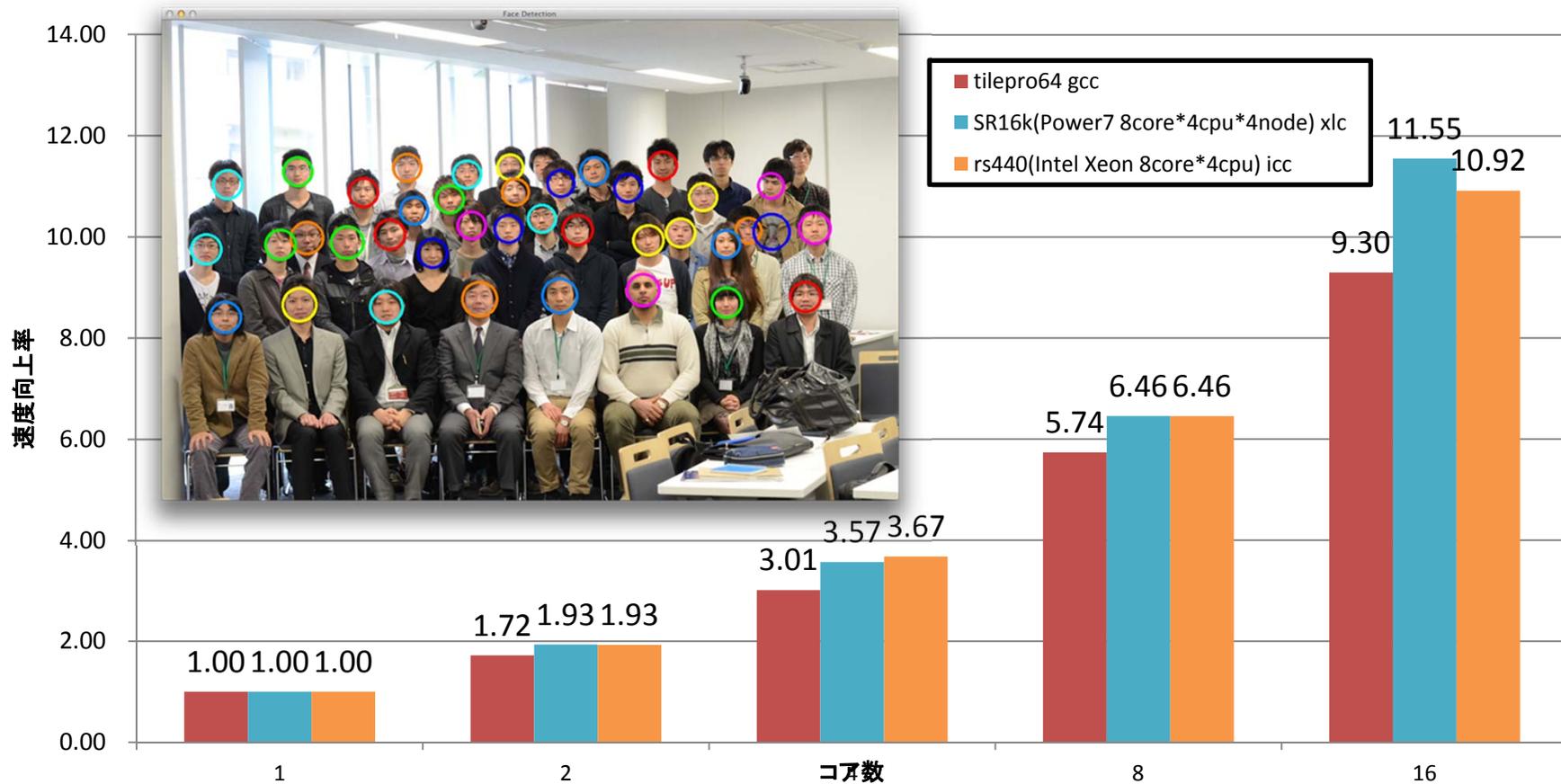
Road Tracking, Image Compression : <http://www.mathworks.co.jp/jp/help/vision/examples>

Buoy Detection : <http://www.mathworks.co.jp/matlabcentral/fileexchange/44706-buoy-detection-using-simulink>

Color Edge Detection : <http://www.mathworks.co.jp/matlabcentral/fileexchange/28114-fast-edges-of-a-color-image--actual-color--not-converting-to-grayscale-/>

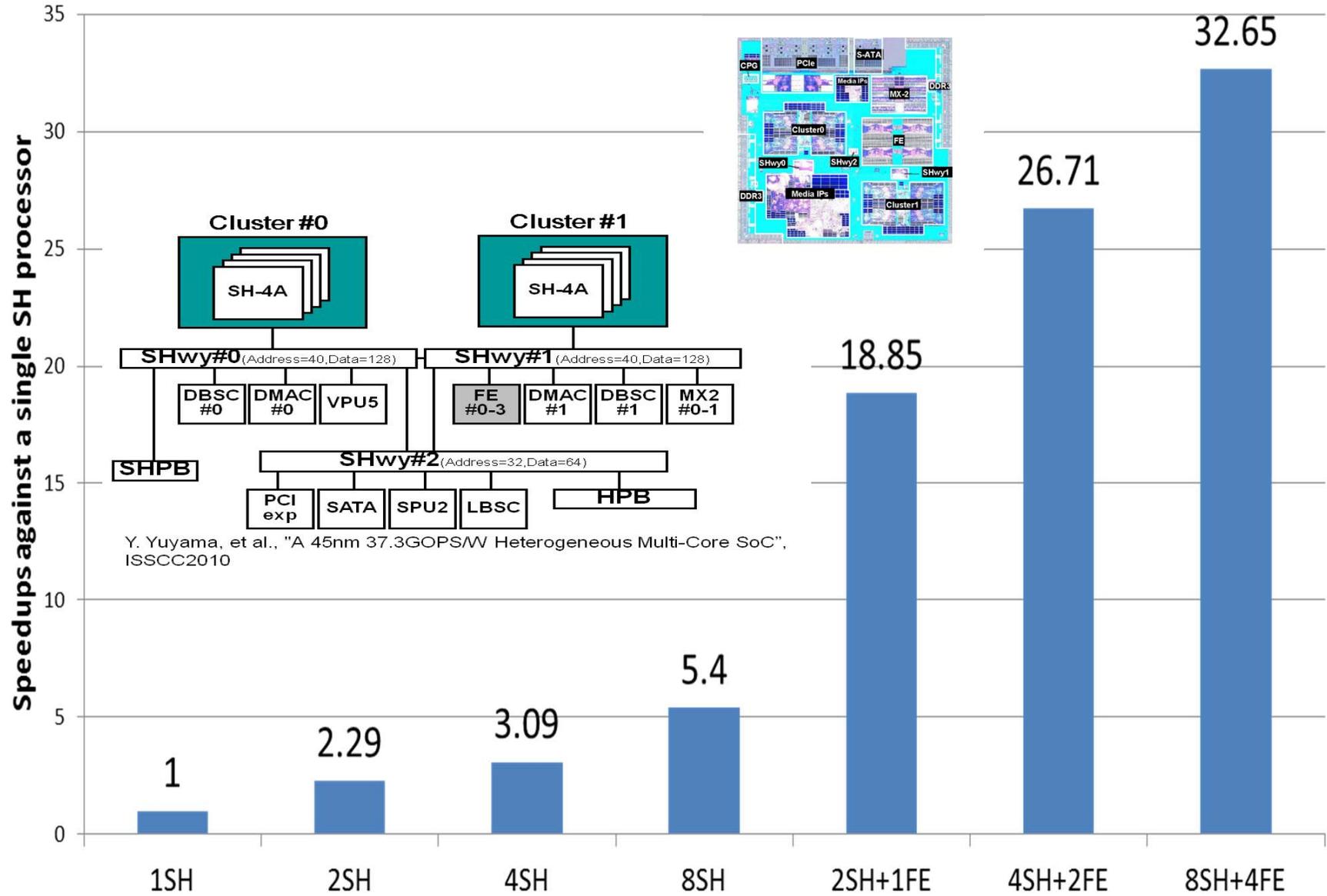
Vessel Detection : <http://www.mathworks.co.jp/matlabcentral/fileexchange/24990-retinal-blood-vessel-extraction/>

Parallel Processing of Face Detection on Manycore, Highend and PC Server



- OSCAR compiler gives us **11.55 times** speedup for 16 cores against 1 core on SR16000 Power7 highend server.

RPX上でのオプティカルフロー計算において、8つのSH4Aプロセッサと4つのアクセラレータFEGA（動的再構成可能プロセッサ）利用時に逐次に比べ33倍高速化



Power Reduction in a real-time execution controlled by OSCAR Compiler and OSCAR API on RP-X (Optical Flow with a hand-tuned library)

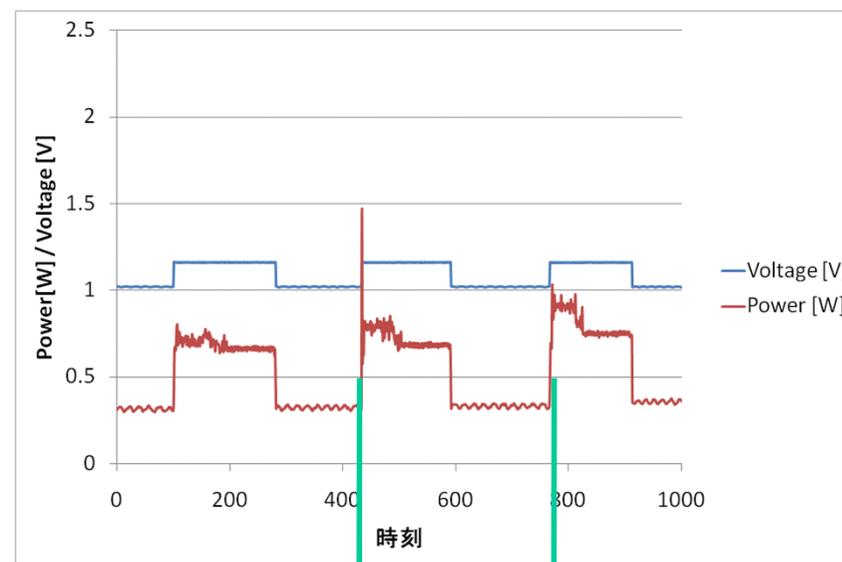
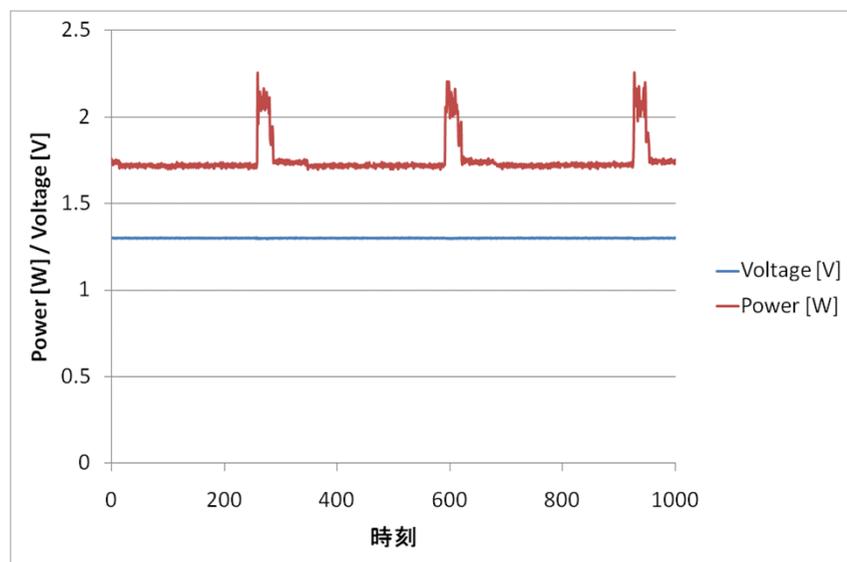
Without Power Reduction

With Power Reduction by OSCAR Compiler
70% of power reduction

Average: 1.76[W]

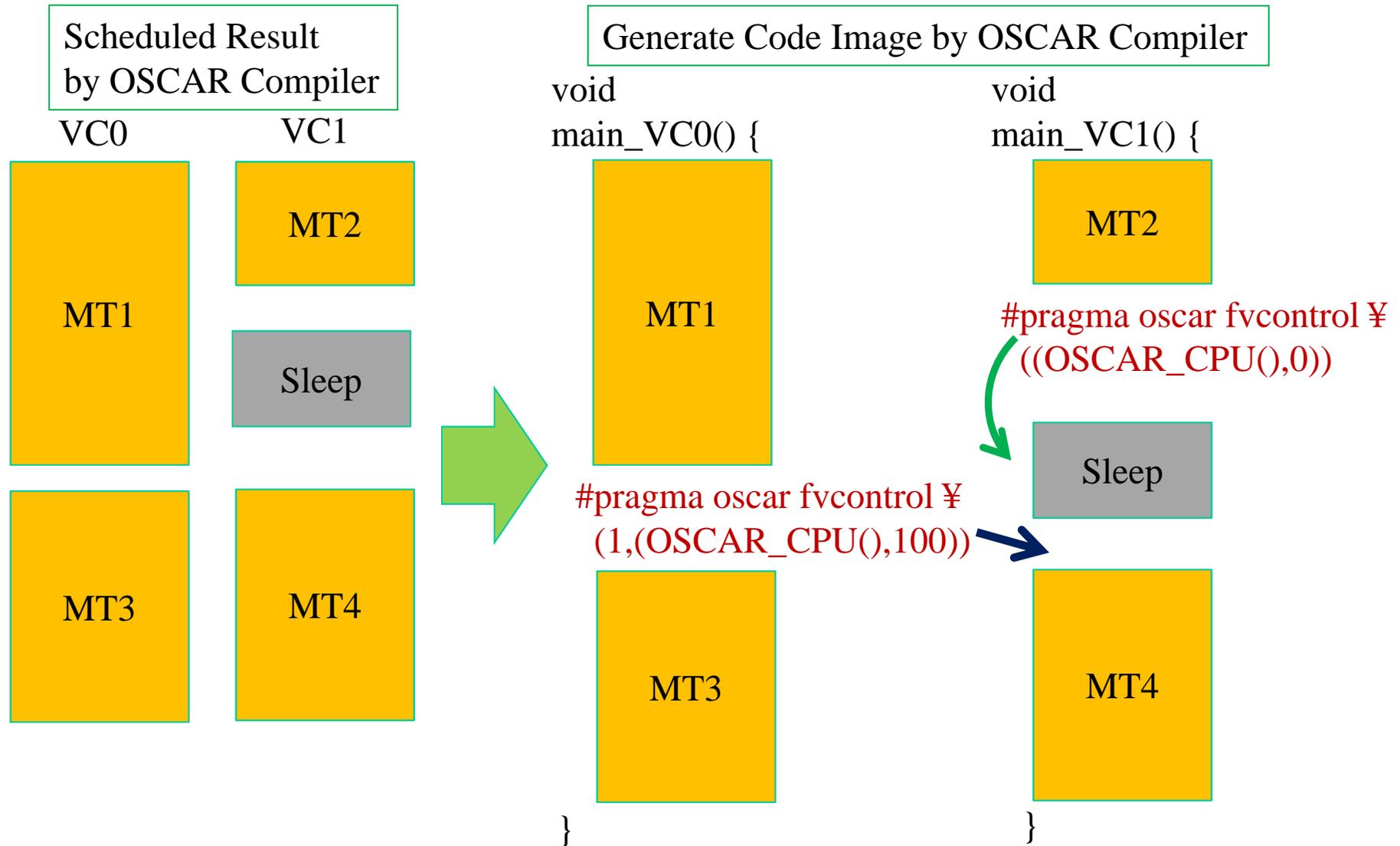


Average: 0.54[W]



**1cycle : 33[ms]
→30[fps]**

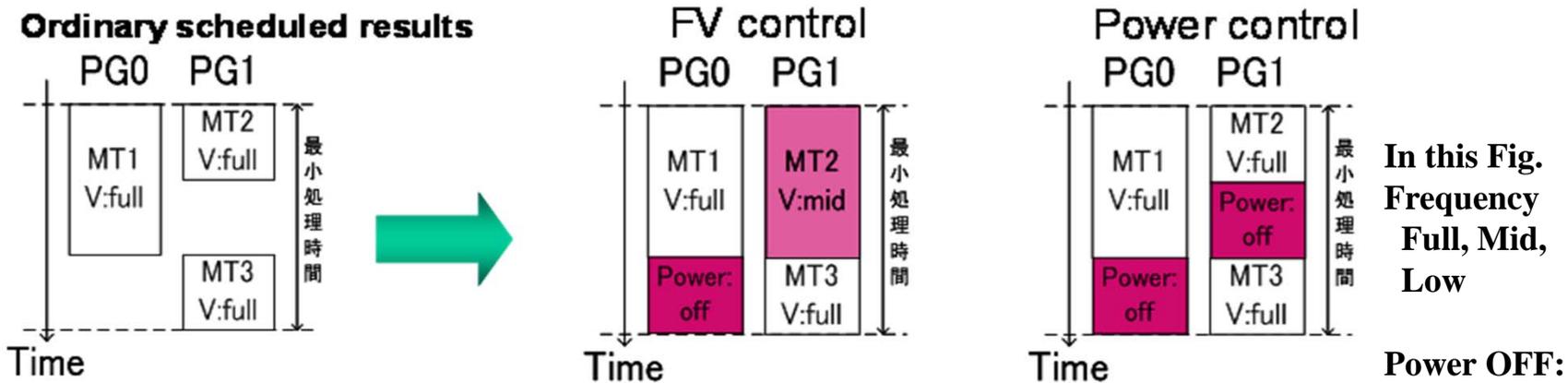
Low-Power Optimization with OSCAR API



Power Reduction by Power Supply, Clock Frequency and Voltage Control by OSCAR Compiler

Frequency and Voltage (DVFS), Clock and Power gating of each cores are scheduled considering the task schedule since the dynamic power proportional to the cube of F (F^3) and the leakage power (the static power) can be reduced by the power gating (power off).

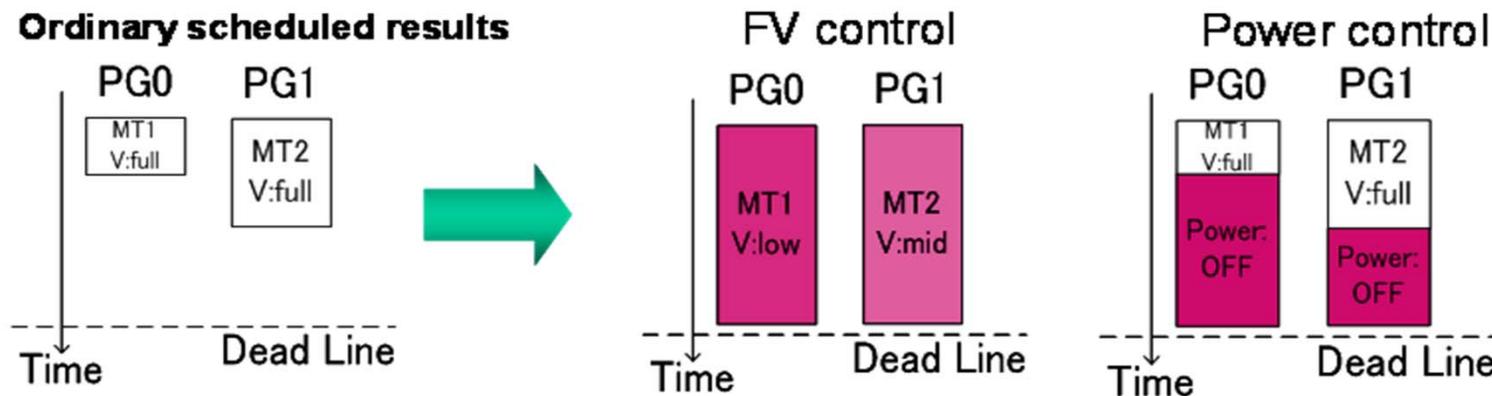
- Shortest execution time mode



In this Fig.
Frequency
Full, Mid,
Low

Power OFF:
Power
Gating

- Realtime processing mode with dead line constraints



ARM CortexA9 4コアAndroid上での電力削減

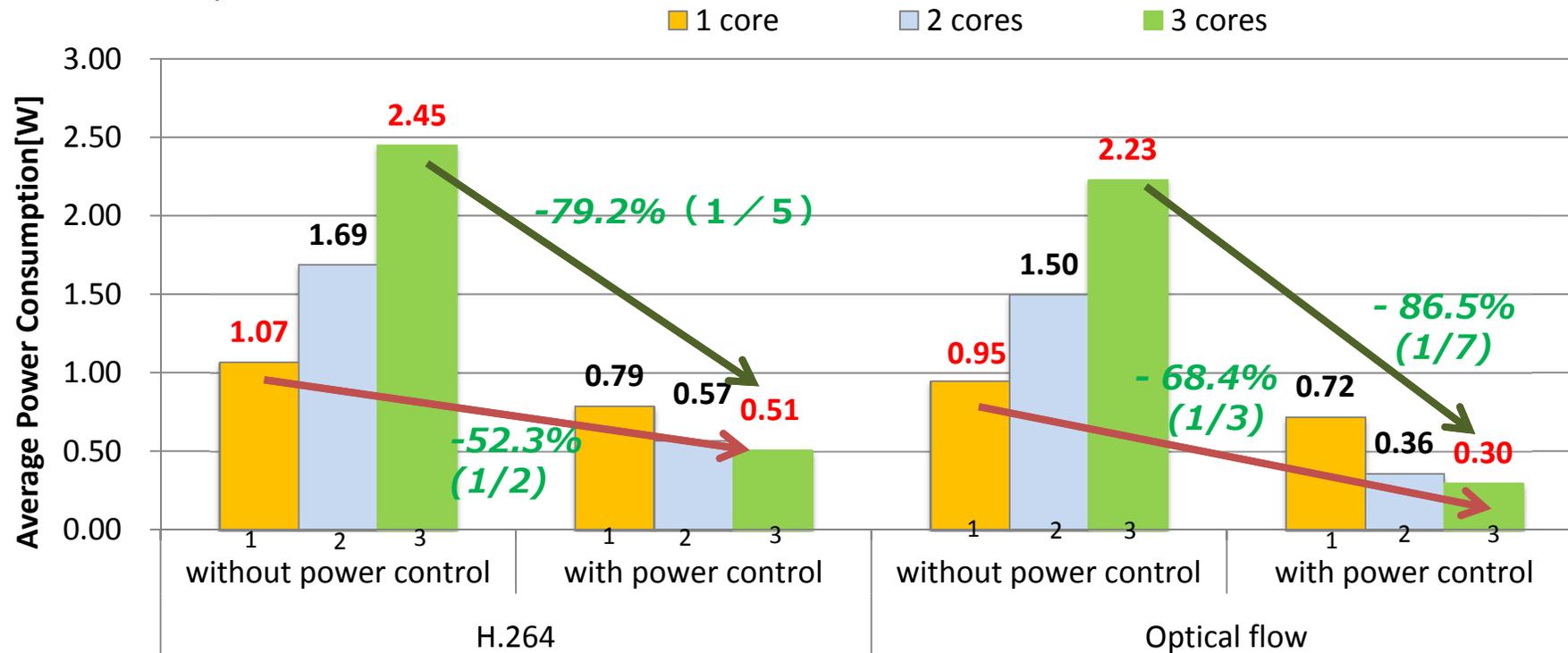
http://www.youtube.com/channel/UCS43INYEIkC8i_KIgfZYQBQ

H.264 decoder & Optical Flow (3コア使用)



ODROID X2

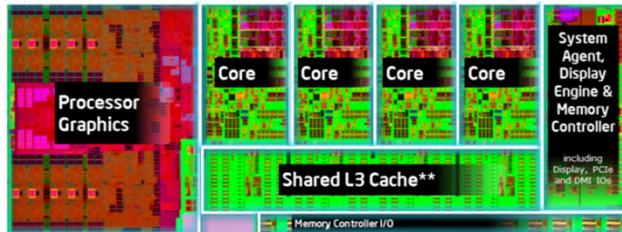
Samsung Exynos4412 Prime, ARM Cortex-A9 Quad core
1.7GHz~0.2GHz, used by Samsung's Galaxy S3



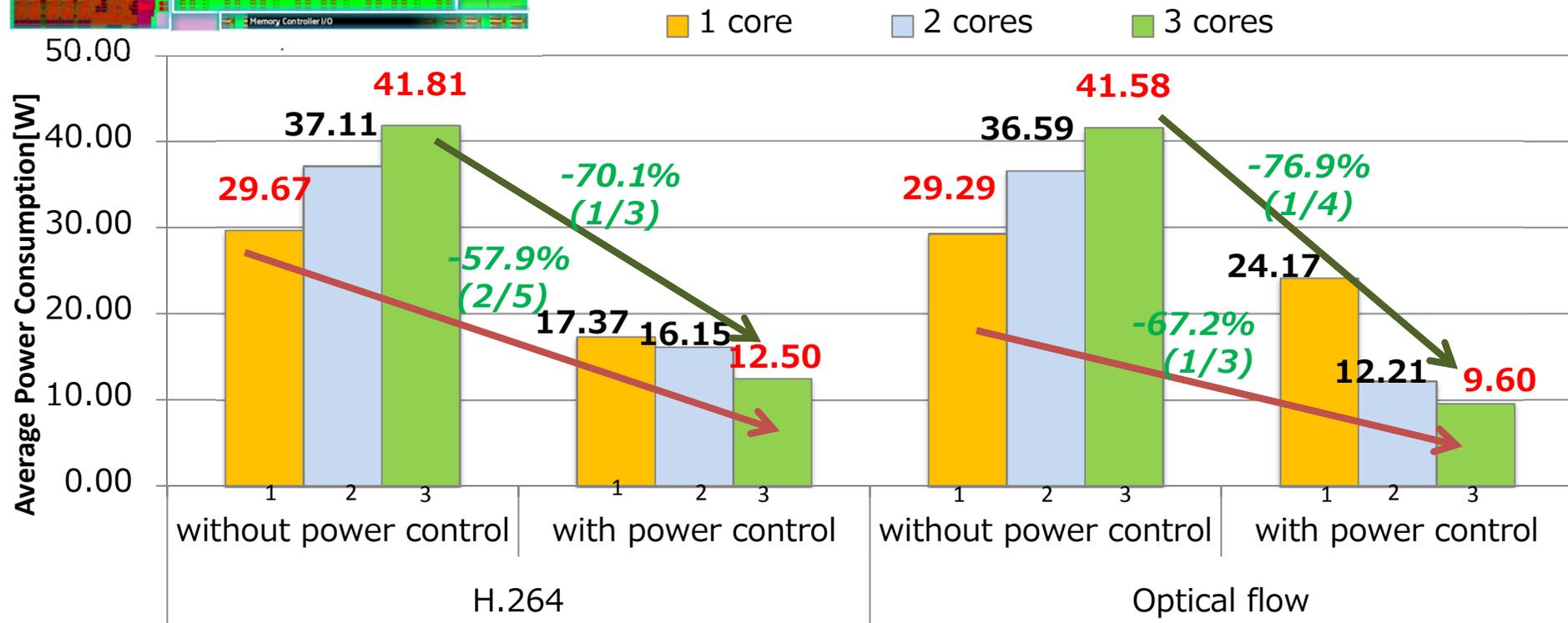
3PE電力制御なしと3PE電力制御ありで電力を1/5~1/7に削減
1PE電力制御なしと3PE電力制御ありで電力を1/2~1/3に削減

Intel Haswell上での電力削減

H.264 decoder & Optical Flow (3コア使用)



H81M-A, Intel Core i7 4770k
Quad core, 3.5GHz~0.8GHz



3PE電力制御なしと3PE電力制御ありで電力を1/3~1/4に削減
1PE電力制御なしと3PE電力制御ありで電力を2/5~1/3に削減

太陽光駆動並列化コンパイラ協調型消費電力マルチコア・コンピュータ・システム(トラフィック・クラウド・サーバ)

クラウドサーバ, 災害, 医療, 自動車, 航空機, 基地局

ベクトルアクセラレータ併置・

共有メモリ型マルチコアシステム

性能: **8TFLOPS**, 主メモリ: 8TB

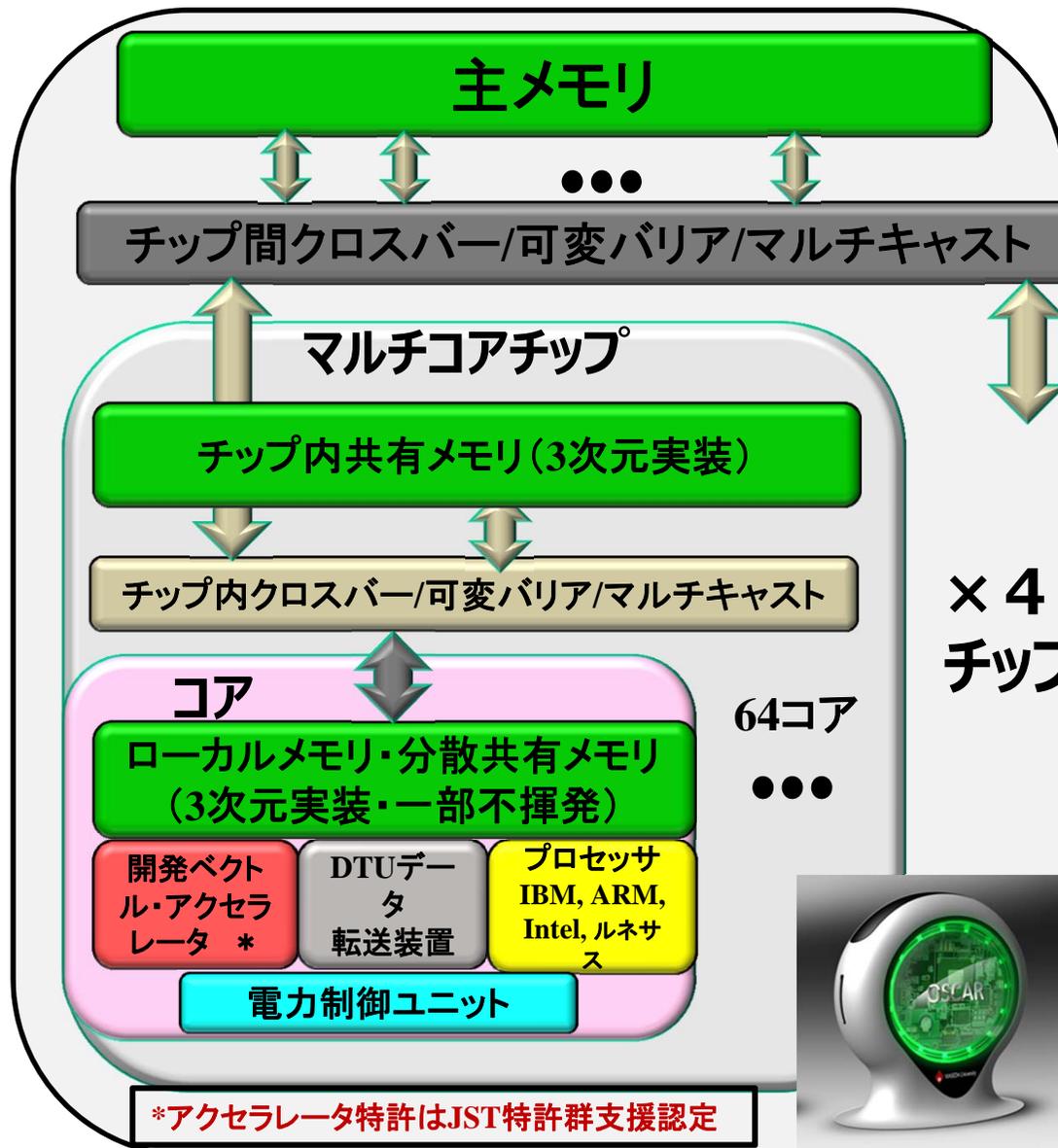
消費電力: **40W**

電力効率: **200GFLOPS/W**

2014年11月Green500 1位

L-CSC: **5.27 GFLOPS/W** using Intel Ivy Bridge CPUs, AMD FirePro GPUs

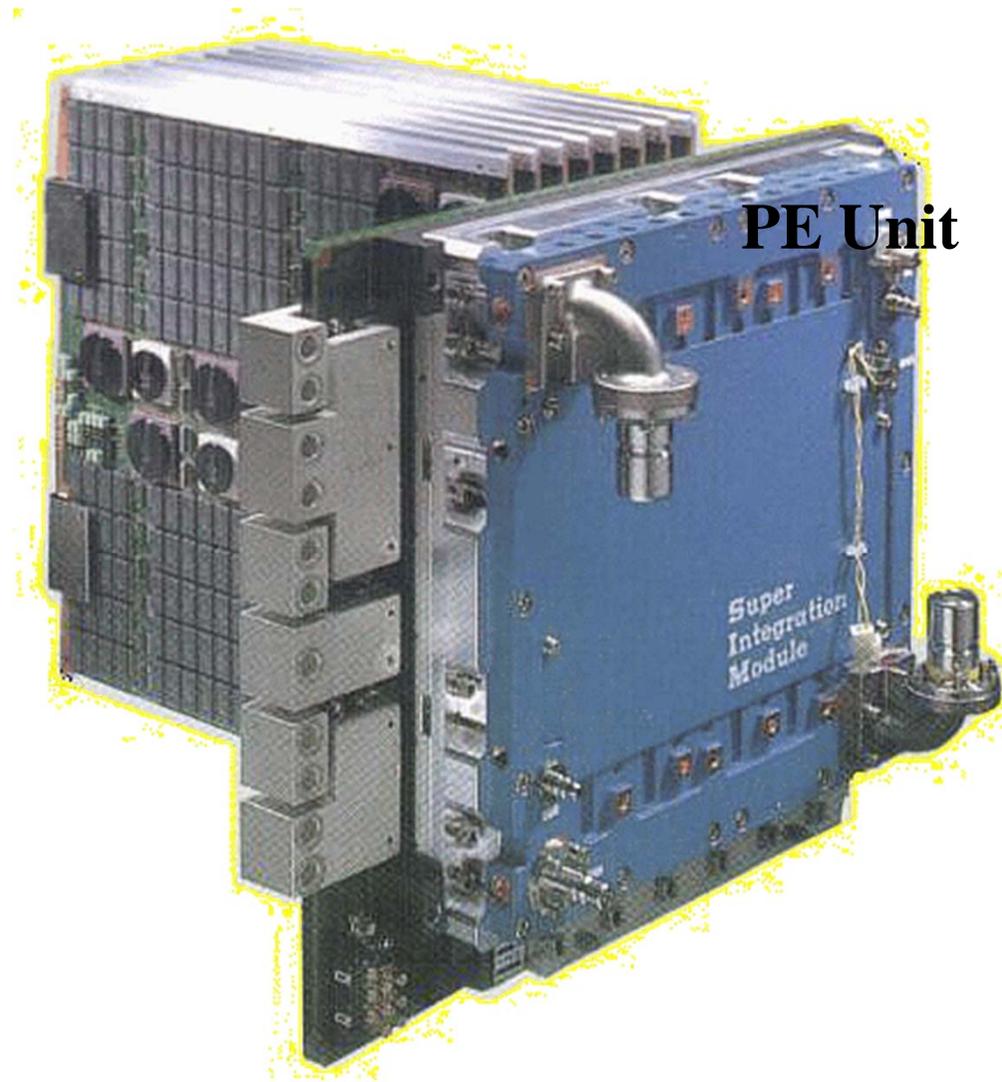
京: 0.8GFLOPS/W



× 4
チップ

- 命令拡張なくどのプロセッサにも付加できるベクトルアクセラレータ
- 低消費電力で高速に立ち上がるベクトルで、低コスト設計
- コンパイラによる自動ベクトル・並列化及び自動電力削減
- 周波数・電源電圧制御機能
- バリア高速同期・ローカル分散メモリで無駄削減
- ローカルメモリ利用で低メモリコスト
- 誰でもチューニングなく使用でき、低コスト短期間ソフト開発可能

VPP500/NWT



オスカーテクノロジー社の経営陣



代表取締役

小野隆彦 (早稲田大学客員教授、前東京農工大学副学長、元東証一部上場企業代表取締役)

取締役

白井克彦 (早稲田大学学事顧問、前早稲田大学総長)

伊藤統明 (東京農工大学客員教授)

高村守幸 (富士通研究所顧問)

芦田邦弘 (アシダコンサルティング社長、元住友商事副社長、SIGMAXYZマーケティングパートナー)

監査役

松田修一 (早稲田大学名誉教授、元日本ベンチャー学会会長)

本多昭次 (株式会社オウケイウエイヴ監査役)

顧問

笠原博徳 (早稲田大学教授)

木村啓二 (早稲田大学教授)

石黒清子 (弁護士、前最高裁判所司法研修所教官)

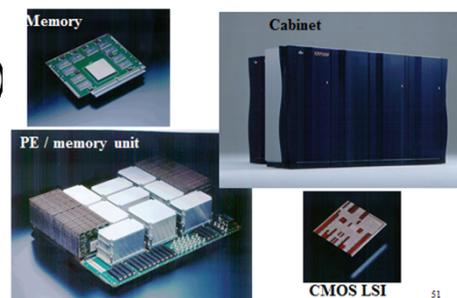
米山正秀 (東洋大学名誉教授、元東洋大学副学長)

佐藤辰彦 (弁理士、元日本弁理士会会長)

松川陽子 (弁護士)

福田秋秀 (株式会社エフテック取締役相談役、早稲田大学校友会代表幹事)

富士通ベクトルスパコンVPP5000

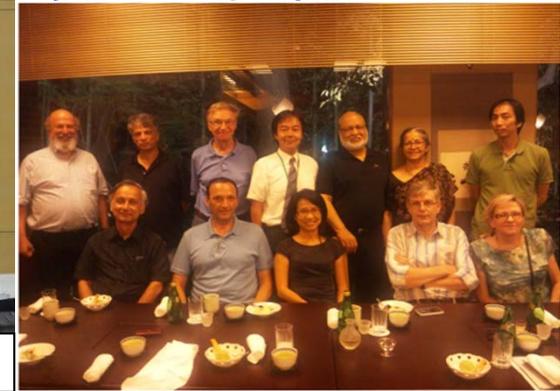


Copyright 2008 FUJITSU LIMITED

国内外よりの低消費電力マルチコア調査・見学と議論



2017.1.20 SISA, Drs. Bill Dally:Nvidia, Paul Messina:DoE, Tom Sterling, Rick Stevens, GuangGao



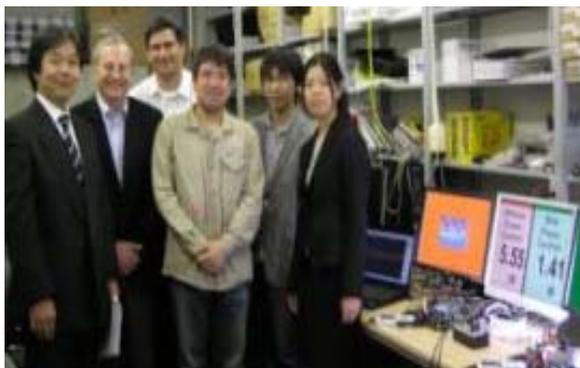
2011IEEE Computer Society会長
Prof. Sorel Reisman



2017 IEEE CS会長 Prof. Jean-Luc Gaudiot,
Texas A&M U. Profs. Rauchwergar & Amato



2014 IEEE
CS会長
Dr. Dejan
Mijoćic



インテル 副社長 CTO Dr. Justin Rattner



2015 IEEE CS会長
Prof. Tom Conte

早稲田大学総長主催「産官学連携懇談会」
-- NEDOリアルタイム情報家電用マルチコアチッププロジェクトを例として --
2005年10月26日 早稲田大学にて



後列左より 古川雄介社長(東芝)、伊藤社長(NEC)、岩田審議官(経済産業省)、辻澤審議官(内閣府)、谷審議官(経済産業省)
前列左より 佐々木会長(NEC)、白井総長(早大)、笠原教授(早大)、秋葉会長(富士通)、由山社長(日立製作所)

まとめ

- 早稲田大学グリーンコンピューティング研究開発センターでは、低消費電力高性能なグリーンマルチコアコンピューティングシステムのハードウェア、ソフトウェア、応用の研究開発・実用化を産官学連携で行っている。
- OSCAR自動並列化コンパイラは、科学技術計算、医療画像処理、災害シミュレーション、自動車エンジン制御、スマートフォン、無線基地局等に使用するマルチコアプロセッサ用のプログラムの並列化及び低消費電力化に世界で唯一成功。
- 自動並列化では、Intel, ARM, IBM, AMD, Qualcomm, Freescale, ルネサス, 富士通等種々のマルチコア用の並列プログラムの自動作成が可能となり、性能的には重粒子線ガン治療計算で64コアで55倍、地震波伝搬シミュレーションで128コアで110倍、自動車エンジン制御計算で2コアで1.95倍、カプセル内視鏡用画像圧縮処理で64コアで55倍等の性能を得ている。
 - コンパイラ実用化のためのオスカーテクノロジー社を設立
 - 自動車用製品版コンパイラ OSCARTech Compiler Ver.1.0 が本年出荷
 - 自動走行・医療画像・災害時避難指示を目指したアクセラレータ付きマルチコアも笠原・木村研とともに検討中
- 電力削減では、世界で初めてリアルタイムアプリケーション並列動作中の電力削減に成功し、ルネサス, ARM, Intel Haswell上で、電力を3コアで1コアと比べ、1/2から1/3に削減。