

大規模システムを想定した Gem5 シミュレータの 階層的インターコネクションネットワーク拡張

小野口 達也^{1,a)} 林 綾音¹ 宇高 勝之¹ 松島 裕一¹ 木村 啓二¹ 笠原 博徳¹

概要: クラウドシステムやモバイルデバイスの普及によりデータセンタなどにおける通信トラフィックが爆発的に増加しており、これに伴い情報処理装置間を接続するインターコネクションネットワークにおいてもさらなる高性能化かつ低消費電力化が望まれている。このような低遅延高帯域かつ低消費電力なインターコネクションネットワークを実現する技術として光伝送技術の適用が検討されている。既に伝送距離の長いサーバラック間には光伝送が適用されている一方、伝送距離の短いボード上のチップ間やチップ内への適用は基礎研究段階である。光伝送技術の適用には光信号の処理を可能にする光デバイスが必要となる。このような光デバイスを想定した、アーキテクチャシミュレータを用いた光インターコネクトの研究が行われているが、シミュレーションするネットワークをオンチップに定めたものが多く、チップ内外を接続するようなバンド幅の異なる複数のネットワークを階層的に接続したシステムのシミュレーションは困難である。これは電気伝送と光伝送のネットワークを階層的に組み合わせたボードやラックレベルの中・大規模計算機システムの評価を行う上での障害となる。本稿ではアーキテクチャシミュレータ Gem5 の拡張による、階層的なインターコネクションネットワークのシミュレーションを提案する。評価では本拡張によってチップ内外の2階層でのネットワークシミュレーションが可能となったことを確認した。

1. はじめに

近年、クラウドコンピューティングやモバイルデバイスの普及により、データセンタなどにおける通信トラフィックは爆発的に増加している。計算機システムが処理しなければならない情報量の増加に伴いデータ伝送に係る電力消費量が増加しており、計算機システムにおける情報処理機器・装置の高速化と低消費電力化が課題となっている。

計算機システムの性能を左右する要素の1つとして情報処理機器・装置間を相互に接続するインターコネクションネットワークが挙げられる。インターコネクションネットワークはサーバラック間やラック内のボード間、ボード上のチップ内まで多階層に渡って計算機システム内の要素間を接続するネットワークである。計算コアの性能が向上しても、コア間を接続するネットワークの伝送速度が向上しなければ計算機全体の性能は向上せず、インターコネクションネットワークが性能のボトルネックになってしまう。そのため、低遅延高帯域なインターコネクションネットワークの実現による計算機システムの性能向上が期待されている。性能向上へのアプローチとしてインターコネク

ションネットワークに光伝送技術を適用した光インターコネクトが提案されており、従来の電気インターコネクトと比較して、大容量かつ低消費電力なデータ通信を可能にする技術として期待されている [1]。現在、伝送距離の長いラック間は既に適用されており、ボード間でも適用開始を検討されている。一方で、伝送距離の短いボード上やチップ内への適用は基礎研究段階であり、光伝送技術の適用には光信号を送受信できる光トランシーバや信号経路となる光導波路や光ファイバーなどの光デバイスが必要である。光デバイスをボード上やチップ内に集積するには高速に動作可能かつ小型のデバイスの実用化が不可欠であり、現在研究開発段階である。

以上の背景から、従来からアーキテクチャシミュレータを用いた光インターコネクト適用を想定したネットワークの評価が行われている [2-5]。評価対象の多くはオンチップのインターコネクションネットワークであり、オフチップまで含めたネットワークのシミュレーションはあまり行われておらず、評価に利用するアーキテクチャシミュレータもそのようなモデルをサポートしていない。このため、例えばチップ内の電気伝送とチップ間の光伝送のネットワークを階層的に組み合わせた大規模計算機システムの評価を行うのは困難である。

本稿では、アーキテクチャシミュレータ Gem5 [6] を拡

¹ 早稲田大学
Waseda University.

^{a)} onoguchi@kasahara.cs.waseda.ac.jp

張することで階層的なインターコネクションネットワークのシミュレーションを可能にした。Gem5 シミュレータはサイクル実行型のアーキテクチャシミュレータであり、オンチップのインターコネクションネットワークをモデル化している。本拡張では、階層的なネットワークポロジの実装、階層ごとに異なるバンド幅を想定したシミュレーションモデルの追加を行った。また、拡張前後のモデルでの評価比較と、拡張後モデルにおけるチップ内外の2階層でのネットワークシミュレーションを行い、電気インターコネクトと光インターコネクトでの評価結果について比較を行った。

本稿では第2節で Gem5 シミュレータの概要、第3節で拡張内容について述べ、第4節では電力推定に用いた DSENT について述べる。第5節では本拡張を行ったシミュレータによって行った各評価について述べる。

2. Gem5 シミュレータの概要

Gem5 シミュレータ [6] はサイクル実行型のコンピュータシステムのシミュレーションプラットフォームであり、M5 [7] と GEMS [8] の2つのシミュレータを統合して開発されたシミュレータである。言語はシミュレータ本体が C++、設定ファイルは Python で記述されている。BSD ライセンス体系をとるフリーソフトウェアであるため、ユーザによるソースコードの変更や追加によるシミュレータの拡張が可能となっている。また、各コンポーネントによってメモリシステムやインターコネクションネットワークがモデルがされており、パラメータを設定することで柔軟にコンピュータシステムをシミュレートすることが可能である。ネットワークモデルはオンチップのインターコネクションネットワークモデルである Garnet [9] によってサポートされている。本章では、Garnet でサポートされているネットワークモデルについて述べる。

2.1 ネットワークトポロジ

各デバイス間を接続するネットワークの形状を指定することができるが、Gem5 ではオンチップを対象としたネットワークトポロジがモデル化されている。既存のトポロジとしては各デバイスが1つのスイッチに接続されている Crossbar、各ルータが格子状に接続されている Mesh、すべてのノード間がリンクによって接続されている Point to Point などが存在する。また、トポロジは Python の設定ファイルによって指定されるため、この設定ファイルを追加することで、新たにネットワークトポロジを追加することが可能である。

2.2 フロー制御

ネットワークに流れるデータは複数のパケットに分割されて転送される。パケットが転送される際にはサイクルあ

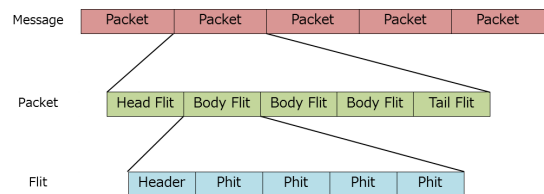


図1 データの分割構造

りに転送可能なサイズに分割されて送信され、パケットを分割したものをフリットという。フリットは物理層でのデータの転送単位である物理ユニット (Phit) によって構成される。図1に示されるようにヘッドフリット、ボディフリット、テイルフリットに分けられ、ヘッドフリットは経路制御に関する情報を保持し、ボディフリットとテイルフリットはこの経路制御情報に基づいてルーティングされる。テイルフリットが目的地まで到達した時点で1つのパケットの転送が完了したことになる。各フリットはルータの入力に到達するとバッファに格納されてヘッドフリットによる経路演算が行われる。これにより、ルータの出力ポートが決定し、同時に次のルータのバッファを確保する。次のルータのバッファが確保できなければフリットの転送を行えないため、上流ルータは下流ルータのバッファに空きがあることが保証されている必要がある。

Gem5 ではクレジットベースフロー制御によってフリットの転送が行われる。上流ルータは下流ルータのバッファの空きを示すクレジットという値を持ち、クレジットが0でない場合、下流ルータに向けてフリットを送信することができる。下流ルータにフリットが送られる度に上流ルータではクレジットをデクリメントし、下流ルータのバッファからフリットが移動し、バッファに空きができる度にクレジットがインクリメントされる。これにより、バッファ確保が保証されている状態でフリットの転送が行われるため、下流ルータのバッファを溢れさせることなくフリットの転送が行われる。

2.3 ルータマイクロアーキテクチャ

Gem5 でモデル化されているルータのマイクロアーキテクチャを図2に示す。ルータに到達したフリットは以下の各ステージを通過してルーティングされる。

Buffer Write(BW)

フリットを予め割り当てられている仮想チャネルのバッファに書き込む。

Route Computation(RC)

バッファリングされた先頭フリットの経路制御情報から演算を行い、ルータの出力ポートを決定する。

Switch Allocation(SA)

ラウンドロビン方式で選ばれた各入力ユニットの仮想チャネルは出力リンク先のルータの入力ユニットにおけるフリーな仮想チャネルを1つ選択する。各仮想

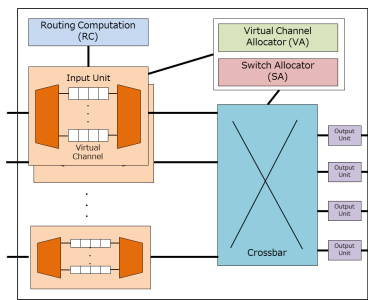


図 2 ルータマイクロアーキテクチャ

チャンネルは出力ポートを確保するためのリクエストを発行する。各出力ポートに関して、リクエストを出した仮想チャンネルの中からラウンドロビン方式で1つの仮想チャンネルを選択し、スイッチの割り当てを行う。

VC Selection(VC)

出力ポート割り当てが行われた仮想チャンネルは出力リンク先のルータの仮想チャンネルを選択する。

Switch Traversal(ST)

出力ポートの割り当てが行われたフリットはスイッチを横断し、出力ポートへ送信される。

Link Traversal(LT)

出力ポートに到達したフリットをリンクへ流し、下流ルータへと送信する。

3. Gem5 の階層的なインターコネクションネットワーク拡張

Gem5 は第 2 節で述べたようにオンチップネットワークを対象としたシミュレータであるため階層的なネットワークモデルはサポートされていない。本節では、階層的なネットワークシミュレーションを可能にするために行ったシミュレータの拡張について述べる。

3.1 階層的なネットワークトポロジーの追加

Gem5 でモデル化されているネットワークトポロジーはオンチップのインターコネクションネットワークを対象としたものであり、チップ外のネットワークは想定されていない。そのため、オンチップのネットワークからチップ間を繋ぐボード上ネットワークまでの 2 階層のネットワークトポロジーの実装を行った。本稿で実装したトポロジーである、チップ間をクロスバー構造で接続した Crossbar of Crossbar Chips (CC) とチップ間をメッシュ構造で接続した Mesh of Crossbar Chips (MC) をそれぞれ図 3 及び図 4 に示す。実装した 2 つの階層的なネットワークトポロジーは各コントローラやノード間の接続リンクを定義したのみである。ネットワークにおける階層的なリンクモデルについては次項で述べる。

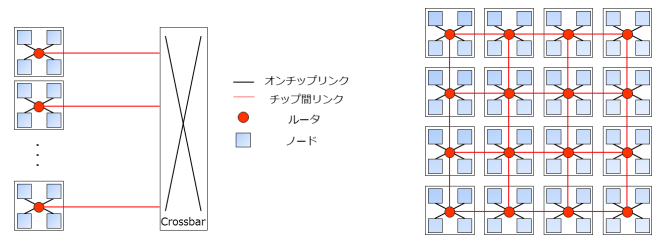


図 3 Crossbar of Crossbar Chips 図 4 Mesh of Crossbar Chips

3.2 異なる複数のバンド幅を想定したリンクモデル拡張

計算機内のネットワークでは階層ごとにリンクの長さや転送レートが異なるため、シミュレーションには階層ごとのリンクモデルを指定できる必要がある。Garnet のモデルではネットワークの性能に関する設定パラメータとしてバンド幅を設定することができず、サイクルあたりの転送単位であるフリットサイズとリンクを通過するのに係る遅延サイクル数によって性能を決定する。これは、Garnet がオンチップのネットワークを対象としているため、ネットワーク内のすべてのリンク幅が同じであることが前提となっているからである。リンクごとに遅延をかけることで擬似的に低バンド幅を表現することは可能である。しかしながら、実際のシステムにおいてフリットサイズが通過するリンクの幅より大きい場合、転送可能な物理転送単位である Phit に分割して送信が行われるモデルが考えられる。そこで、本拡張ではリンクごとにバンド幅の設定を可能とし、バンド幅に応じてフリットの分割・併合を行うモデルへと拡張を行った。

図 5 は拡張前のリンクモデルであり、オンチップネットワークからチップ間リンクへ流れ、再びオンチップリンクへと流れるフリットの転送フローを表している。オンチップリンクの幅を 16Byte/cycle、チップ間リンクの幅を 4Byte/cycle としたとき、フリットサイズが 16Byte であるためチップ間リンクへ流れる場合、4Byte ごとに分割されたと仮定して 4cycle の遅延をかけることで低バンド幅を再現している。この場合、シミュレータ上でチップ間リンクは一度しか動作していないことになるが、実際には 4 分割で 4 回に分けてデータが送信されているため、リンクの動作率やこれを用いて算出する電力値に実際のシステムを差異ができてしまう。また、リンク幅ごとにフリットの分割・併合を行うためそのためのバッファリング時間がかかり、その間は該当リンクを他のデータが通過することができないため、フリットの挙動も異なってしまう。

以上を考慮して、図 6 に示すようにリンク幅に応じてフリットを分割・併合して転送するモデルになるよう拡張を行った。それぞれのリンクの幅は拡張前と同値であるが、拡張後のモデルではチップ間リンクに転送される前にルータの出力部分でフリットを Phit に分割して送信し、受信側のルータでフリットを再構成する。

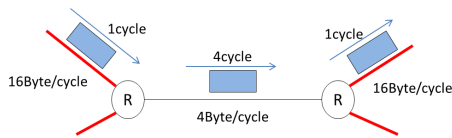


図 5 オリジナルのリンクモデル

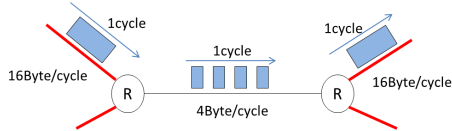


図 6 拡張後のリンクモデル

3.3 ルータマイクロアーキテクチャの拡張

拡張後リンクモデルのようにフリットの分割・併合を行うようにルータマイクロアーキテクチャの拡張を行った。オンチップリンクからルータに到達したフリットは BW ステージから ST ステージまでの処理を経て出力ユニットからリンクへ送信される。この時、次に流れるリンク幅がフリットよりも小さい場合、リンク幅に合わせてフリットの分割を行う。分割されたフリットが1サイクルずつ送られていく間、他の分割フリットは転送を待つ必要があるため、出力部分にバッファ機能をもつインターフェースを用意した。送信された分割フリットは下流ルータ側に到達すると入力ユニットでバッファリングされ、同一フリットを構成するすべての分割フリットが到達するまで待ち、フリットの再構成が行われる。

この構造によってルータの入力リンクと出力リンクが異なるリンク幅を持つような場合のフリットの挙動がモデル化可能となり、階層的なネットワークのシミュレーションが可能となった。

4. DSENT の概要

DSENT (Design Space Exploration for Network Tool) [10] は電気と光混合のネットワークのためのモデリングツールである。ネットワークパラメータの設定ファイルとテクノロジーパラメータの設定ファイルを読み込むことで指定したネットワークアーキテクチャのパワートレースが可能となっている。データ量に依存する電力に関してはネットワークへのデータの流入率を設定することで、各デバイスの動作率とデータサイズから算出が行われている。そのため、この動作率にアーキテクチャシミュレータの実行結果を用いることで、電力値の推定が可能である。本研究では、DSENT を用いて Gem5 シミュレータの実行結果から消費電力の算出を行った。

4.1 ネットワークの電力モデル

DSENT でサポートされるネットワークの電力値は式 1 で表される。電気デバイスの電力は式 2 に表されるように電気ルータ及びリンク、ドライバーやレシーバー等の電気-

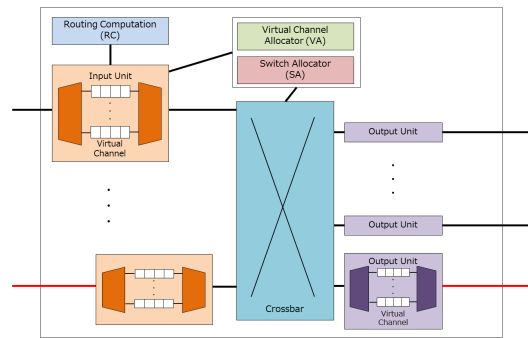


図 7 拡張後のルータマイクロアーキテクチャ

光インターフェースとリング共振器のチューニングによる消費電力の和であり、光デバイスの電力は式 3 に表されるようにレーザ光源による消費電力である。

$$P_{total} = P_{electrical} + P_{optical} \quad (1)$$

$$P_{electrical} = P_{router} + P_{link} + P_{interface} + P_{tuning} \quad (2)$$

$$P_{optical} = P_{laser} \quad (3)$$

式 1~3 の各消費電力は動的電力と静的電力の 2 つに大別される。静的電力はデバイスの稼働率やアイドル時間に関係なく消費されるリーク電力として定義される。動的電力は稼働率に依存し、各デバイスのイベントあたりのエネルギーとその頻度の積によって定義される。そのため、各デバイスの消費電力は式 4 によって表され、 P_{static} は静的電力の合計値を、 E_i 、 f_i はそれぞれのイベントのエネルギーコストとイベントの頻度を表している。

$$P = P_{static} + \sum E_i * f_i \quad (4)$$

本稿の評価では f_i を Gem5 シミュレータの実行結果に置き換えることでパワートレースを行った。

5. 評価結果

本稿では、Gem5 シミュレータの拡張によって階層的なインターコネクションネットワークの評価を可能とした。本節では拡張前後のモデルでの評価結果の差異についての比較と、拡張後モデルに関してチップ間リンクに電気及び光伝送を適用した場合の評価結果の比較を行った。

5.1 評価アプリケーション

Gem5 ではアプリケーションのバイナリ実行が可能である。本稿では並列計算のベンチマークである NAS Parallel Benchmarks (NPB) を用いて評価を行った。NPB は 5 つのカーネルベンチマークと 3 つのアプリケーションベンチマークによって構成されており、その中から CG, FT, BT の 3 つを採用し、問題サイズを W に設定したものを実行した。

5.2 拡張前後のモデルでの評価結果

表 1 は拡張前後のモデルでのネットワークパラメータ

表 1 拡張前後でのネットワークパラメータ

	オリジナル	拡張後
フリットサイズ	16Byte	4Byte
オンチップリンク幅	16Byte/cycle	16Byte/cycle
チップ間リンク幅	16Byte/cycle	4Byte/cycle
オンチップリンク遅延	1cycle	1cycle
チップ間リンク遅延	4cycle	1cycle
ルータ遅延	2cycle	2cycle + buffering time

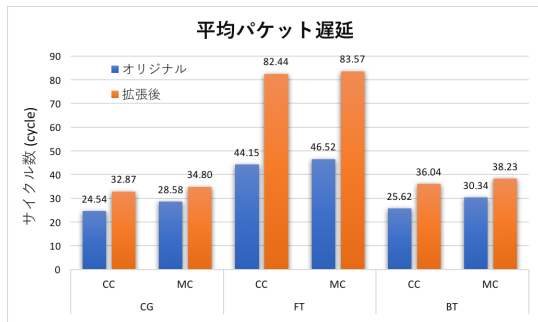


図 8 拡張前後の平均パケット遅延

である。オリジナルモデルは低バンド幅を遅延によって擬似的に表現するモデルであるため、フリットサイズを16Byteとし、チップ間リンク幅の4Byte/cycleを表すために4cycleの遅延を与える。拡張後モデルではフリットの分割・併合が想定されているモデルであるため、フリットサイズを4Byteに設定し、オンチップ上は4つのフリットをまとめた状態でデータ転送を行い、チップ間リンクに流れる際に元の1フリットに分割して転送を行う。1チップあたり4コアの64コア構成で、図3、図4に示した2つのネットワークトポロジーを用いてNPBの3つのベンチマークで拡張前後のモデルのシミュレーションを行った。

拡張前後のモデルでのシミュレーションによる平均パケット遅延の結果を図8に示す。図中、CC及びMCはそれぞれ3.1項で述べたCrossbar of Crossbar ChipsとMesh of Crossbar Chipsを表している。オリジナルのモデルと比較して拡張後のモデルでは平均パケット遅延が増加している。これはチップ間リンクにフリットが流れる際にフリットの分割のためにバッファリングが行われ、また、受信側の入力バッファでフリットの再構成のためにバッファリングが行われるためである。チップをまたぐ通信の頻度が高いFTではオリジナルのモデルと比較して、CCで1.87倍、MCで1.80倍の遅延増加が確認された。これはボード間やラック間等のより大規模なシステムの評価を行う際に無視できない誤差であり、性能評価を行う上での弊害になってしまう。また、オリジナルのモデルでは正確にリンクの動作率をシミュレートできないため、消費電力の評価にも誤差が生じてしまう。

以上のことから、階層的なネットワークの評価には複数のリンク幅を考慮したモデルが必要であり、本拡張の有用性が確認された。

表 2 チップ間電気及び光リンク適用時のネットワークパラメータ

	チップ間電気	チップ間光
動作周波数	2.4GHz	2.4GHz
フリットサイズ	4Byte	8Byte
オンチップリンク幅	16Byte/cycle	16Byte/cycle
チップ間リンク幅	4Byte/cycle	8Byte/cycle
オンチップ転送レート	38.4GB/s	38.4GB/s
チップ間転送レート	9.6GB/s	19.6GB/s
オンチップリンク遅延	1cycle	1cycle
チップ間リンク遅延	1cycle	1cycle
OE/EO 変換	-	1cycle

5.3 チップ間電気及び光リンクでの評価結果

拡張後モデルのチップ間リンクに電気伝送と光伝送を適用した場合のシミュレーションを行った。それぞれのネットワークの設定パラメータを表2に示す。オンチップはどちらも電気リンクを想定し、チップ間電気リンクのモデルはプロセッサ間接続技術であるインテルのQuickPath Interconnect (QPI) [11]を、チップ間光リンクのモデルはBinkert等のモデル[2]を参考としてパラメータの設定を行った。また、ルータでの経路制御は電気信号によって行われるため、光リンクモデルではルータの入出力で電気-光 (Electrical-Optical:OE) 変換が必要となる。この変換にかかるオーバーヘッドを1cycleに設定し評価を行った。

チップ間電気及び光伝送を適用した2つのネットワークトポロジーでNPBのCG、FT、BTの3つのベンチマークアプリケーションを実行した際のパケット遅延を図9に示す。チップ間電気モデルと比較して光モデルでは平均パケット遅延が削減され、チップ間リンクの通信頻度の高いFTではCCで約36%、MCで約35%の削減が確認できる。チップ間の通信頻度の低いCGでは遅延の削減率も低く、このことから流れるデータレートが高いほど光リンクによる恩恵が大きいことがわかる。

DSENTを用いた電力推定によって得られたネットワーク全体の消費電力を図10に伝送効率を図11に示す。チップ間光伝送は電気と比較してFTでCC、MCともに約36%の消費電力が削減されており、伝送効率もFTが最も高く、ビットあたり7pJ台での伝送が可能となっている。一方で、チップ間伝送の頻度が低いBTやCGでは電気と比較して光による伝送効率の改善はあまり見られず、MCでCGを実行した場合の消費電力はわずかであるが光伝送のほうが大きい結果となっている。本来、電気伝送は経路長とリンクを流れるデータレートに電力が依存するため、光伝送と比較した場合チップ間転送が多い場合に消費電力が増大する。一方で、光伝送は静的電力の割合が高く、経路長にほとんど依存しないため、チップ間転送が多い場合に高い伝送効率を示す。そのため、伝送距離の長いリンクや高データレートでは光伝送は高い伝送効率となるが、低データレートでは光と電気による差は小さく、電気のほ

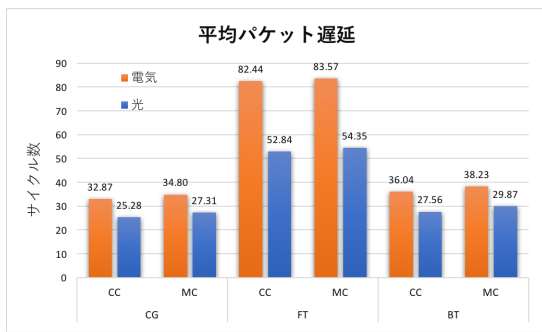


図 9 チップ間電気/光リンクでの平均パケット遅延

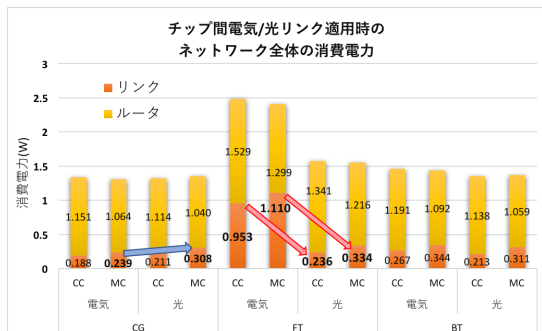


図 10 ネットワーク全体の消費電力

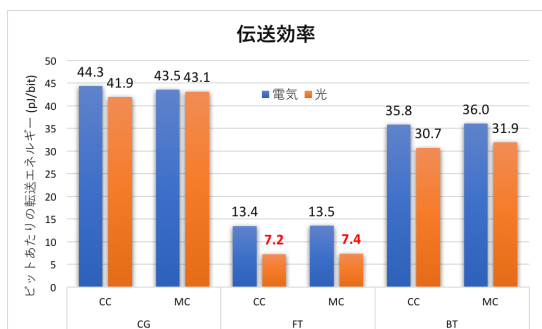


図 11 ビットあたりの伝送エネルギー

うが伝送効率が良いケースも存在する。このため、電気伝送と光伝送のトレードオフを見極め、伝送効率が最も良いネットワークモデルの組み合わせを評価していくことが重要である。

6. おわりに

本稿では階層的なインターコネクションネットワークのシミュレーションのために Gem5 シミュレータの拡張を行い、拡張前後のモデルでの評価比較及びチップ間リンクに電気伝送と光伝送を適用した際の評価比較を行った。拡張前後のモデルの評価結果から平均パケット遅延に最大で約 1.87 倍の差が確認され、これは大規模システムの性能評価において無視できない誤差となることから、本拡張の必要性が確認された。また、チップ間リンクに電気伝送と光伝送を適用した際の評価では、高データレートにおいて光伝送による高速化や高い伝送効率が確認された一方で、低データレートでは電気よりも消費電力が増加するケースも

見られた。以上のことから、電気伝送と光伝送のトレードオフを見極め、最も伝送効率の高いネットワークの組み合わせについて検討する必要がある、それを可能とする本シミュレータは今後の光インターコネクトの研究における評価ツールとして有用であることが確認できた。

謝辞 本研究の一部は、NEDO「超低消費電力型光エレクトロニクス実装システム技術開発」プロジェクトの委託を受けたものである。

参考文献

- [1] 荒川泰彦：超低消費電力型光エレクトロニクス実装システム技術開発，技術報告，NEDO (2016).
- [2] Binkert, N., Davis, A., Jouppi, N. P., McLaren, M., Muralimanohar, N., Schreiber, R. and Ahn, J. H.: The role of optics in future high radix switch design, *2011 38th Annual International Symposium on Computer Architecture (ISCA)* (2011).
- [3] Laer, A. V., Jones, T. and Watts, P. M.: Full System Simulation of Optically Interconnected Chip Multiprocessors Using Gem5 (2012).
- [4] Glick, M., Rumley, S., Hendry, R., Bergman, K. and Dutt, R.: Modeling and simulation environment for photonic interconnection networks in high performance computing, *2013 15th International Conference on Transparent Optical Networks (ICTON)* (2013).
- [5] Pan, Y., Kumar, P., Kim, J., Memik, G., Zhang, Y. and Choudhary, A.: Firefly: Illuminating Future Network-on-chip with Nanophotonics, *Proceedings of the 36th Annual International Symposium on Computer Architecture, ISCA '09* (2009).
- [6] Binkert, N., Beckmann, B., Black, G., Reinhardt, S. K., Saidi, A., Basu, A., Hestness, J., Hower, D. R., Krishnā, T., Sardashti, S., Sen, R., Sewell, K., Shoaib, M., Vaish, N., Hill, M. D. and Wood, D. A.: The Gem5 Simulator, *SIGARCH Comput. Archit. News* (2011).
- [7] Binkert, N. L., Dreslinski, R. G., Hsu, L. R., Lim, K. T., Saidi, A. G. and Reinhardt, S. K.: The M5 Simulator: Modeling Networked Systems, *IEEE Micro* (2006).
- [8] Martin, M. M. K., Sorin, D. J., Beckmann, B. M., Marty, M. R., Xu, M., Alameldeen, A. R., Moore, K. E., Hill, M. D. and Wood, D. A.: Multifacet's General Execution-driven Multiprocessor Simulator (GEMS) Toolset, *SIGARCH Comput. Archit. News* (2005).
- [9] Agarwal, N., Krishna, T., Peh, L.-S. and Jha, N.: GAR-NET: A detailed on-chip network model inside a full-system simulator, *Performance Analysis of Systems and Software, 2009. ISPASS 2009. IEEE International Symposium on*, pp. 33-42 (2009).
- [10] Sun, C., Chen, C.-H. O., Kurian, G., Wei, L., Miller, J., Agarwal, A., Peh, L.-S. and Stojanovic, V.: DSENT - A Tool Connecting Emerging Photonics with Electronics for Opto-Electronic Networks-on-Chip Modeling, *Proceedings of the 2012 IEEE/ACM Sixth International Symposium on Networks-on-Chip* (2012).
- [11] Intel: An Introduction to the Intel QuickPath Interconnect.