

グリーンコンピューティングシステム研究開発センター における低消費電力マルチコア産官学連携研究

早稲田大学

理工学術院基幹理工学部情報理工学科 教授
アドバンスト・マルチコア・プロセッサ研究所 所長
IEEE Computer Society理事

笠原博徳

1985年 早稲田大学博士課程了 工学博士
カリフォルニア大学バークレー客員研究員
1986年 早大理工専任講師, 1988年 助教授
1997年 教授、現在 理工学術院情報理工学科
1989年～1990年 イリノイ大学Center for
Supercomputing R&D客員研究員
2009年 IEEE Computer Society 理事

1987年 IFAC World Congress Young Author Prize
1997年 情報処理学会坂井記念特別賞
2005年 STARC(半導体理工学研究センタ)共同研究賞
2008年 LSI・オブ・ザ・イヤー 2008 準グランプリ
2008年 Intel Asia Academic Forum Best Research Award
2010年IEEE Computer Society Golden Core Member

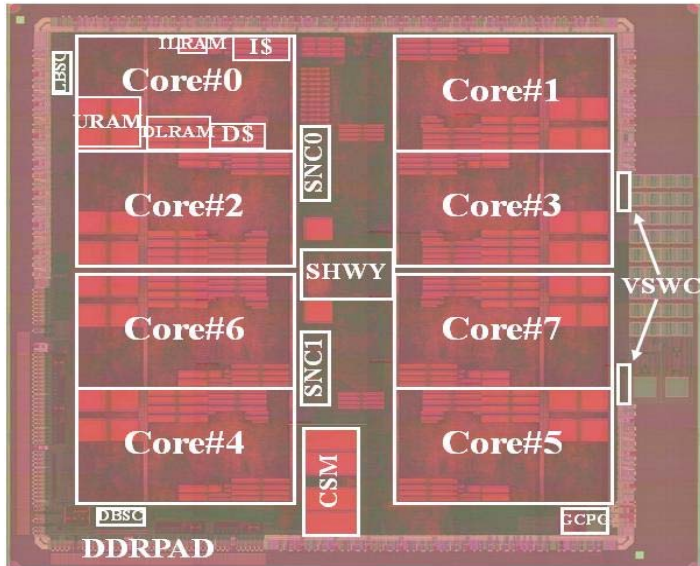
査読付論文 189件, 招待講演104件, シンポジウム論文 29件,
研究会論文 134件, 全国大会論文 154件, 特許 32件
新聞・Web記事・TV等メディア掲載 443件

政府・学会委員等歴任数 226件

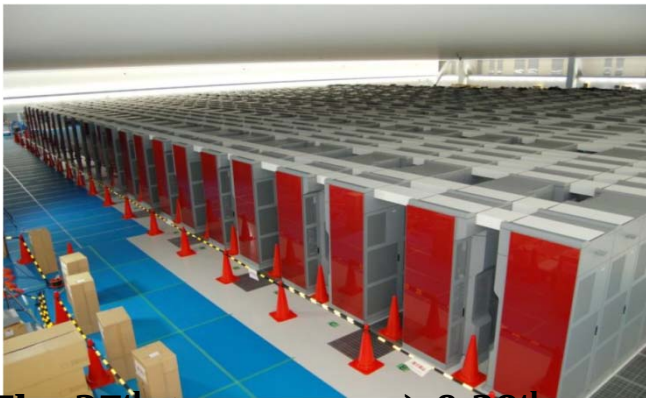
【経済産業省・NEDO】 情報家電用マルチコア及びコンパイラ等国家プロジェクトリーダー、NEDOコンピュータ戦略(ロードマップ)委員長、「グリーンネットワーク・システムプロジェクト(グリーンITプロジェクト)」技術委員長【内閣府】スーパーコンピュータ戦略委員会、政府調達苦情検討委員、【文部科学省・JST・JSPS・JAXA・原子力機構・海洋研】地球シミュレータ(ES)評価委員、情報科学技術委員、HPCI計画推進委員、次世代スパコン(京)中間評価委員・概念設計評価委員、ES2導入技術アドバイザー委員、IEEE、情報処理学会、ACM Conf.PC、高校生科学技術チャレンジ審査委員

Multi/Many-core Everywhere

Multi-core from embedded to supercomputers



OSCAR Type Multi-core Chip by Renesas in METI/NEDO Multicore for Real-time Consumer Electronics Project (Leader: Prof.Kasahara)



The 37th (Jun. 20,2011) & 38th (Nov.14.2011) **Top 500 No.1**, Riken Fujitsu “K” **705,024 cores**
Peak **11.28 PFLOPS**, (88,128procs)
LINPACK **10.510 PFLOPS** (93.2%)

➤ Consumer Electronics (Embedded)

Mobile Phone, Game, TV, Car Navigation, Camera,

IBM/ Sony/ Toshiba Cell, Fujitsu FR1000,
Panasonic Uniphier, NEC/ARM MPCore/MP211/NaviEngine,
Renesas 4 core RP1, 8 core RP2, 15core Hetero RP-X,
Plurality HAL 64(Marvell), Tiler Tile64/ -Gx100(->1000cores),
DARPA UHPC (2017: 80GFLOPS/W)

➤ PCs, Servers

Intel Quad Xeon, Core 2 Quad, Montvale, Nehalem(8cores),
Larrabee(32cores), SCC(48cores), Night Corner(50 core+:22nm),
AMD Quad Core Opteron (8, 12 cores)

➤ WSs, Deskside & Highend Servers

IBM(Power4,5,6,7), Sun (SparcT1,T2), Fujitsu SPARC64fx8

➤ Supercomputers

Earth Simulator:**40TFLOPS**, 2002, 5120 vector proc.
BG/Q (A2:16cores) Water Cooled20PFLOPS, 3-4MW (2011-12),
BlueWaters(HPCS) Power7, 10 PFLOP+(2011.07),
Tianhe-1A (4.7PFLOPS,6coreX5670+ Nvidia Tesla M2050),
Godson-3B (1GHz40W 8core128GFLOPS) -T (64 core,192GFLOPS:2011)
RIKEN Fujitsu “K” 10PFLOPS(8core SPARC64VIIIfx, 128GGFLOPS)

High quality application software, Productivity, Cost performance, Low power consumption are important

Ex, Mobile phones, Games

Compiler cooperated multi-core processors are promising to realize the above futures

グリーン・コンピューティング・システム研究開発センター 概要

2011年4月13日竣工, 2011年5月13日開所(記念シンポジウム)

経済産業省「2009年度産業技術研究開発施設整備費補助金」
先端イノベーション拠点整備事業

<目標>

太陽電池で駆動可能で
冷却ファンが不要な

超低消費電力・高性能マルチコア/
メニーコアプロセッサ*のハードウェア、
ソフトウェア、応用技術の研究開発

*1チップ上に多数のプロセッサコアを
集積する次世代マルチコアプロセッサ

<産学連携>

日立, 富士通, ルネサス, NEC, トヨタ,
デンソー, オリンパス,
三菱電機(重粒子線ガン治療) 等

<波及効果>

超低消費電力メニーコア

- CO₂排出量削減
- サーバ国際競争力強化
- 我が国の産業利益を支える
情報家電, 自動車等の高付加価値化



2011グッドデザイン賞受賞

産官学連携研究開発・実用化(波及効果)

命を守る

環境を守る

早稲田大学:研究開発

超低消費電力・メニーコアシステム技術

OSCARメニーコアチップ

OSCAR
Many-core
Chip

ロボット

グリーンスパコン

車載(カーナビ・
統合制御・インフラ協調)

スーパーリアルタイム災害シミュレーション(地殻変動,津波)
耐震性解析,火山噴火溶岩流

情報家電

ネットTV/DVD/複合機

グリーンクラウドサーバ

カメラ

カムコーダ

スマートフォン/

携帯電話

医療用サーバ

クールデスクトップサーバ

カプセル
内視鏡

太陽電池駆動・充電

放医研パンフレットより
医用画像処理等専用サーバ
(医療:重粒子線照射計画,脳梗塞)
自動車・航空機設計サーバ

太陽電池駆動
クールサーバ

スパコン・
サーバ

情報家電

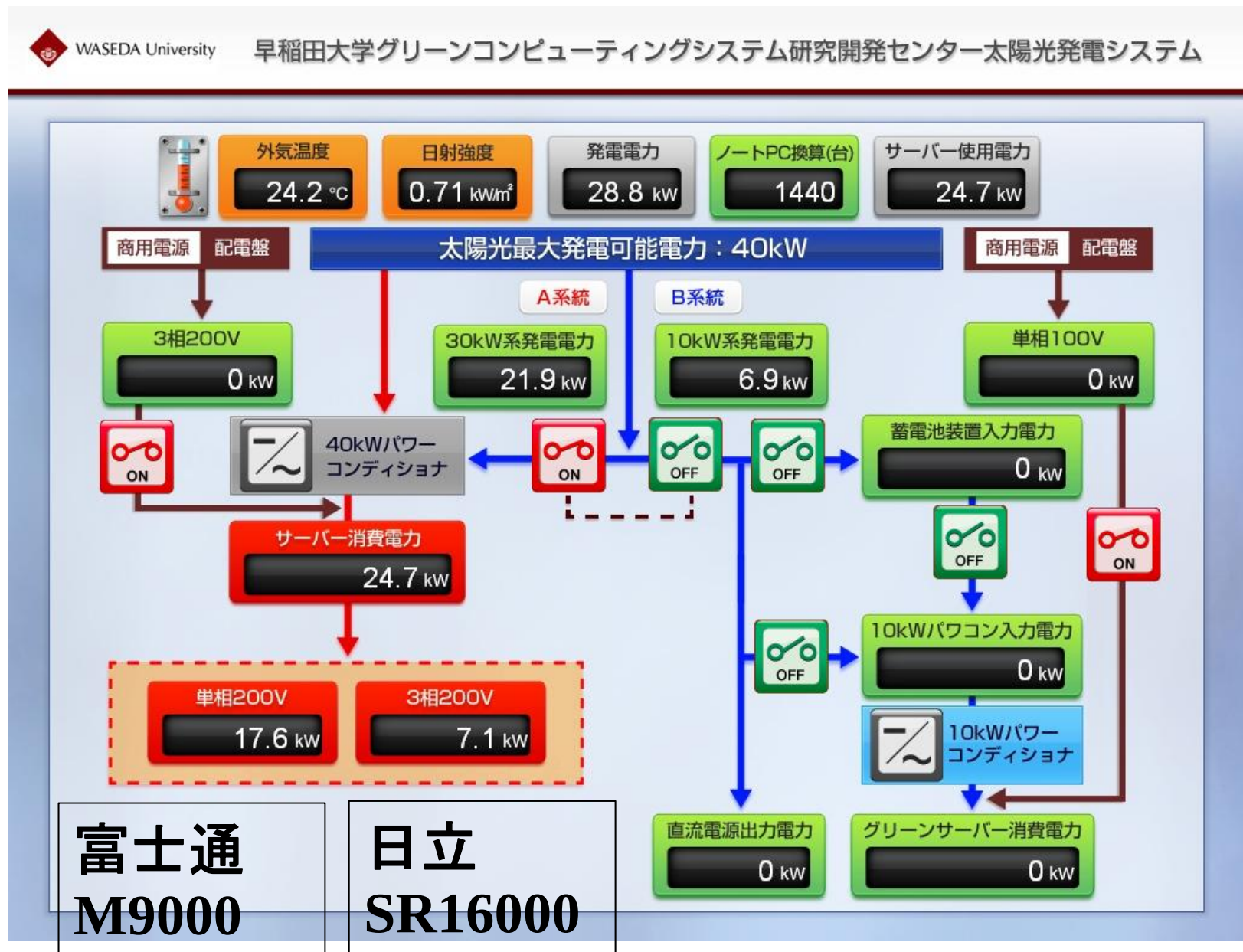
産業競争力を守る

産業界

市場規模:情報家電・携帯電話系 数10兆円

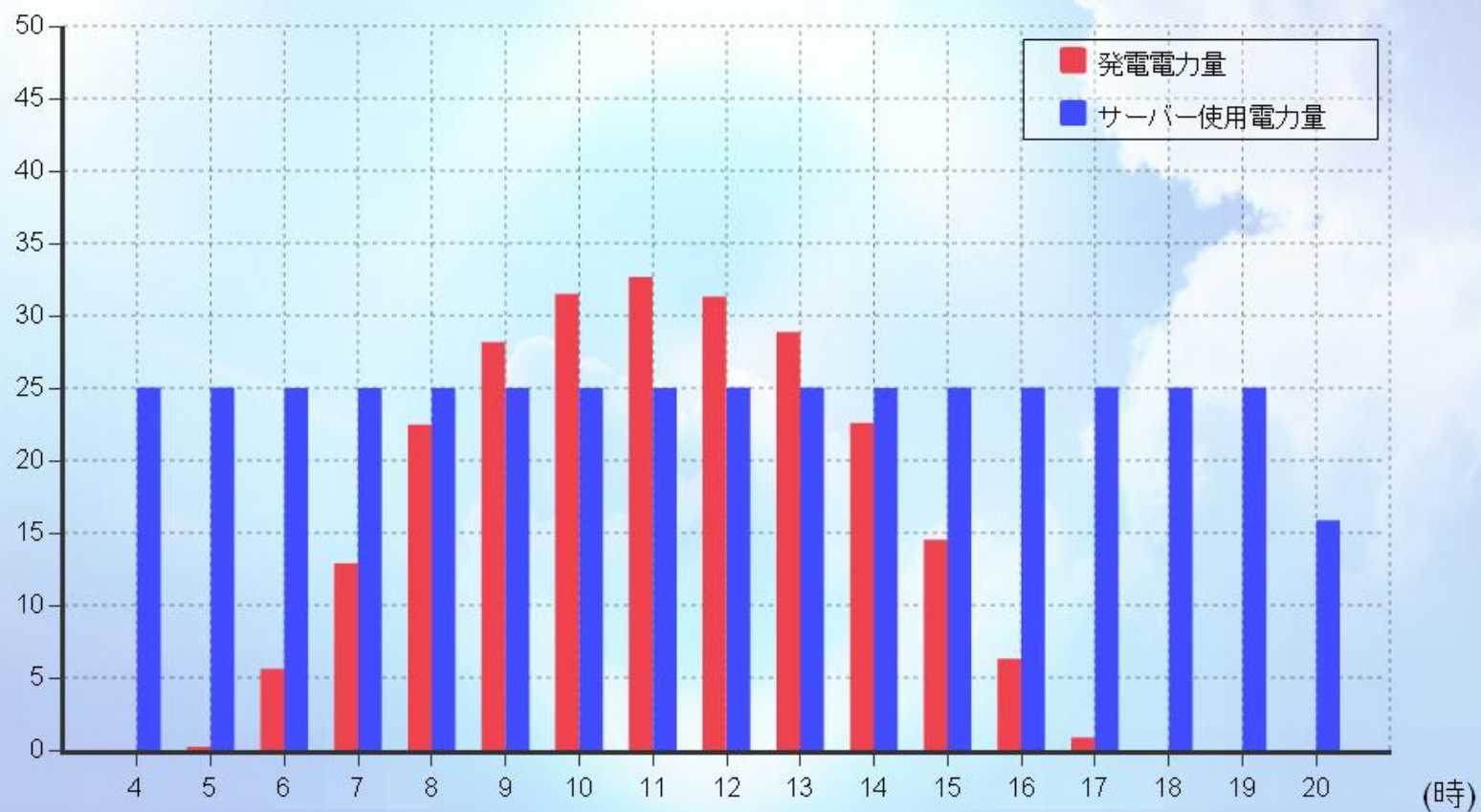
市場規模:スパコン・サーバ系 1兆円

グリーンコンピューティングシステム研究開発センター2011.11.1(晴れ)太陽光電力とサーバ消費電力



電力量の1日の変化

電力量(kWh)



サーバ用太陽電力発電装置の年間稼働状況

電力量の1年の変化



組込マルチコアRPX利用低消費電力Webサーバ



早稲田大学 基幹理工学部 情報理工学科

笠原研究室

現在のWebサーバ消費電力



0.96 W

by RPX embedded multicore Web-server.

1W動作

| Japanese | English |

研究室用



Contents

▶ 笠原教授紹介

▶ 木村教授紹介

▶ 発表論文

▶ メンバー

News

- 2012.4.25 OSCAR API (Version 2.0) 仕様書をリリースしました
- 2012.4.2 笠原・木村研ホームページの低消費電力組込マルチコアRPXサーバによるサービスとサーバの消費電力表示が開始されました。
- 2011.10.07 笠原博徳教授がIEEE Computer Society 理事(2012-2014)に再選されました。ご支援ありがとうございました。
- 2011.9.6 25周年記念 LCPC2012 (グリーンコンピューティングシステム研究開発センターにて2012年9月11日から13日開催)の情報を掲載しました

NEDOリアルタイム情報家電用マルチコア技術

＜目的＞ DVD,デジタルTV,カーナビ, 携帯電話等リアルタイム情報家電における
優位化製品創出を目指したプロセッサ技術の国際競争力強化

＜研究期間＞平成17年7月～平成20年3月

＜内容＞ 下記特徴をもつマルチコア・アーキテクチャ及びコンパイラ技術の確立

- ・優れた価格性能
- ・短ハードウェア・ソフトウェア開発期間
- ・低消費電力
- ・同一アーキテクチャでローエンドからハイエンド製品まで柔軟に対応
- ・集積度向上に対するスケーラブルな性能向上(複数半導体世代に対応)
- ・異なる企業開発のマルチコア間でのアプリケーションの共用

＜API: Application Programming Interface並列化コンパイラと各マルチコアの接続＞

日立,富士通,ルネサス,東芝,松下,NEC

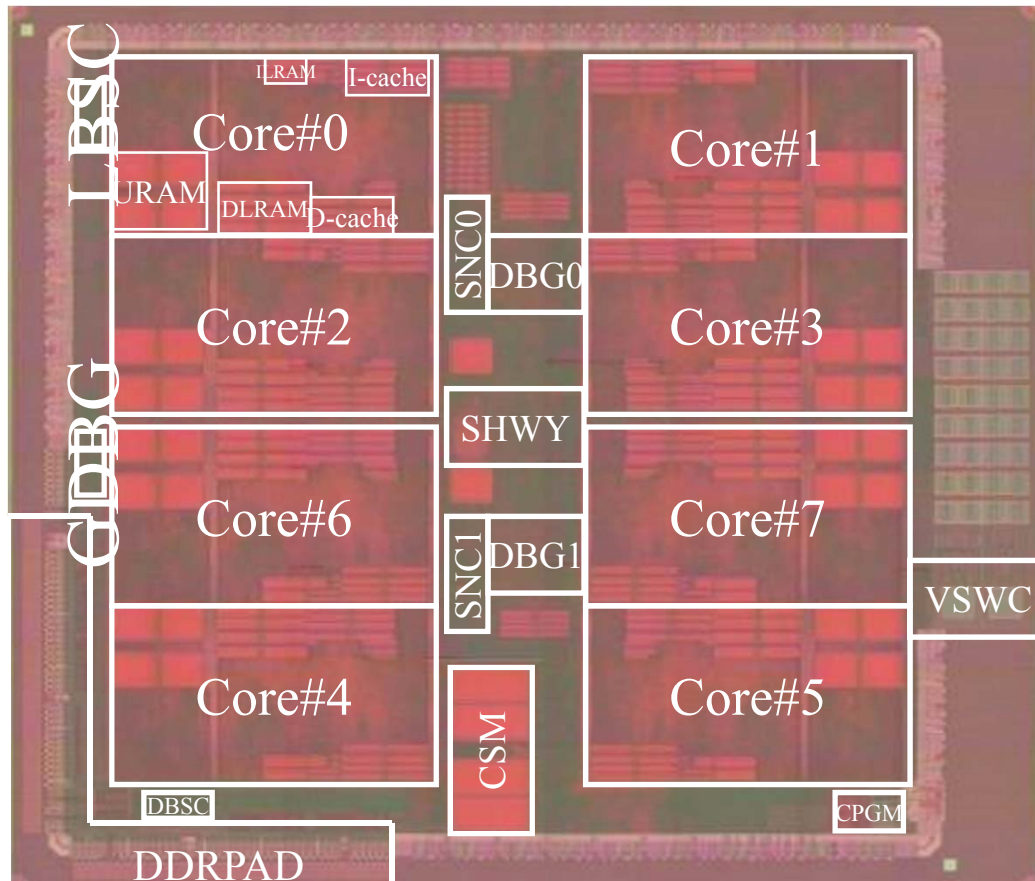
＜委託事業＞ NEDO”アドバンスド並列化コンパイラ“の成果と参加各社のプロセッサ技術を
委員会及び研究により発展させ、標準的マルチコア・アーキテクチャと並列化APIを策
定し、既存及び新規チップ上での性能評価を通し改良する

＜助成事業＞ 委託事業にて策定されたアーキテクチャをベースとしたチップ及びその開発
環境を開発し委託研究での評価のために供与する

＜PC用プロセッサとの目的の違い＞

リアルタイム処理なアーキテクチャ・自然冷却可能な低消費電力性

早稲田OSCARコンパイラ協調型アーキテクチャ ホモジニアスマルチコアRP2 SH4A8コア搭載



8コア集積マルチコアLSIチップ写真

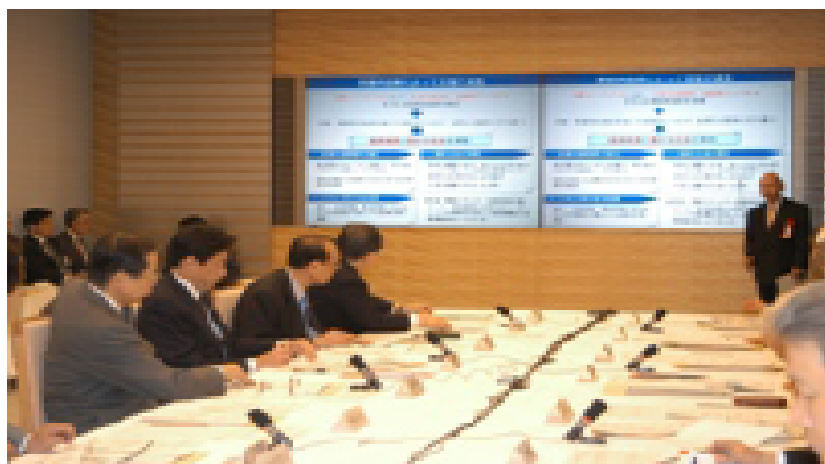
プロセス	90nm CMOS, 8層メタル, 3種Vth
チップサイズ	104.8mm ² (10.61mm x 9.88mm)
電源電圧	1.0V-1.4V(コア), 1.8/3.3V(I/O)
動作周波数	600MHz
CPU性能	8640 MIPS (Dhrystone 2.1)
FPU性能	33.6 GFLOPS
低電力制御	・CPU毎に独立した周波数変更 ・CPUコアのクロックを停止するスリープモード ・CPUコアの一部のクロックを停止するがキャッシュコヒーレンシ維持可能なライトスリープモード ・CPUコアの電源供給を停止するフル電源遮断モード ・URAM以外のCPUコアの電源供給を停止するレジューム電源遮断モード

ISSCC08発表: ISSCC08 論文番号4.5, M.ITO, et al., "An 8640 MIPS SoC with Independent Power-off Control of 8 CPUs and 8 RAMs by an Automatic Parallelizing Compiler"

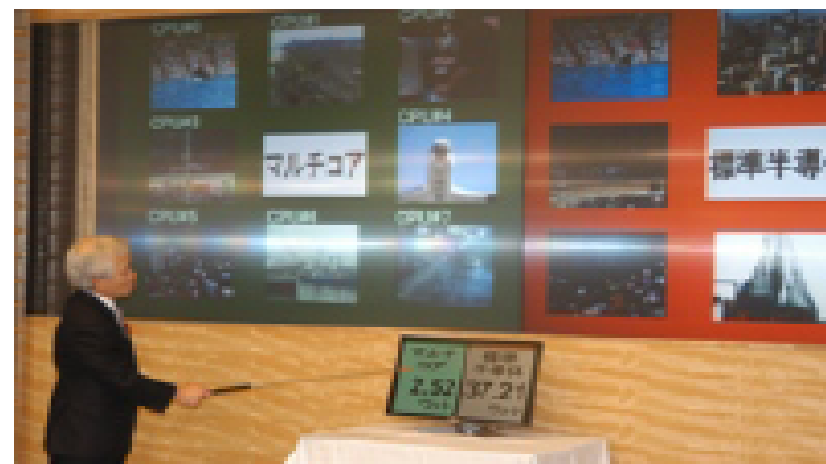
NEDOリアルタイム情報家電用マルチコアチップ・デモの様子

<http://www8.cao.go.jp/cstp/gaiyo/honkaigi/74index.html>

第74回総合科学技術会議【平成20年4月10日】



第74回総合科学技術会議の様子(1)



第74回総合科学技術会議の様子(2)



第74回総合科学技術会議の様子(3)

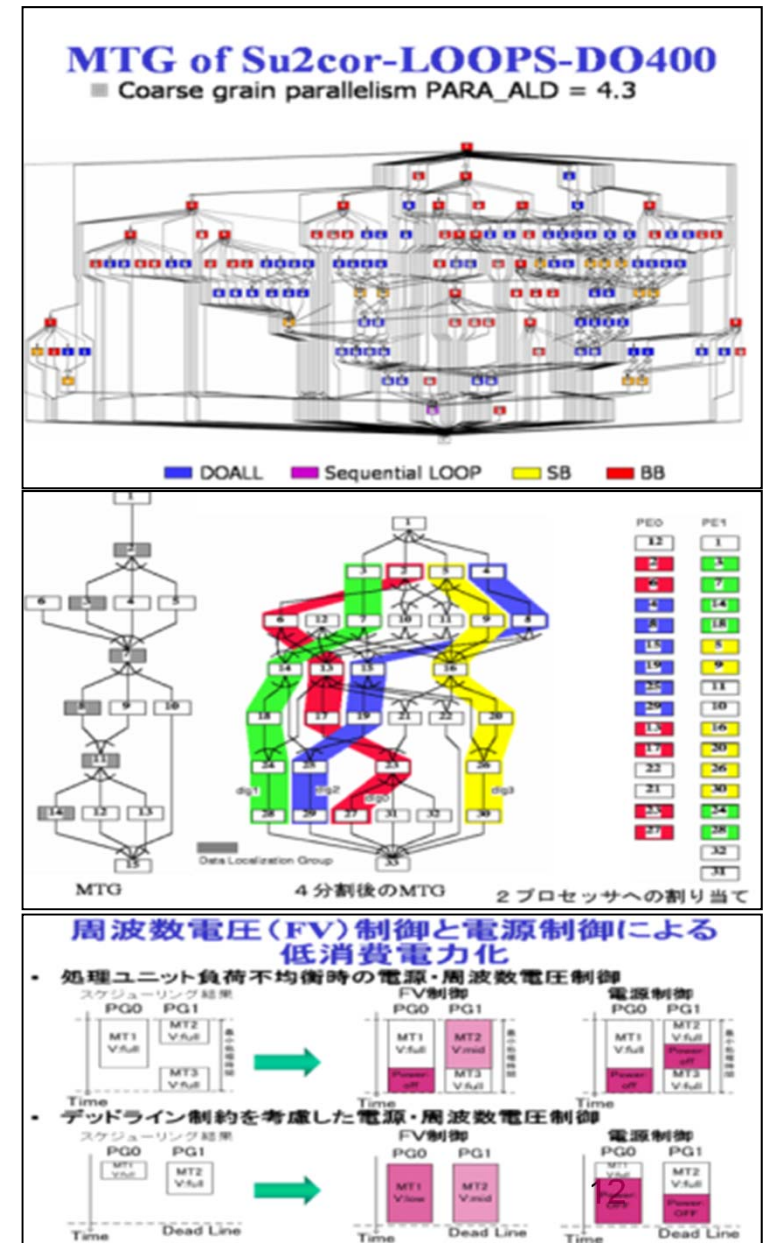


第74回総合科学技術会議の様子(4)

世界をリードするマルチコア用コンパイラ技術

プロセッサ高速化における3大技術課題の解消

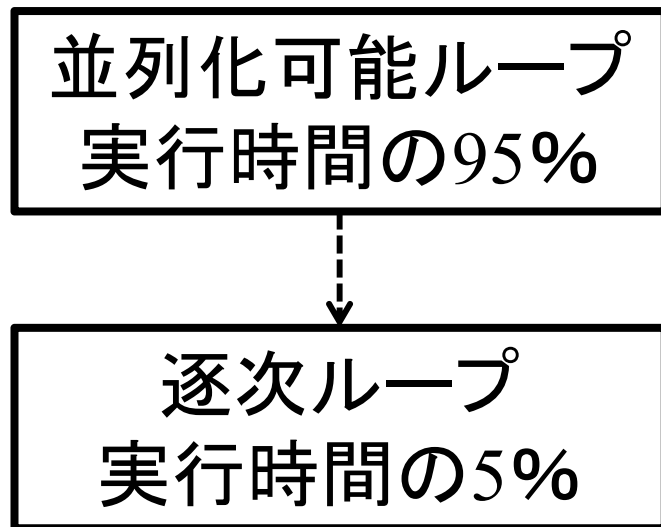
1. 半導体集積度向上(使用可能トランジスタ数増大)に対する速度向上率の鈍化
 - 粗粒度タスク並列化、ループ並列化、近細粒度並列化によりプログラム全域の並列性を利用するマルチグレイン並列化機能により、従来の命令レベル並列性より大きな並列性を抽出し、複数マルチコアで速度向上
2. メモリウォール問題
 - コンパイラによるローカルメモリへのデータ分割配置、DMAコントローラによるタスク実行とオーバーラップしたデータ転送によりメモリアクセス・データ転送オーバーヘッド最小化
3. 消費電力増大による速度向上の鈍化
 - コンパイラによる低消費電力制御機能を用いたアプリケーション内でのきめ細かい周波数・電圧制御・電源遮断により消費電力低減



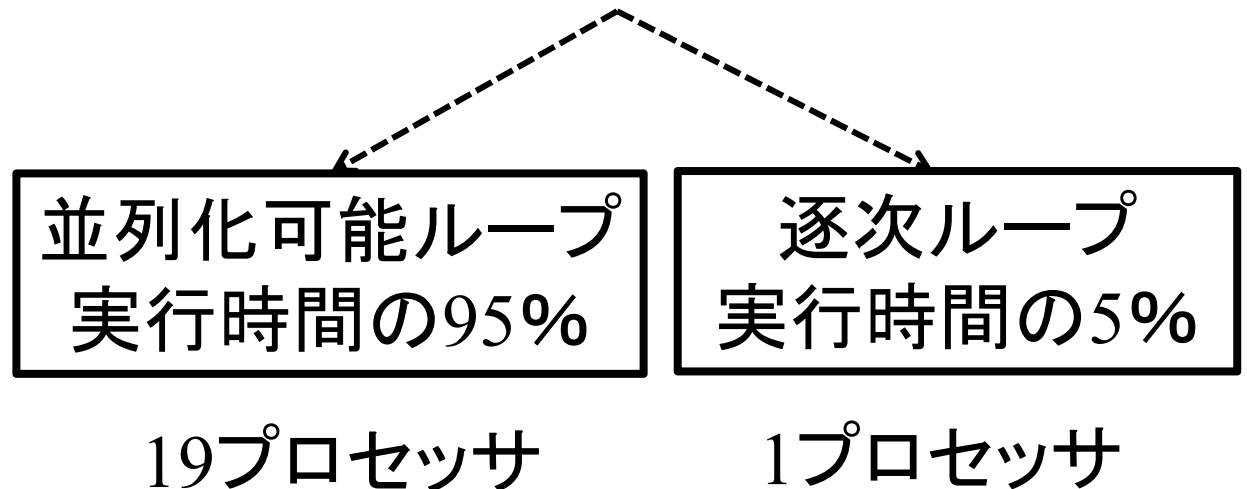
粗粒度タスク並列

ループ並列の限界を越えるために

従来のループ並列化



粗粒度タスク並列化



20プロセッサで並列処理

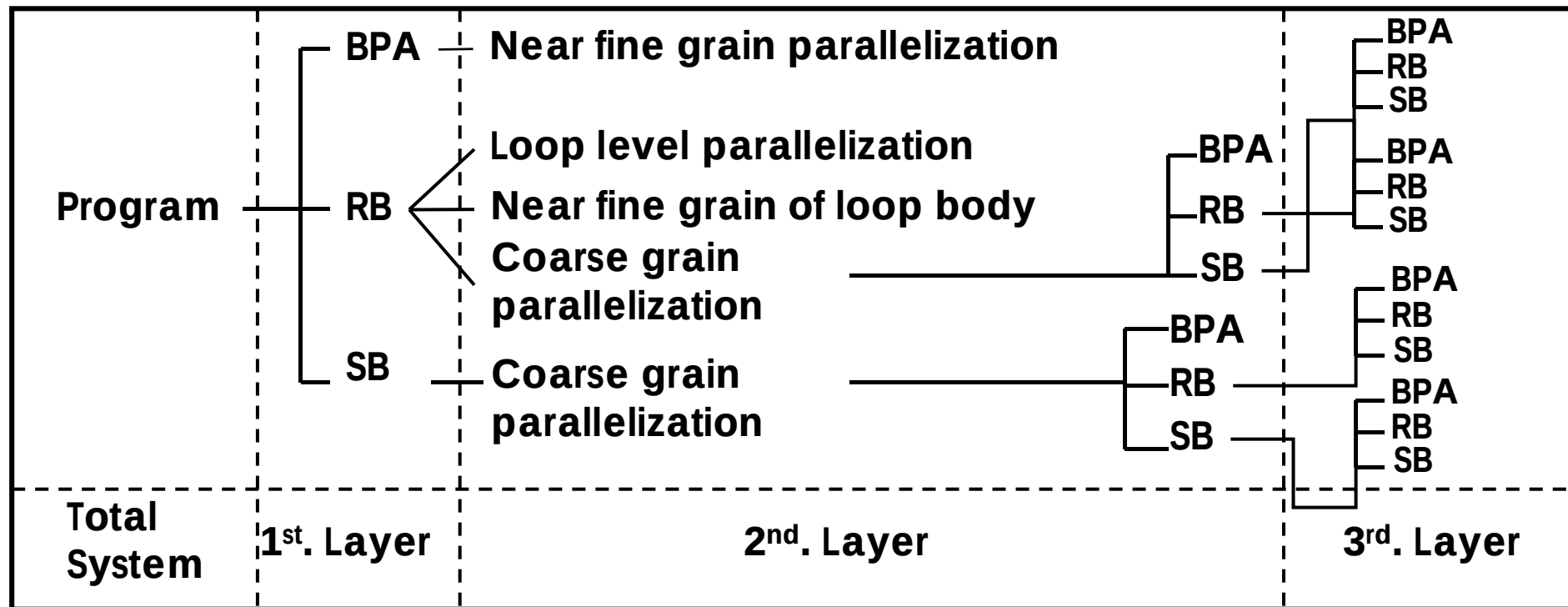
$$\text{速度向上率} = 100 / (95/20 + 5) \\ = 100 / (4.75 + 5) = 10.26 \text{ 倍}$$

$$\text{速度向上率} = 100 / \max(95/19, 5) \\ = 100/5 = 20 \text{ 倍}$$

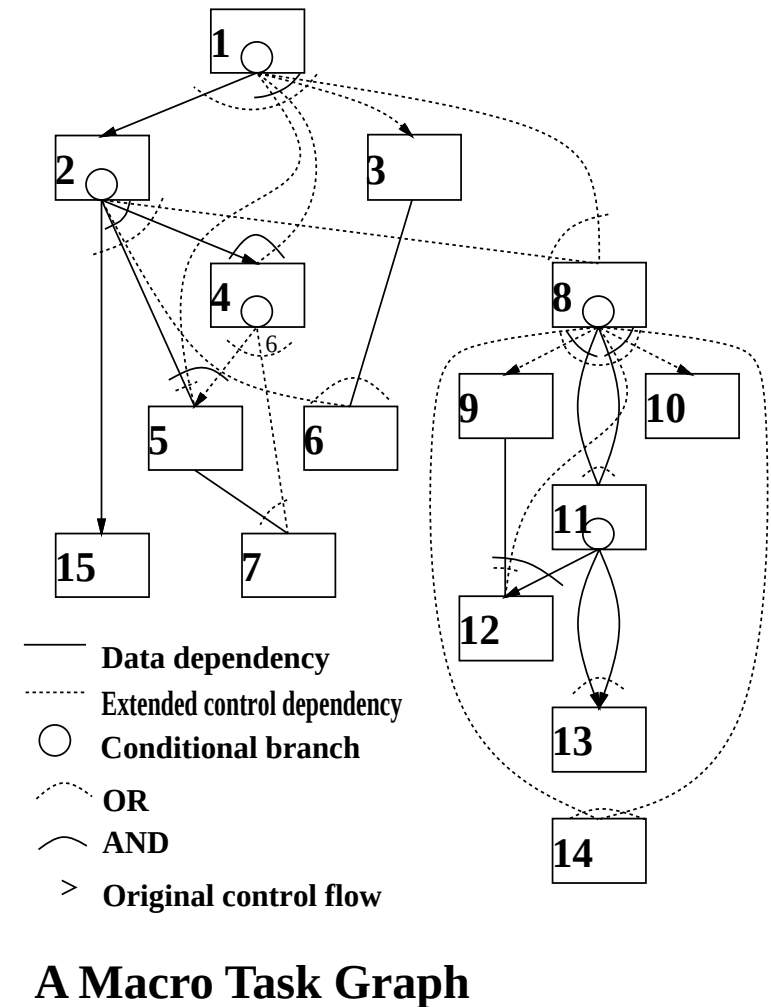
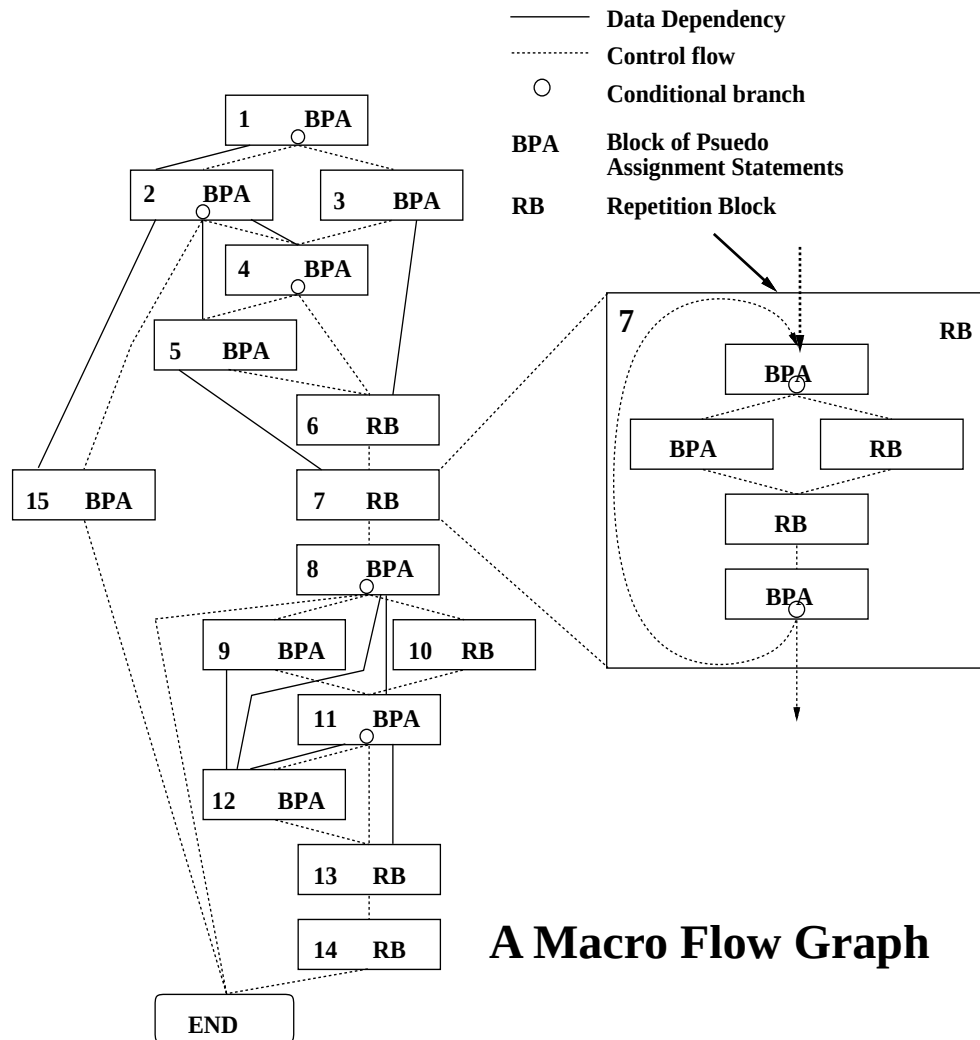
Generation of coarse grain tasks

■ Macro-tasks (MTs)

- Block of Pseudo Assignments (BPA): Basic Block (BB)
- Repetition Block (RB) : natural loop
- Subroutine Block (SB): subroutine

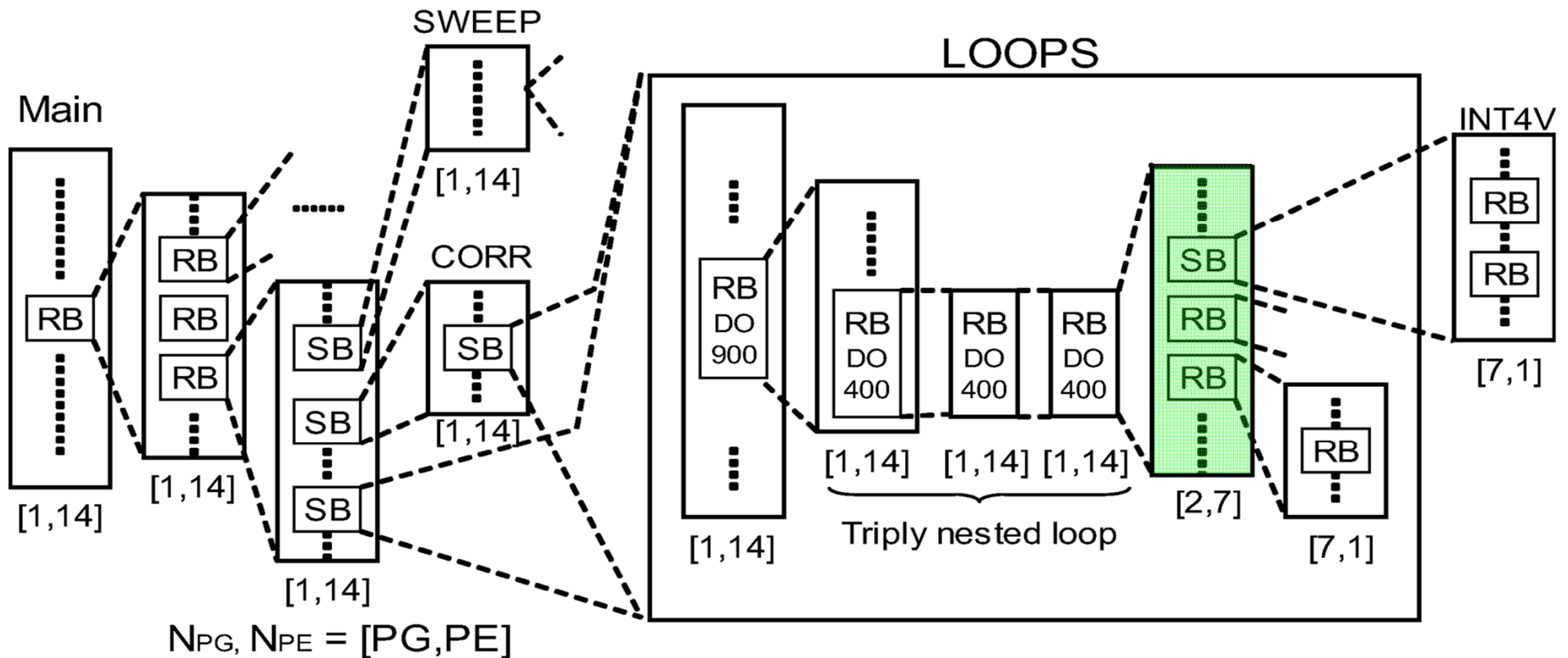


Earliest Executable Condition Analysis for coarse grain tasks (Macro-tasks)



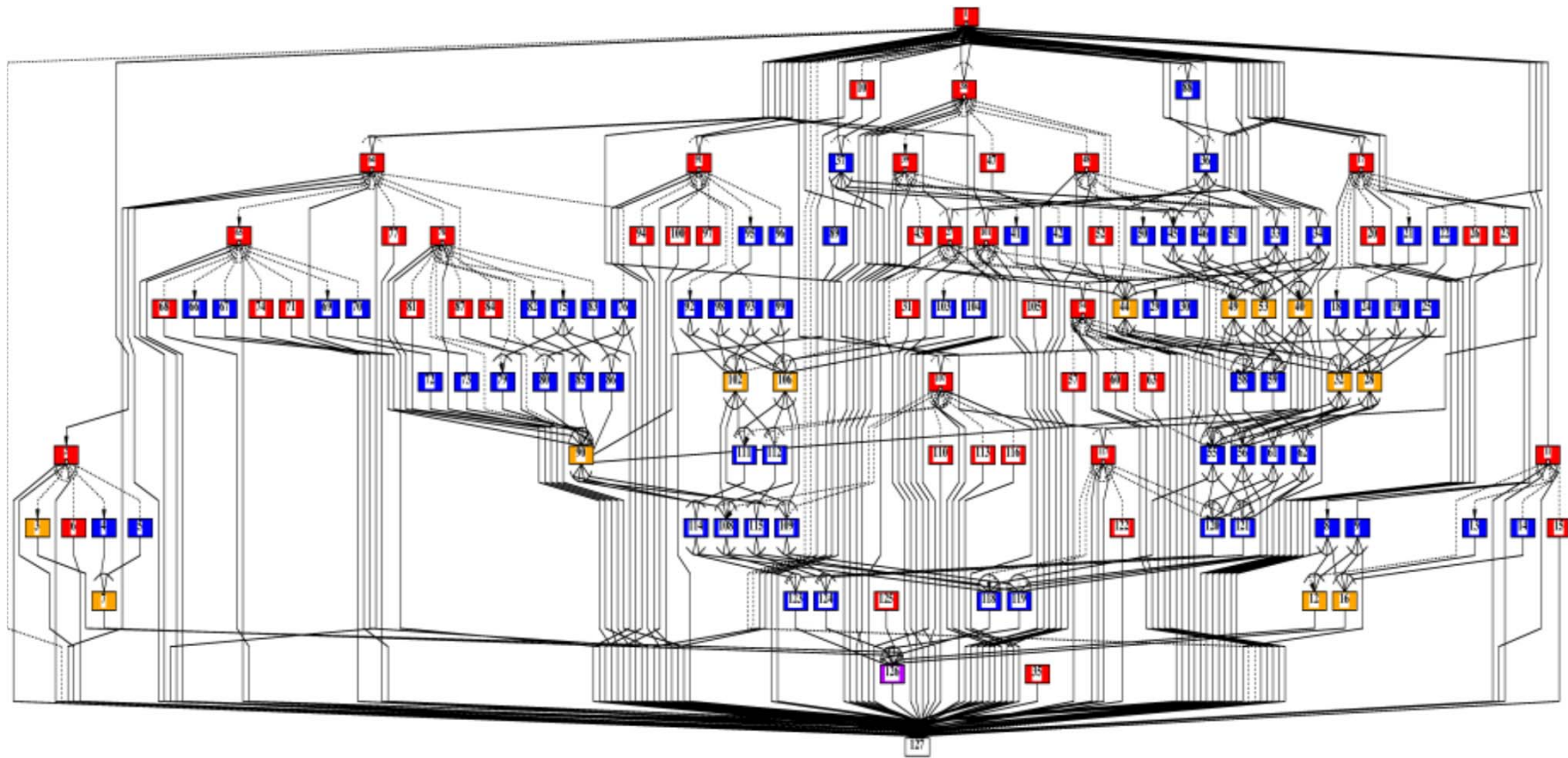
Automatic processor assignment in su2cor

- Using 14 processors
 - Coarse grain parallelization within DO400 of subroutine LOOPS



MTG of Su2cor-LOOPS-DO400

- Coarse grain parallelism $\text{PARA_ALD} = 4.3$



■ DOALL

■ Sequential LOOP

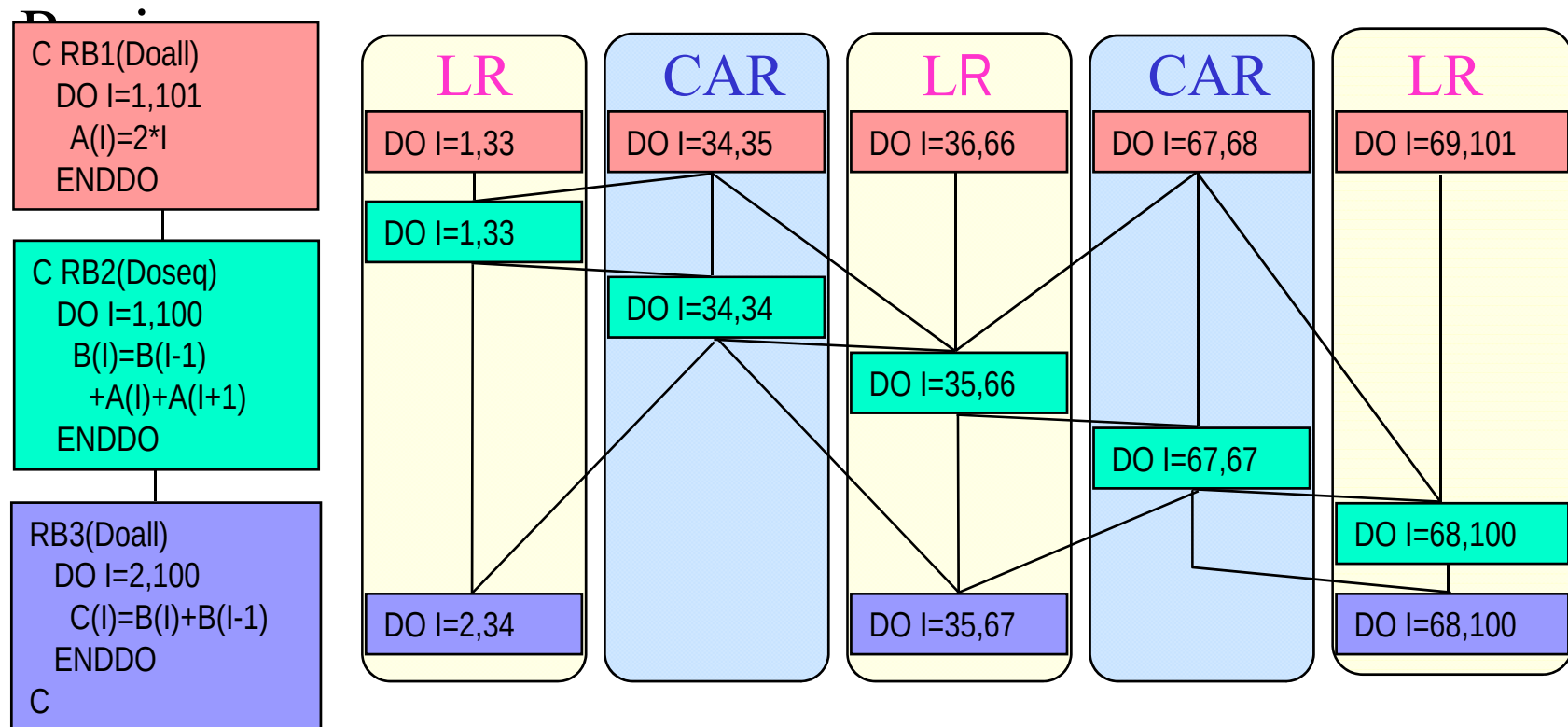
■ SB

■ BB

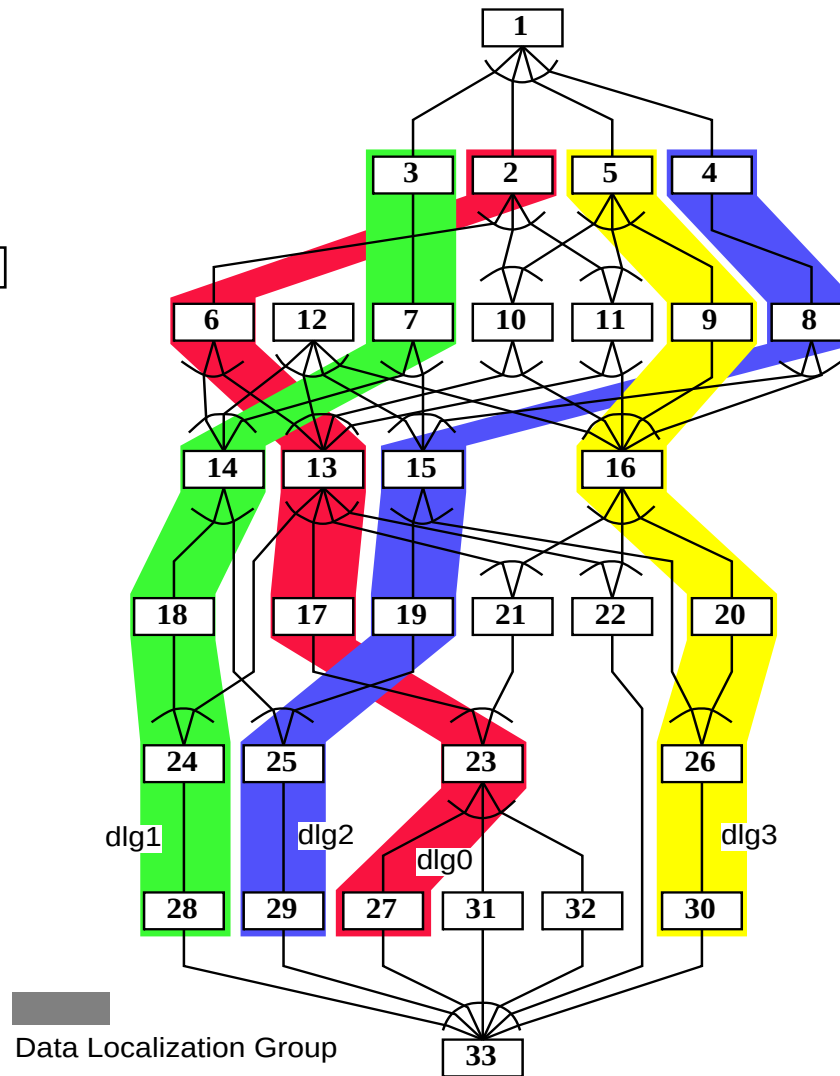
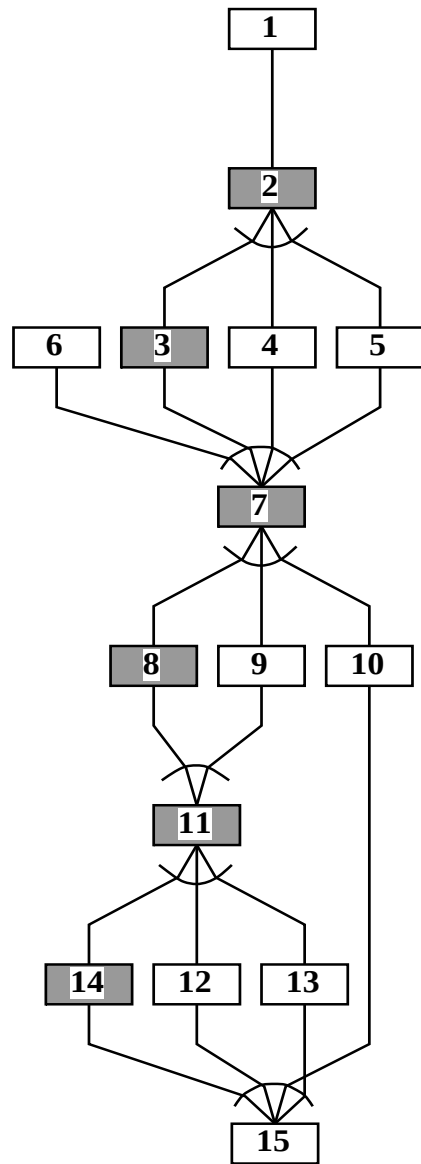
Data-Localization

Loop Aligned Decomposition

- Decompose multiple loop (Doall and Seq) into **CARs** and **LRs** considering inter-loop data dependence.
 - Most data in **LR** can be passed through LM.
 - LR**: Localizable Region, **CAR**: Commonly Accessed



Data Localization



PE0	PE1
12	1
2	3
6	7
4	14
8	18
15	5
19	9
25	11
29	10
13	16
17	20
22	26
21	30
23	24
27	28
	32
	31

A schedule for two processors

Data Layout for Removing Line Conflict Misses by Array Dimension Padding

Declaration part of arrays in spec95 swim

before padding

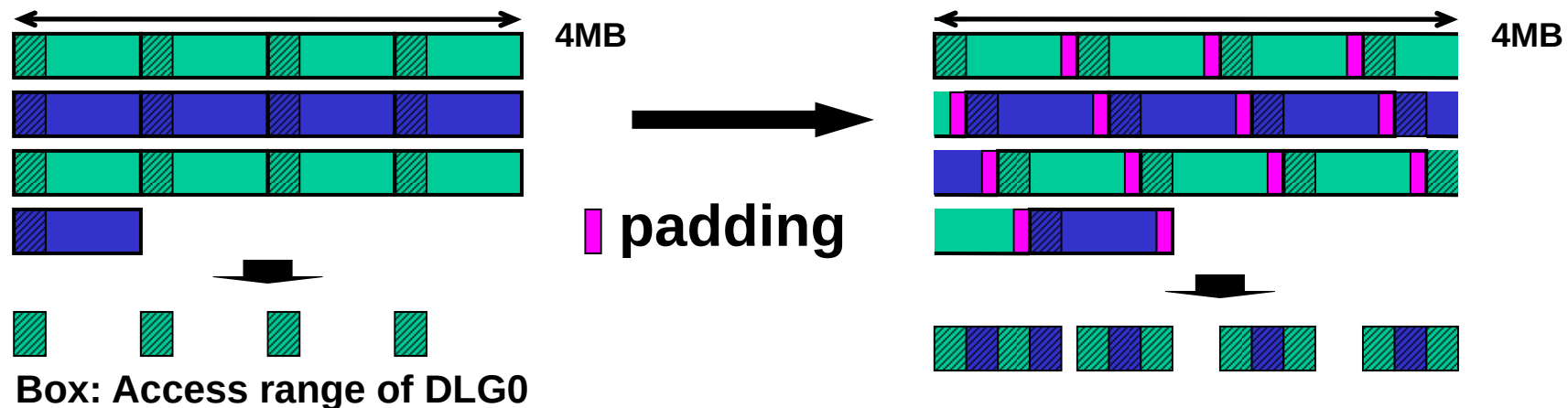
PARAMETER (N1=513, N2=513)

```
COMMON U(N1,N2), V(N1,N2), P(N1,N2),
*   UNEW(N1,N2), VNEW(N1,N2),
1   PNEW(N1,N2), UOLD(N1,N2),
*   VOLD(N1,N2), POLD(N1,N2),
2   CU(N1,N2), CV(N1,N2),
*   Z(N1,N2), H(N1,N2)
```

after padding

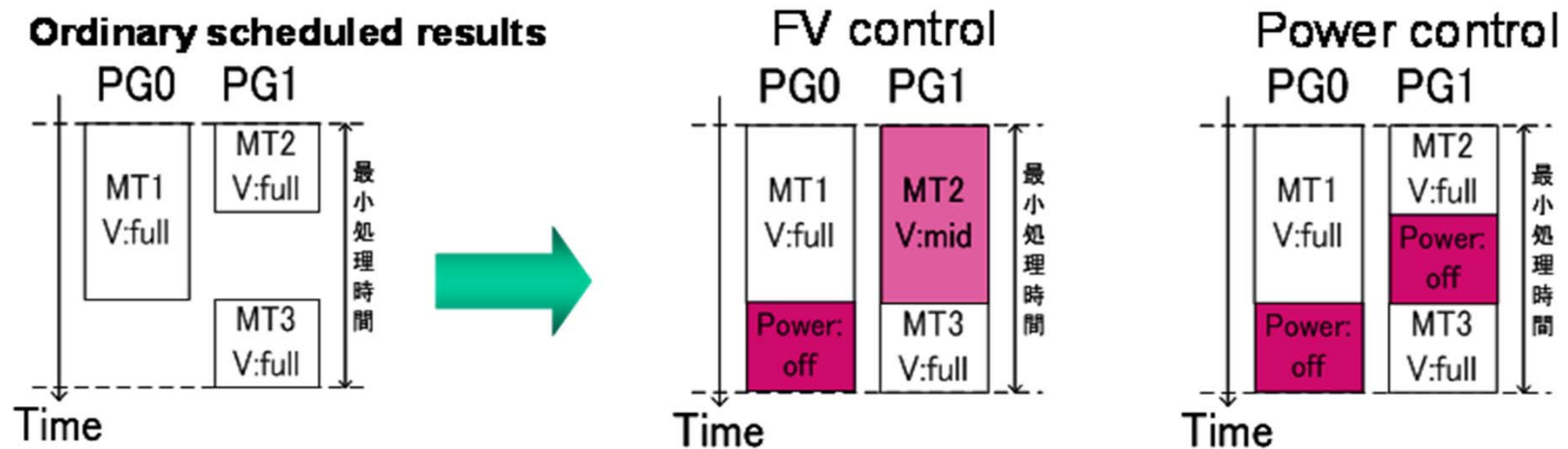
PARAMETER (N1=513, N2=544)

```
COMMON U(N1,N2), V(N1,N2), P(N1,N2),
*   UNEW(N1,N2), VNEW(N1,N2),
1   PNEW(N1,N2), UOLD(N1,N2),
*   VOLD(N1,N2), POLD(N1,N2),
2   CU(N1,N2), CV(N1,N2),
*   Z(N1,N2), H(N1,N2)
```

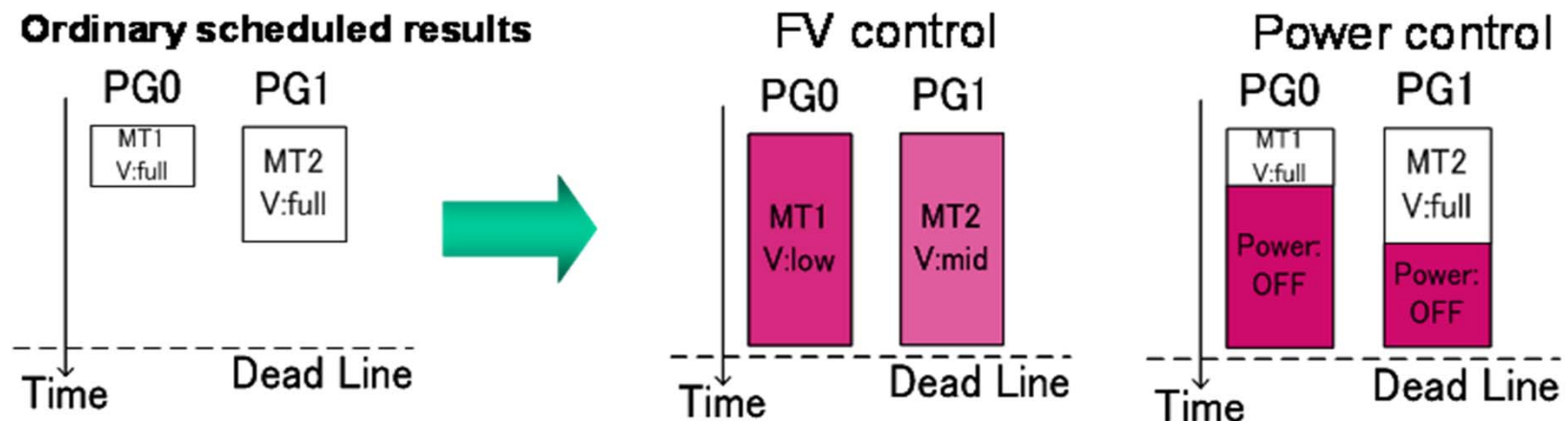


Power Reduction by Power Supply, Clock Frequency and Voltage Control by OSCAR Compiler

- Shortest execution time mode



- Realtime processing mode with dead line constraints



An Example of Machine Parameters for the Power Saving Scheme

- **Functions of the multiprocessor**

- Frequency of each proc. is changed to several levels
- Voltage is changed together with frequency
- Each proc. can be powered on/off

state	FULL	MID	LOW	OFF
frequency	1	1 / 2	1 / 4	0
voltage	1	0.87	0.71	0
dynamic energy	1	3 / 4	1 / 2	0
static power	1	1	1	0

- **State transition overhead (Example: not for RP2)**

state	FULL	MID	LOW	OFF
FULL	0	40k	40k	80k
MID	40k	0	40k	80k
LOW	40k	40k	0	80k
OFF	80k	80k	80k	0

delay time [u.t.]

state	FULL	MID	LOW	OFF
FULL	0	20	20	40
MID	20	0	20	40
LOW	20	20	0	40
OFF	40	40	40	0

energy overhead [μ J]

Power Reduction Scheduling

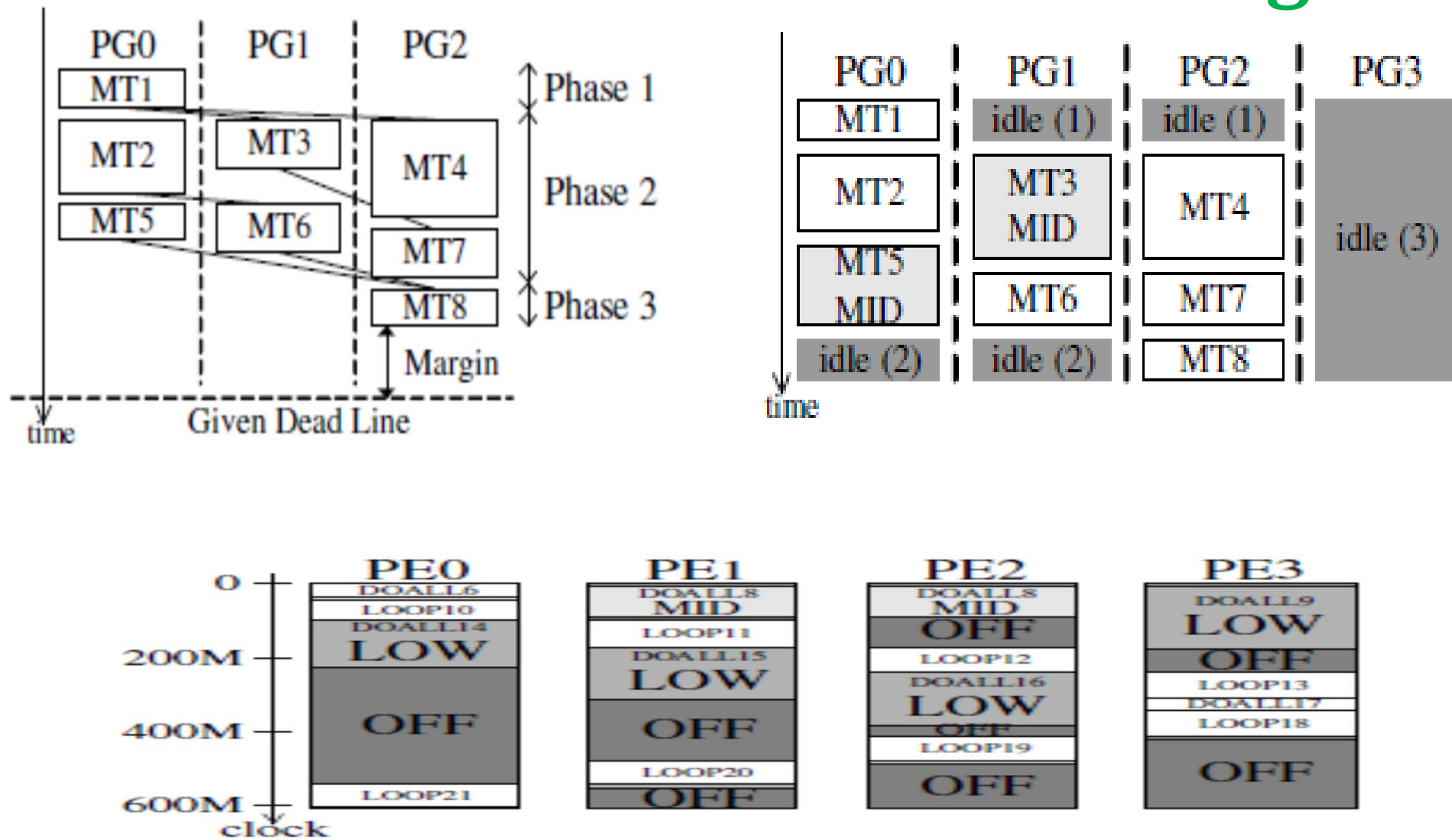
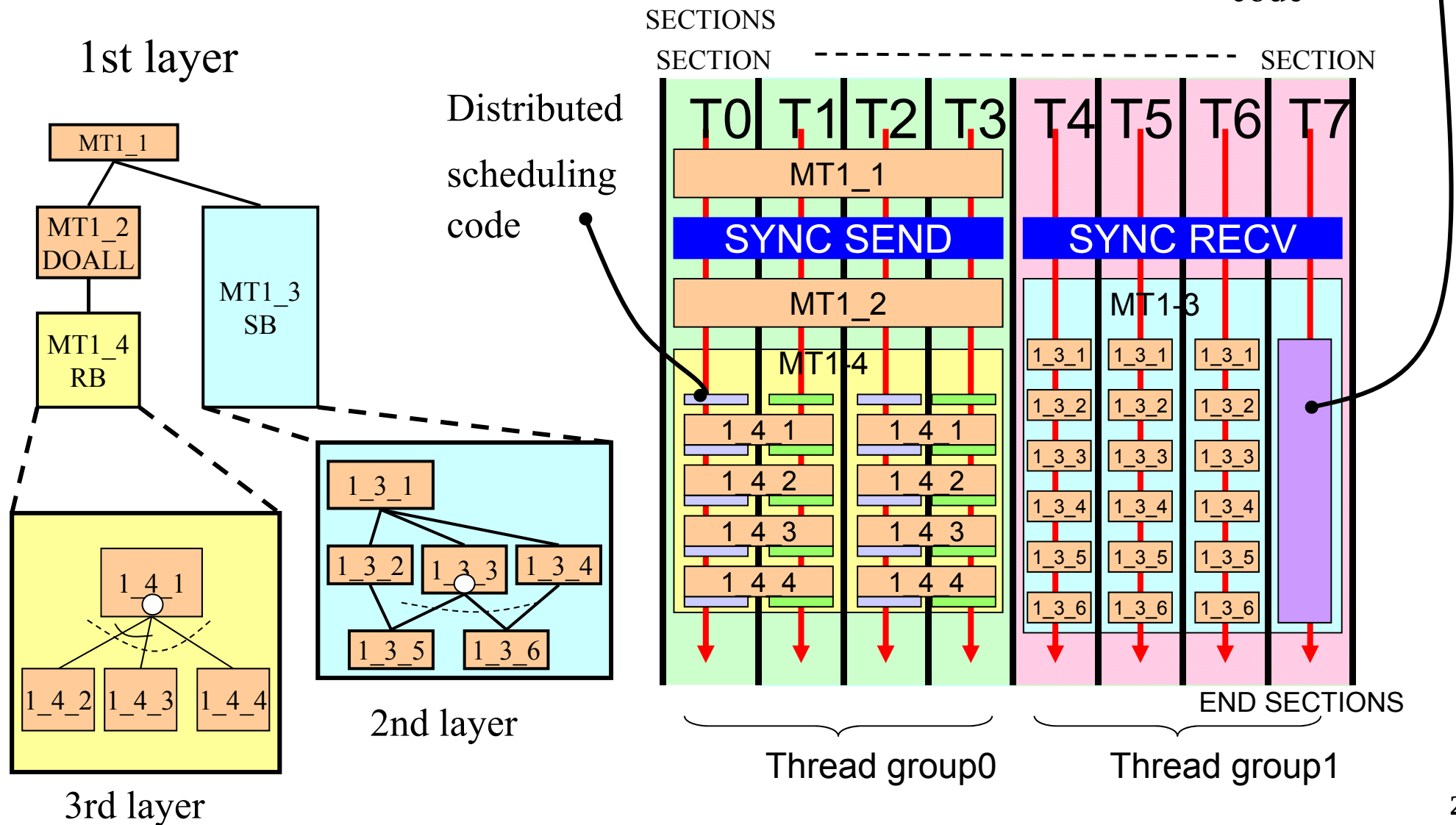


Fig. 6. V/F control of applu(4proc.)

OSCARコンパイラが自動生成するマルチコアAPI (OpenMP互換)利用、階層マルチグレイン 並列プログラムのイメージ



(ホモジニアス/ヘテロジニアス)マルチコア・メニーコア用プログラム開発

2012.4.25プレスリリース

API: Application Programming Interface

25件掲載

ホモジニアス/ヘテロジニアス
マルチコア及びメニーコア用OSCAR API

14社
3大学

逐次C or Fortran
アプリケーションプログラム
(情報家電,自動車,医療,科学技術計算)

タスク生成・変数のメモリ割当て・キャッシュ一貫性制御・
データ転送・同期・電力制御を指示する指示文(コメント文)集

ホモジニアス

ヘテロ

ユーザによる
手動並列化

アクセラータ用コンパイラ
あるいはユーザ指示

- アクセラータあるいはユーザが、アクセラータで実行可能プログラム部分あるいはライブラリとその実行時間等ヒント指示文として逐次プログラム中に追加

早稲田大学OSCAR
自動並列化コンパイラ

- プログラム全域からマルチグレイン並列性を抽出(粗粒度タスク並列含む)
- データ配置の最適化(分散共有・ローカルメモリ利用の自動最適化)
- DMAを用いたデータ転送
- 周波数/電圧/電源制御低消費電力化

並列化API
C or Fプログラム

Proc0

指示文
用プログラム

Proc1

指示文
用プログラム

⋮

アクセラレータA
用プログラム

アクセラレータB
用プログラム

⋮

ホモジニアス用低電力
並列マシンコード生成

API
解釈系

既存逐次コ
ンパイラ

ヘテロジニアス用低電力
並列マシンコード生成

API
解釈系
(早稲田大
学より無料
配布)

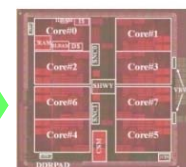
既存逐次コ
ンパイラ

アクセラレー
タ用コンパイ
ラ/ライブラリ

⋮

サーバ用コード生成

市販OpenMP
コンパイラ



ホモジニアス
マルチコア/
メニーコアチップ
(共有メモリサーバ)



ヘテロジニアス
マルチ
コアチップ

⋮



共有メモリマルチ
プロセッササーバ

逐次コンパイラで各社チップ用並列コード作成可能

OSCAR API v2.0の指示文一覧

Fortran & C 用の22個の指示文+2ヒント指示文

▶ 並列実行API

- ▶ **parallel sections (*)**
- ▶ **flush (*)**
- ▶ **critical (*)**
- ▶ **execution**

▶ メモリ配置API

- ▶ **threadprivate (*)**
- ▶ **distributedshared**
- ▶ **onchipshared**

▶ 同期API

- ▶ **groupbarrier**

▶ 電力制御API

- ▶ **fvcontrol**
- ▶ **get_fvstatus**

▶ タイマーAPI

- ▶ **get_current_time**

▶ データ転送API

- ▶ **dma_transfer**
- ▶ **dma_contiguous_parameter**
- ▶ **dma_stride_parameter**
- ▶ **dma_flag_check**
- ▶ **dma_flag_send**

▶ アクセラレータAPI

- ▶ **accelerator_task_entry**

▶ キャッシュ制御API

- ▶ **cache_writeback**
- ▶ **cache_selfinvalidate**
- ▶ **complete_memop**
- ▶ **noncacheable**
- ▶ **aligncache**

◆ ヒント指示文

- ▶ **accelerator_task**
- ▶ **oscar_comment**

(*) **OpenMP指示文**

OSCAR: Optimally Scheduled Advanced Multiprocessor

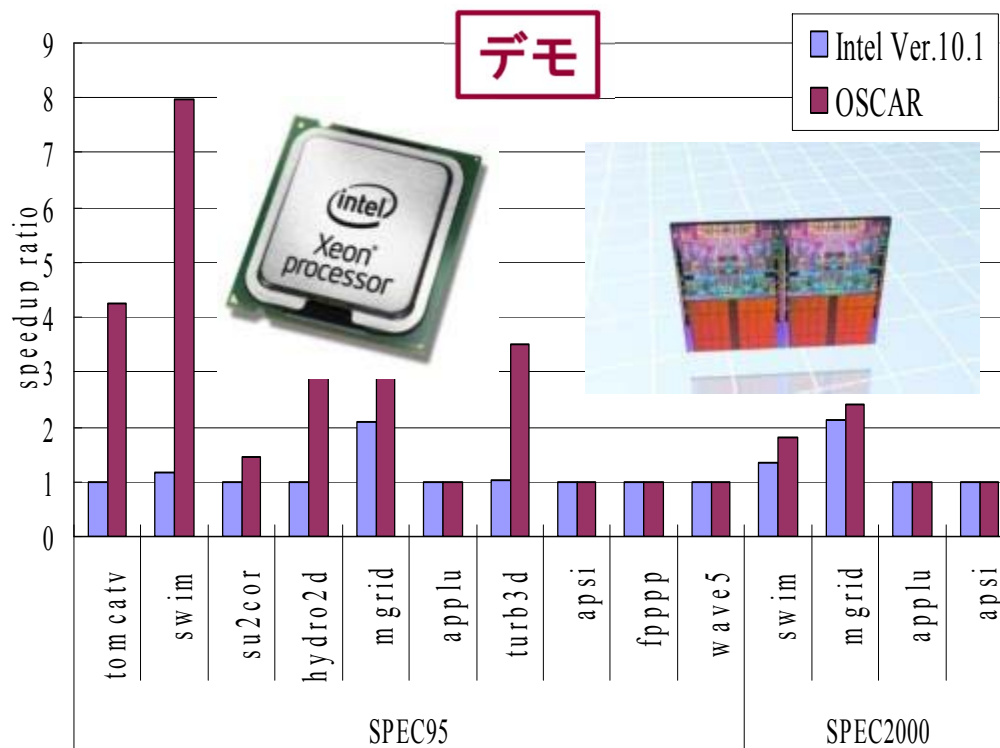
現状：世界最高性能のOSCARコンパイラの性能

インテル・IBMマルチコアサーバ上でそれぞれ2倍・3倍以上の高速化

インテル クアッドコアXeonプロセッサ上での 早稲田大学 OSCARコンパイラの性能

インテル・マルチコア上で
インテルコンパイラに比べ

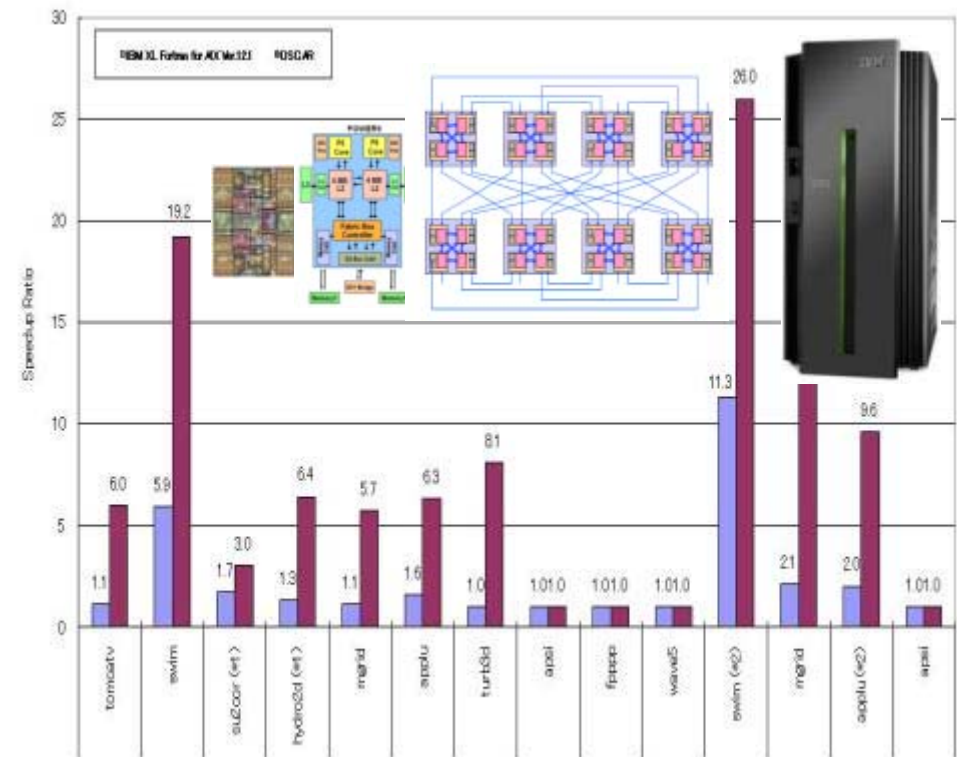
2.1 倍速度向上



IBM p6 595 Power6 (4.2GHz) ベース 32コア SMP サーバ上での早稲田大学OSCARコンパイラの性能

IBM最新サーバ上で
IBMコンパイラに比べ

3.3 倍速度向上

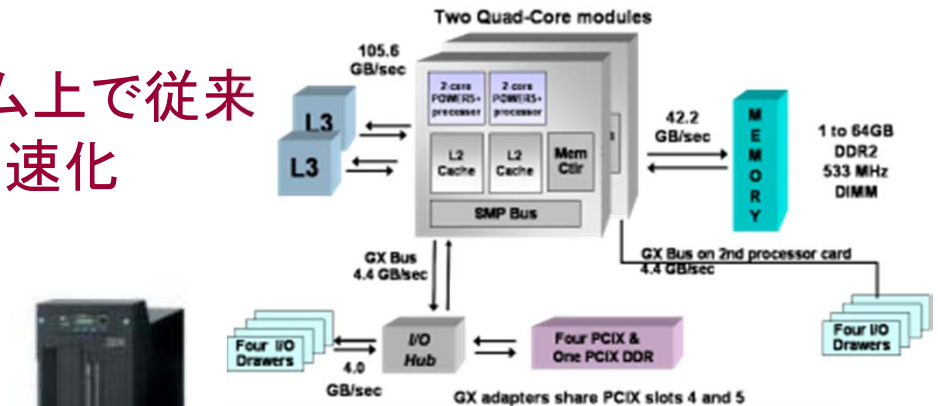
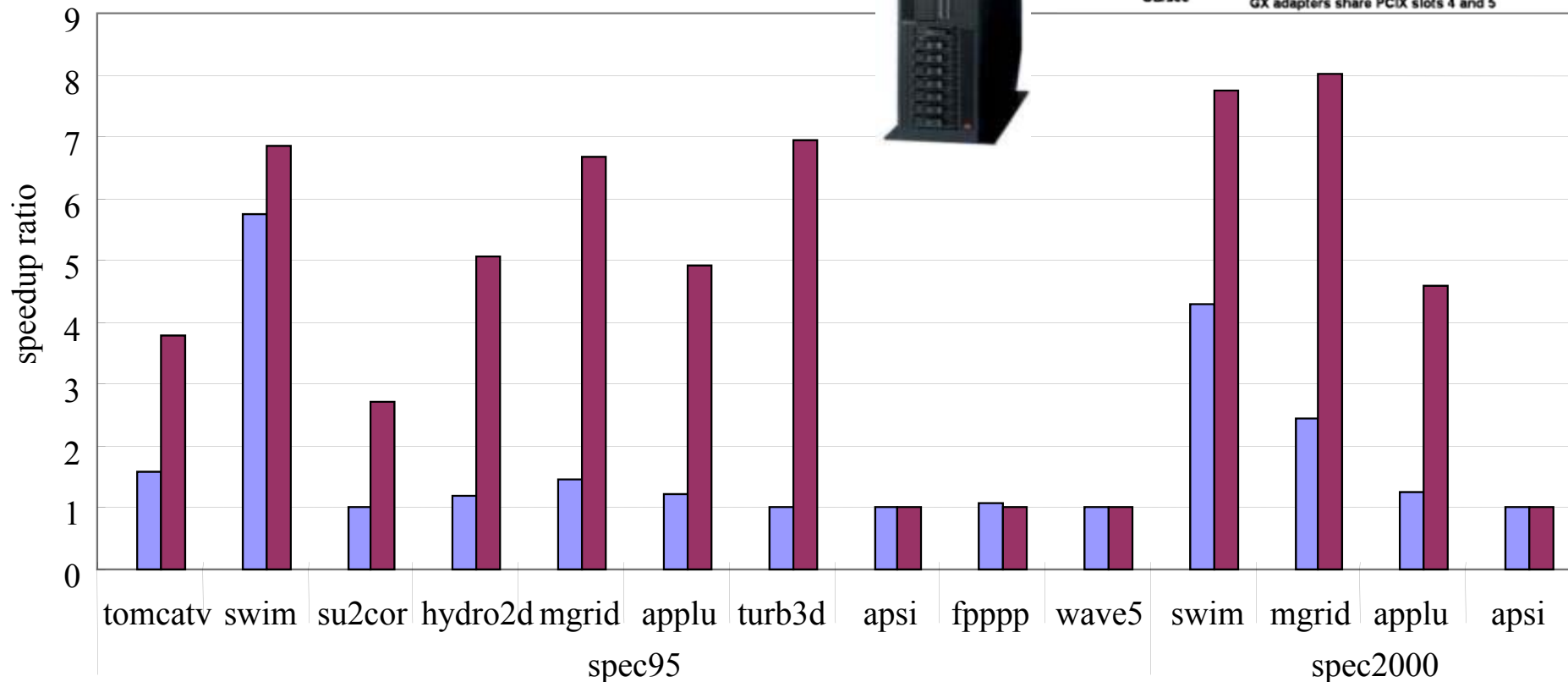


IBMサーバp550q上でのOSCAR並列化コンパイラの性能

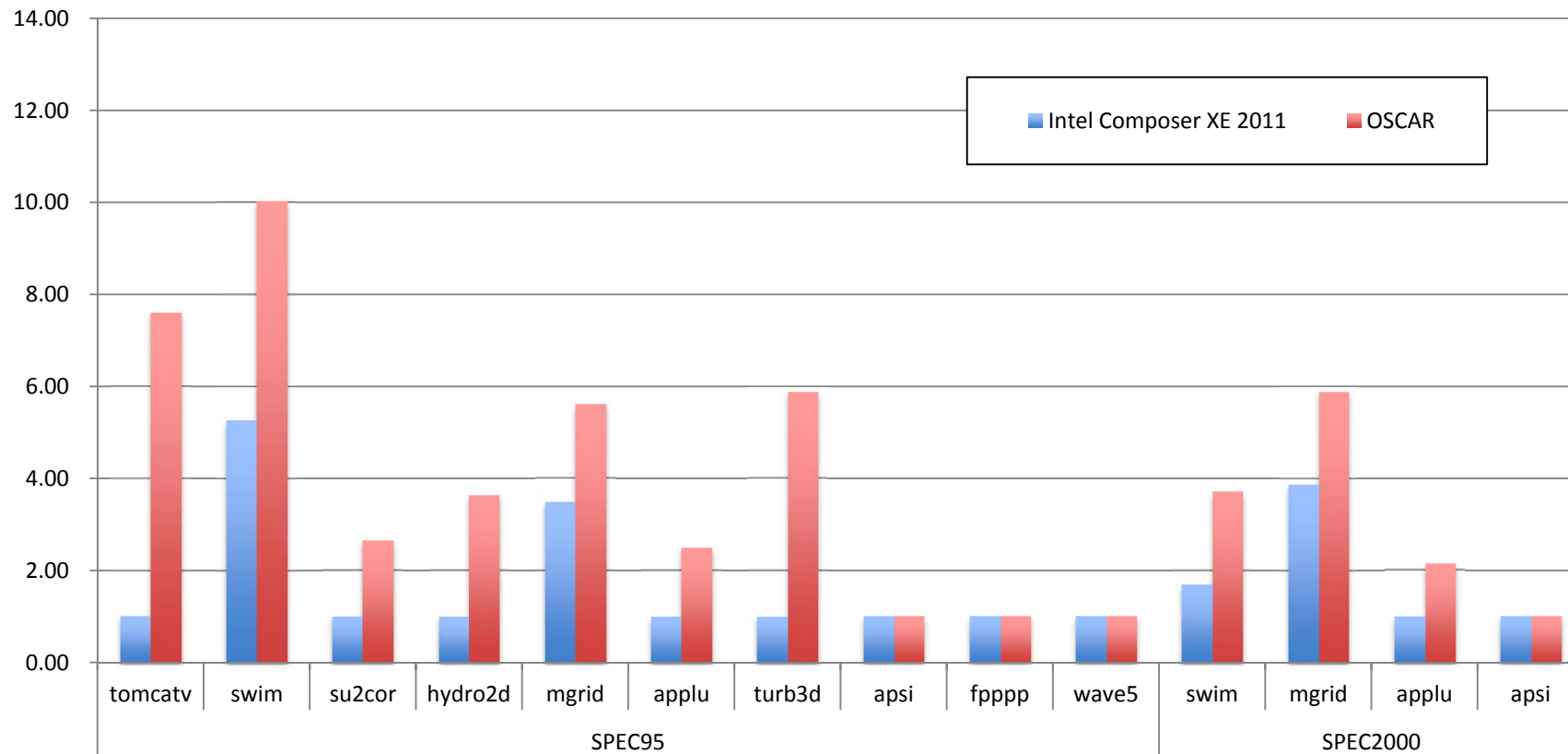
8プロセッサコア・マルチプロセッサシステム上で従来の
ループ並列化に対し、2.7倍の高速化

デモ

- ループ並列化
- マルチグレイン並列化

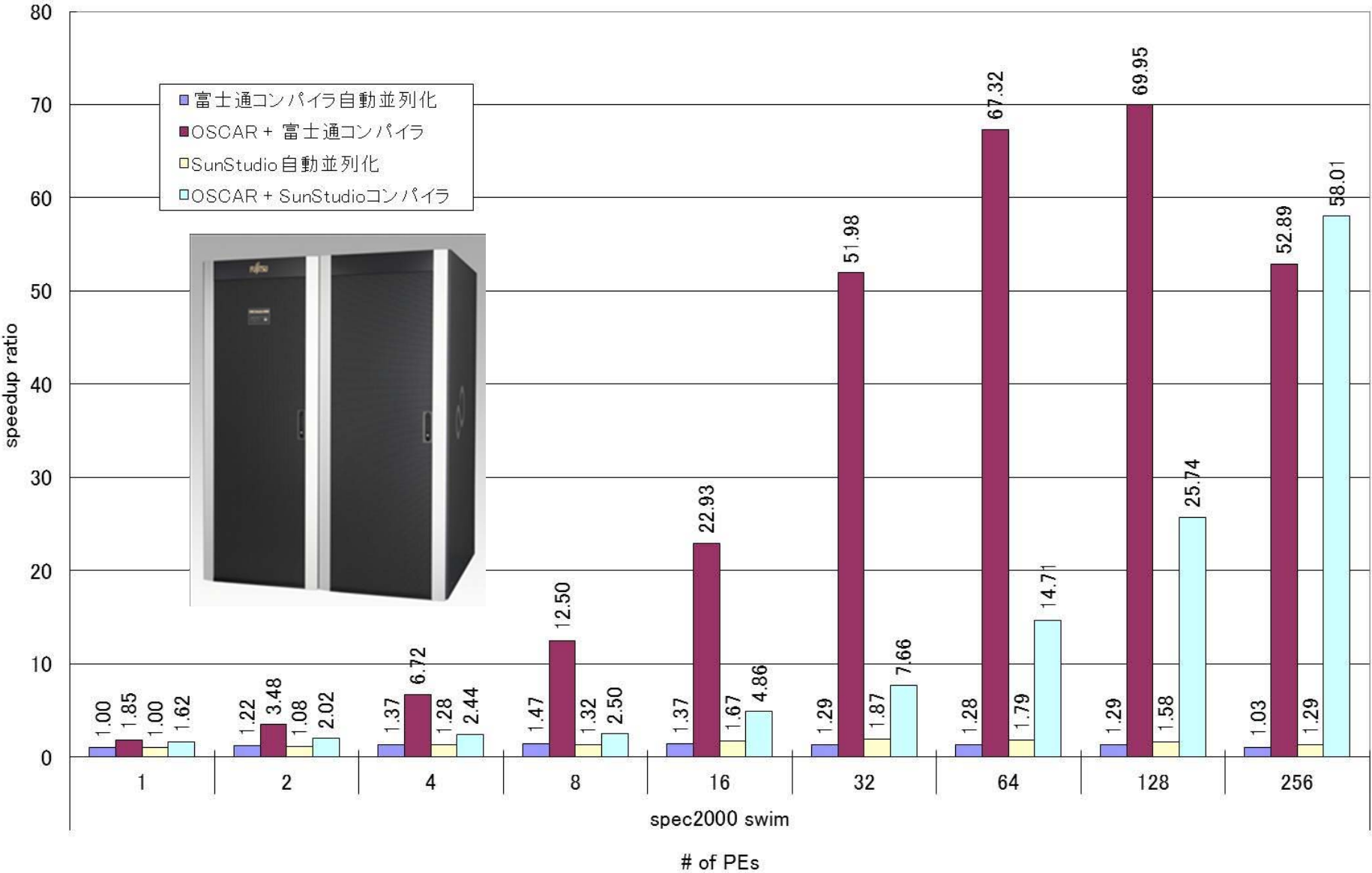


Performance of OSCAR Compiler on AMD 12-core SMP Based on Opteron 6174

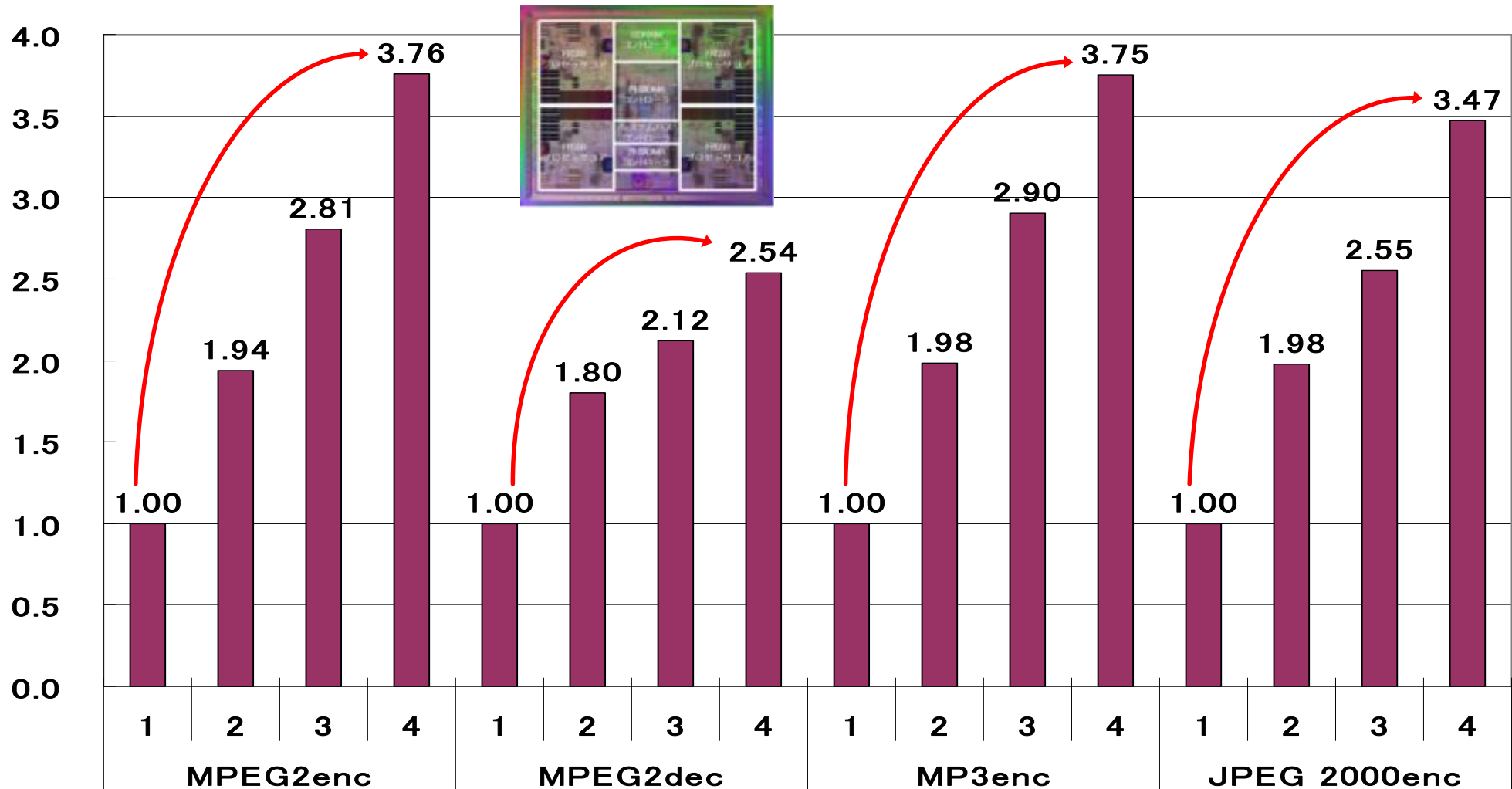


- OSCAR Compiler gives us 2.2 times speedup on the average against Intel Composer XE 2011

富士通M9000サーバ上での並列化コンパイラ研究開発状況

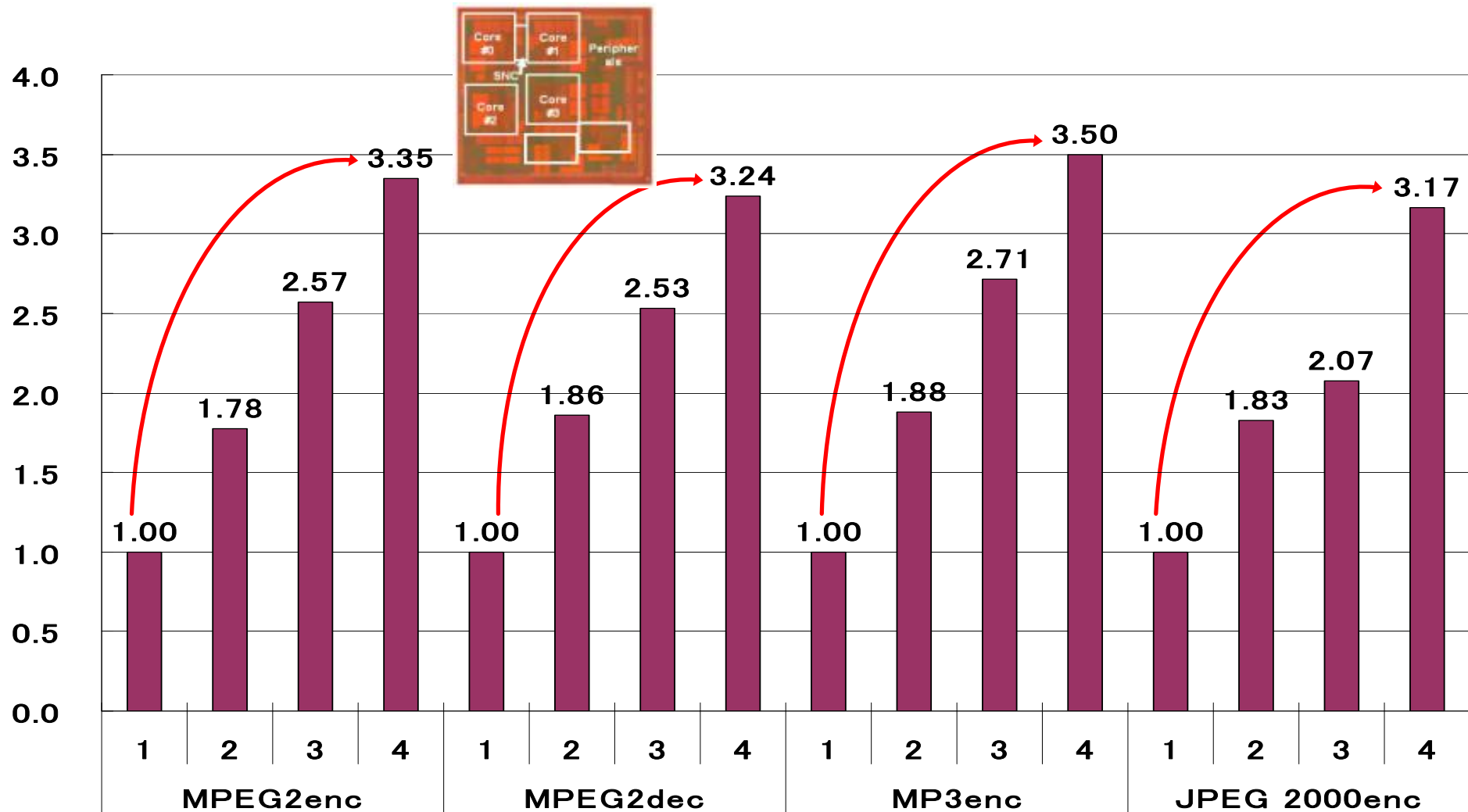


Performance of OSCAR Compiler Using the multicore API on Fujitsu FR1000 Multicore



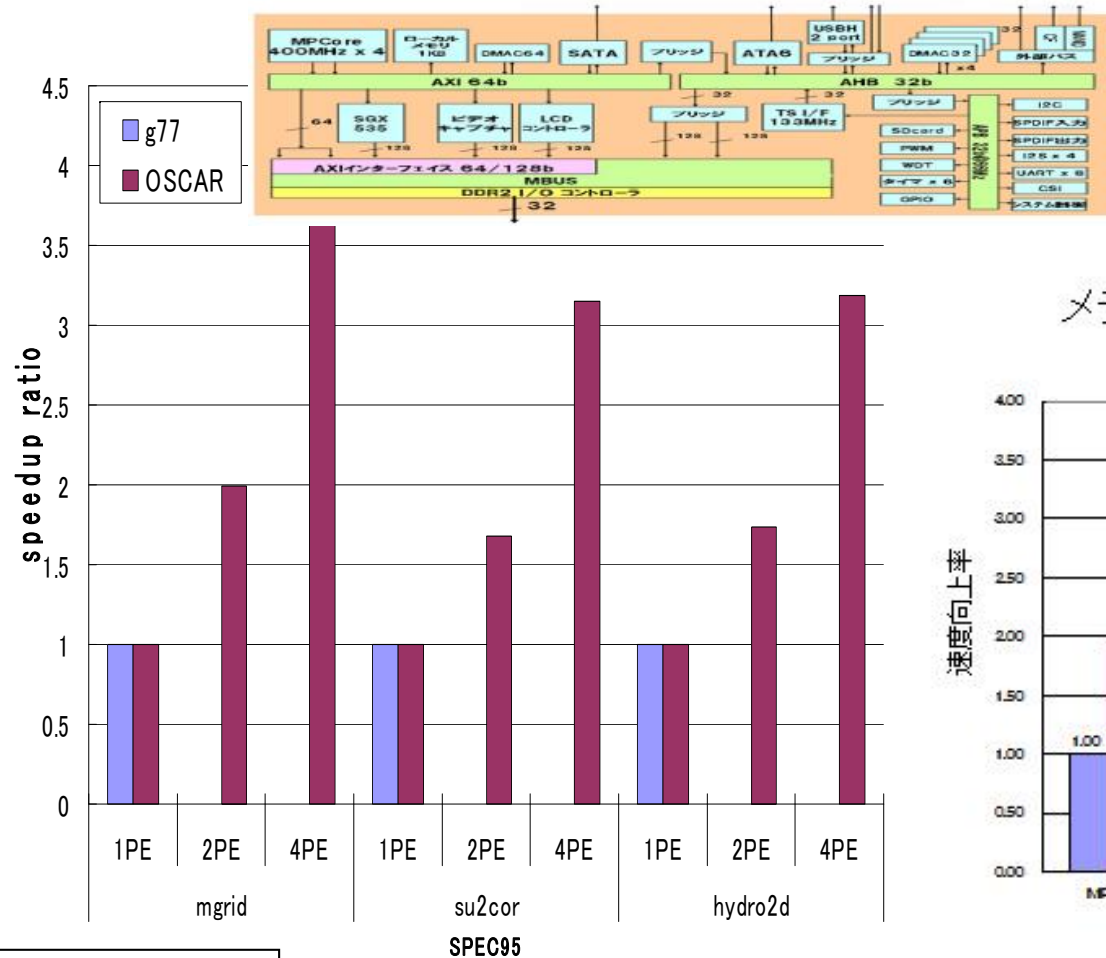
3.38 times speedup on the average for 4 cores against
a single core execution

Performance of OSCAR Compiler Using the Developed API on 4 core (SH4A) OSCAR Type Multicore

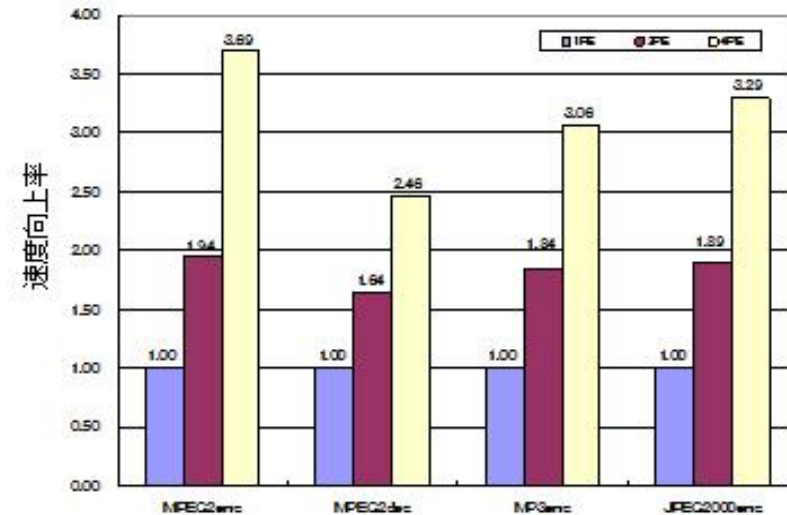


3.31 times speedup on the average for 4cores against 1core

Performance of OSCAR compiler on NEC NaviEngine(ARM-NEC MPcore)



NaviEngine上での
メディアアプリケーションによる
OSCARコンパイラ評価



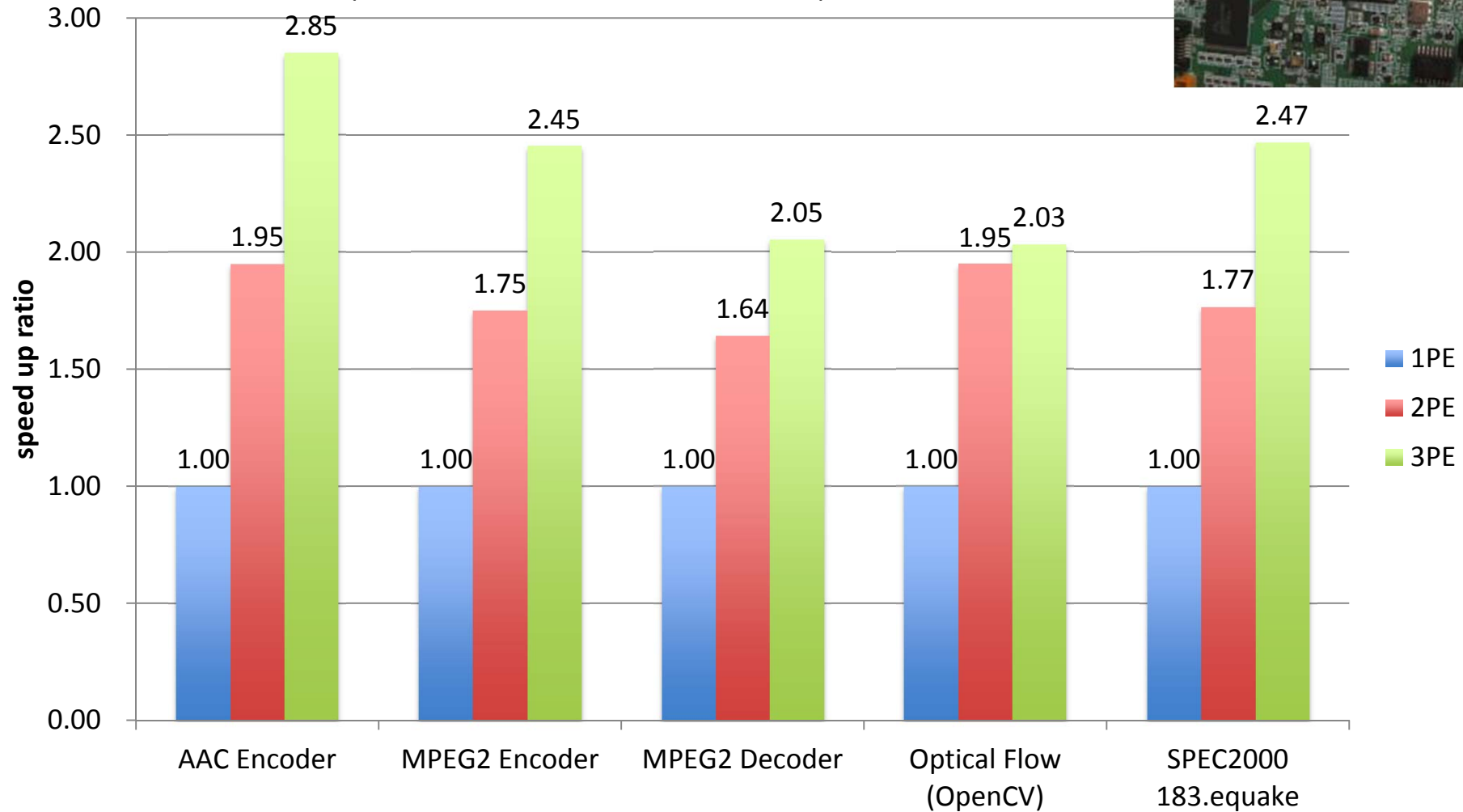
※4プロセッサで、平均3.13倍の速度向上率

- OSCAR compiler gave us 3.43 times speedup against 1 core for Fortran and 3.13 for C on ARM/NEC MPCore with 4 ARM 400MHz cores

3コア NaviEngine リアルタイムOS eT-Kernel Multi-Core Edition上での OSCAR APIを用いた並列処理性能

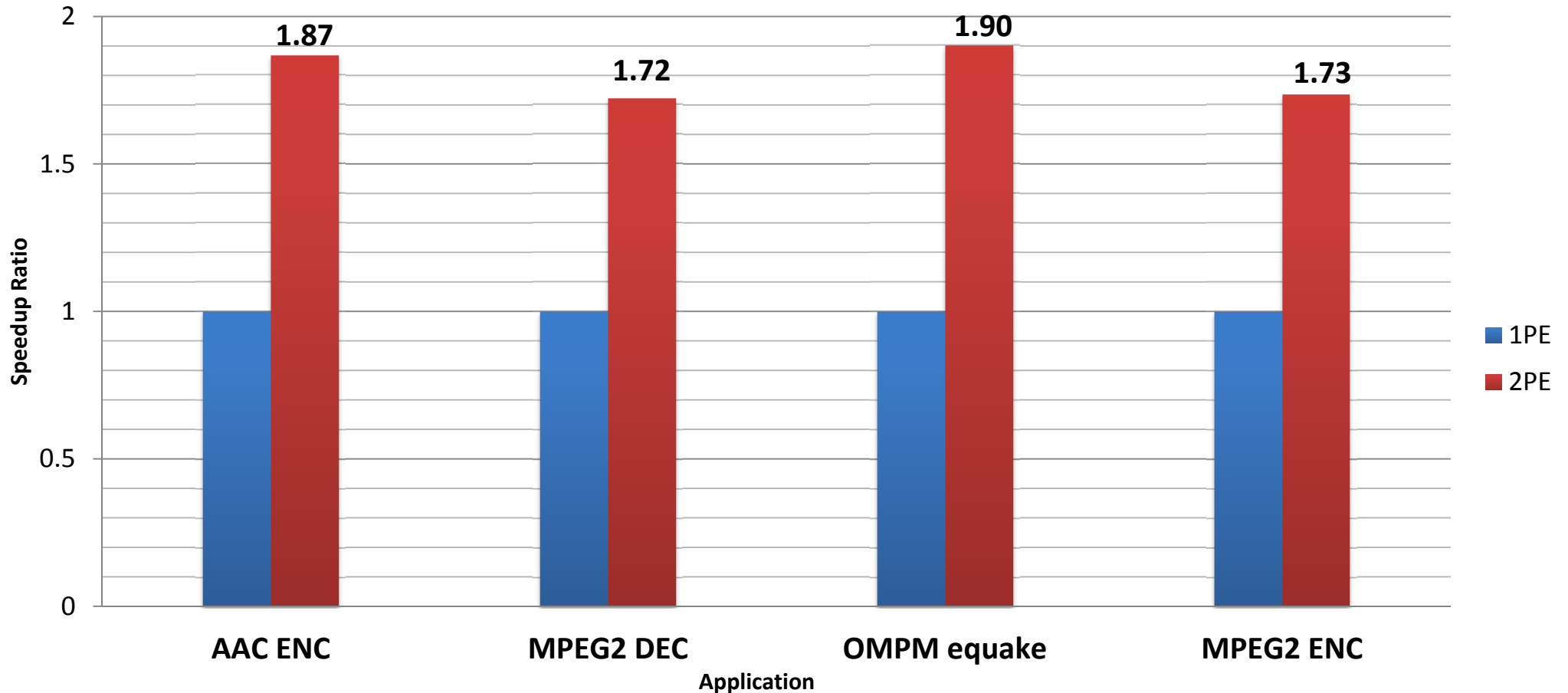


NaviEngine (ARM11 MPCore) 400MHz 3 core SMP
(Renesas Electronics EC-4260)



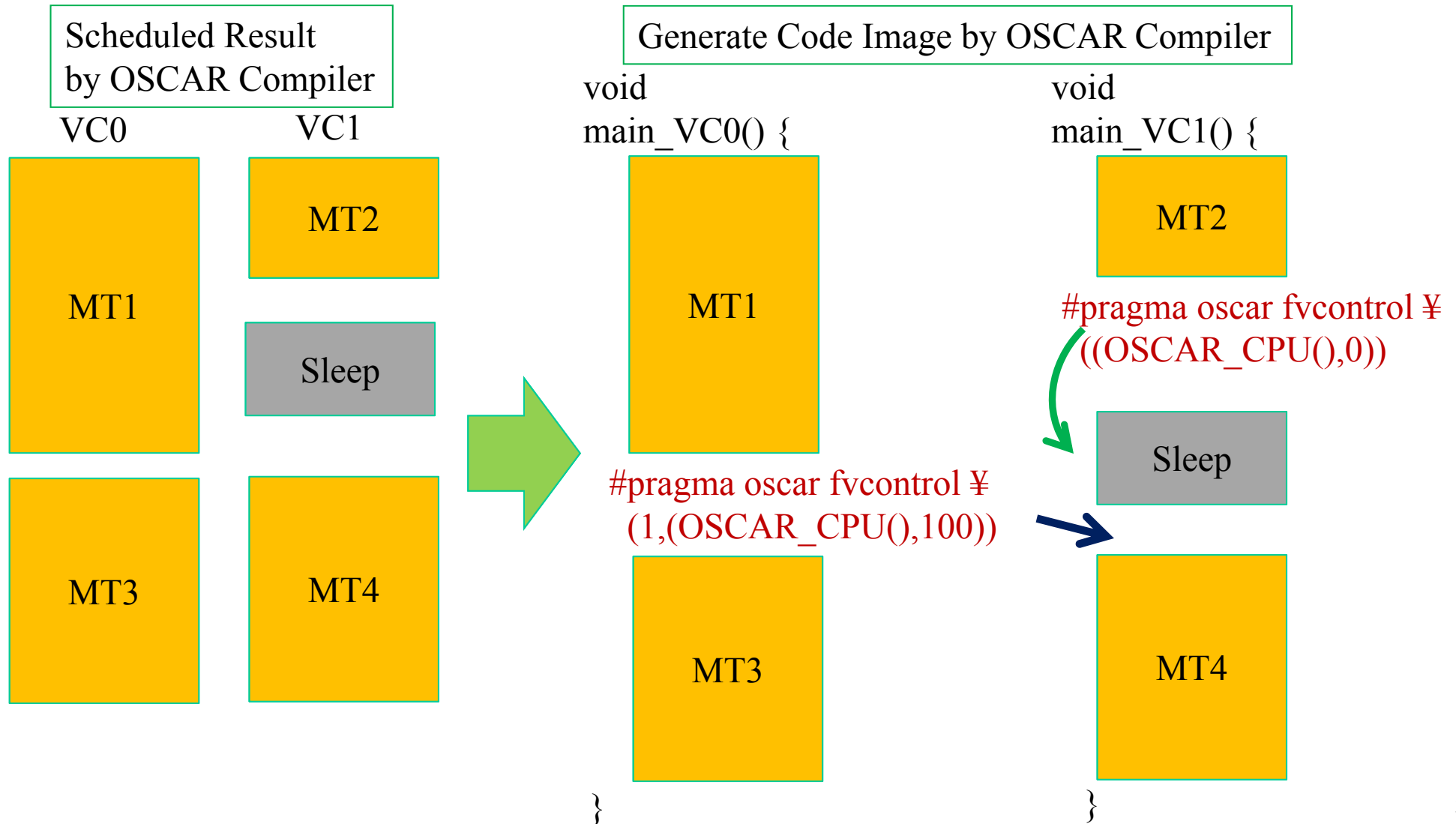
- 3コアで1コアに比べ平均2.37倍の速度向上

Performance of OSCAR Compiler & API on 2 ARMv7-cores Qualcomm MSM8960 Android 4.0 for Smart Phones



1.81 times speedup by 2 cores on the average against 1 core

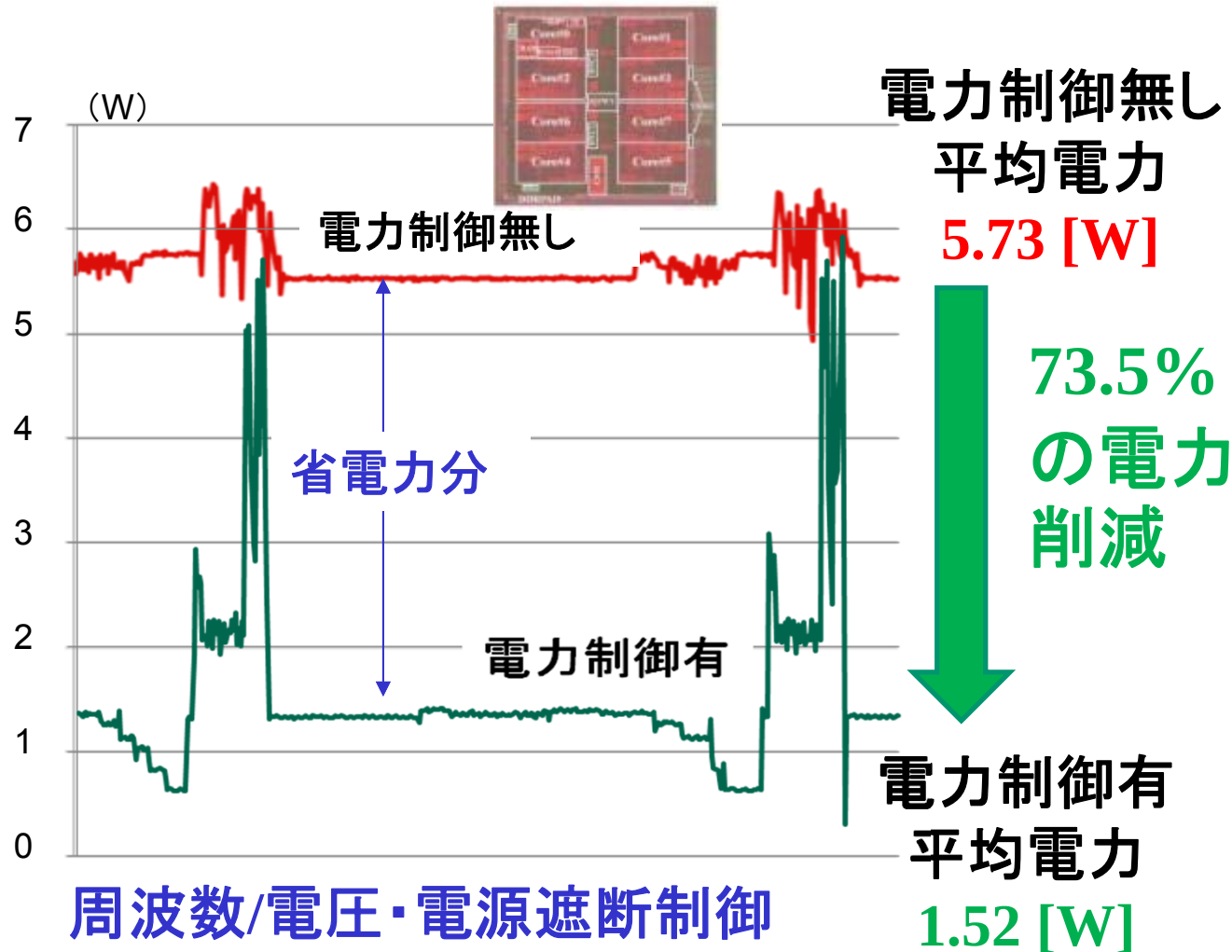
Low-Power Optimization with OSCAR API



デモ

リアルタイムMPEG2デコードを、8コアホモジニアスマルチコアRP2上で、消費電力1/4に削減

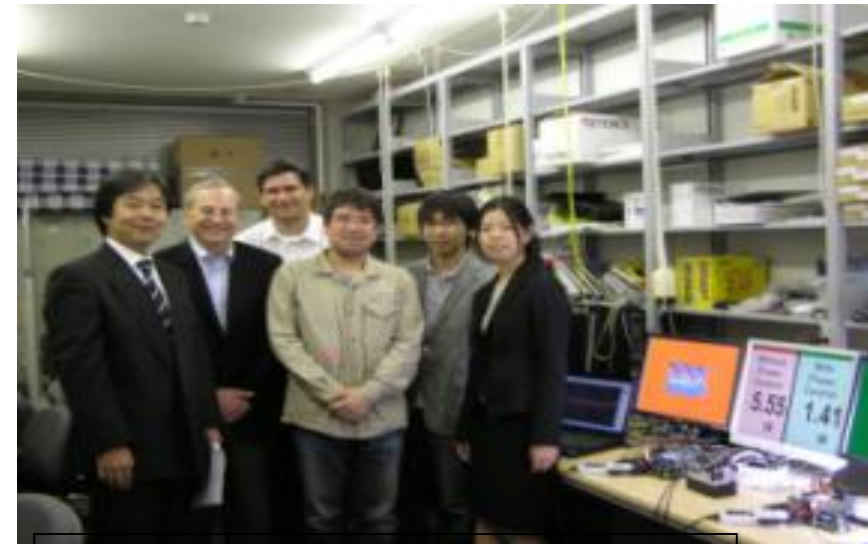
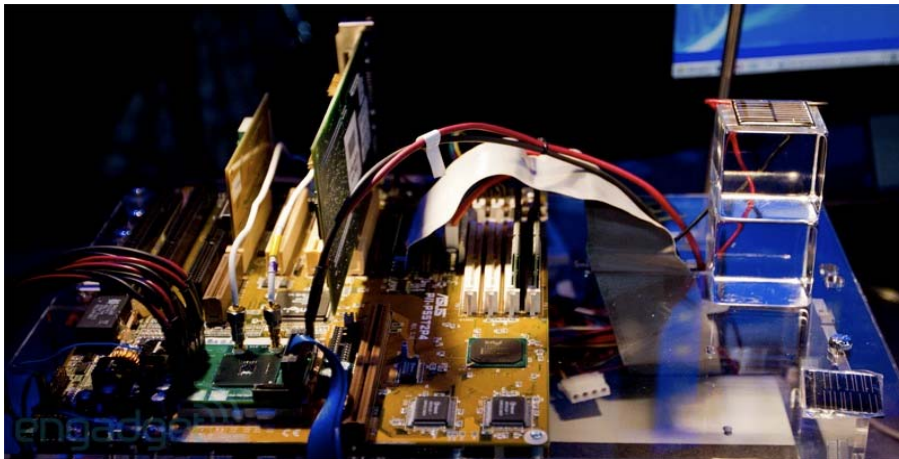
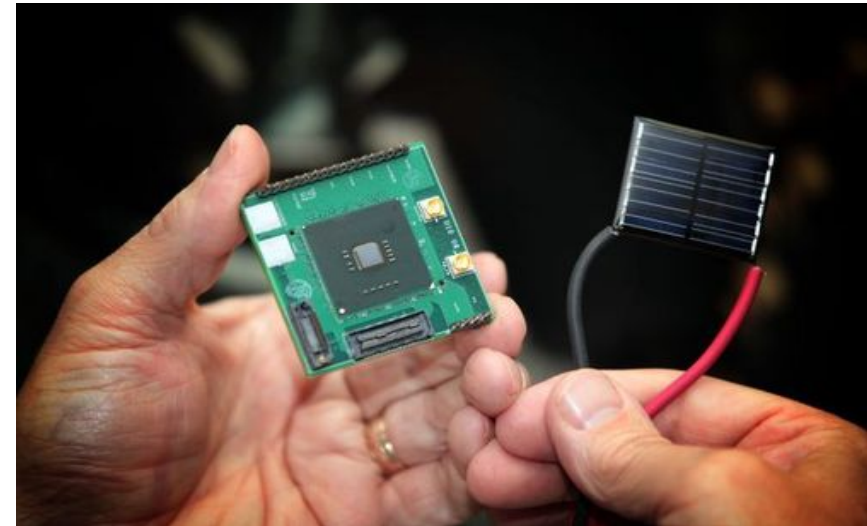
NEDOプロジェクトで開発した低消費電力マルチコア(8コア)上でのマルチメディア処理



太陽電池で駆動可



Intel Stamp Size Solar Powered Processor “Claremont” Announced in Intel IDF 2011 September 13 “Haswell” on Market in 2013

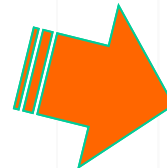


インテル 副社長 CTO Dr. Justin Rattner

OSCAR APIのヘテロジニアスマルチコアへの拡張

特定処理の高速かつ
低消費電力な処理への要求

- スマートフォン
- カメラ
- クラウドサーバ
- スパコン



ヘテロジニアスなコア構成の
マルチコア

- 汎用コア＋アクセラレータ
 - リコンフィギャラブルコア(DRP)、
グラフィクスアクセラレータ(GPU)等
- 電力あたりの処理能力の向上
- プログラム開発が難しい
- アクセラレータとのデータ転送遅い



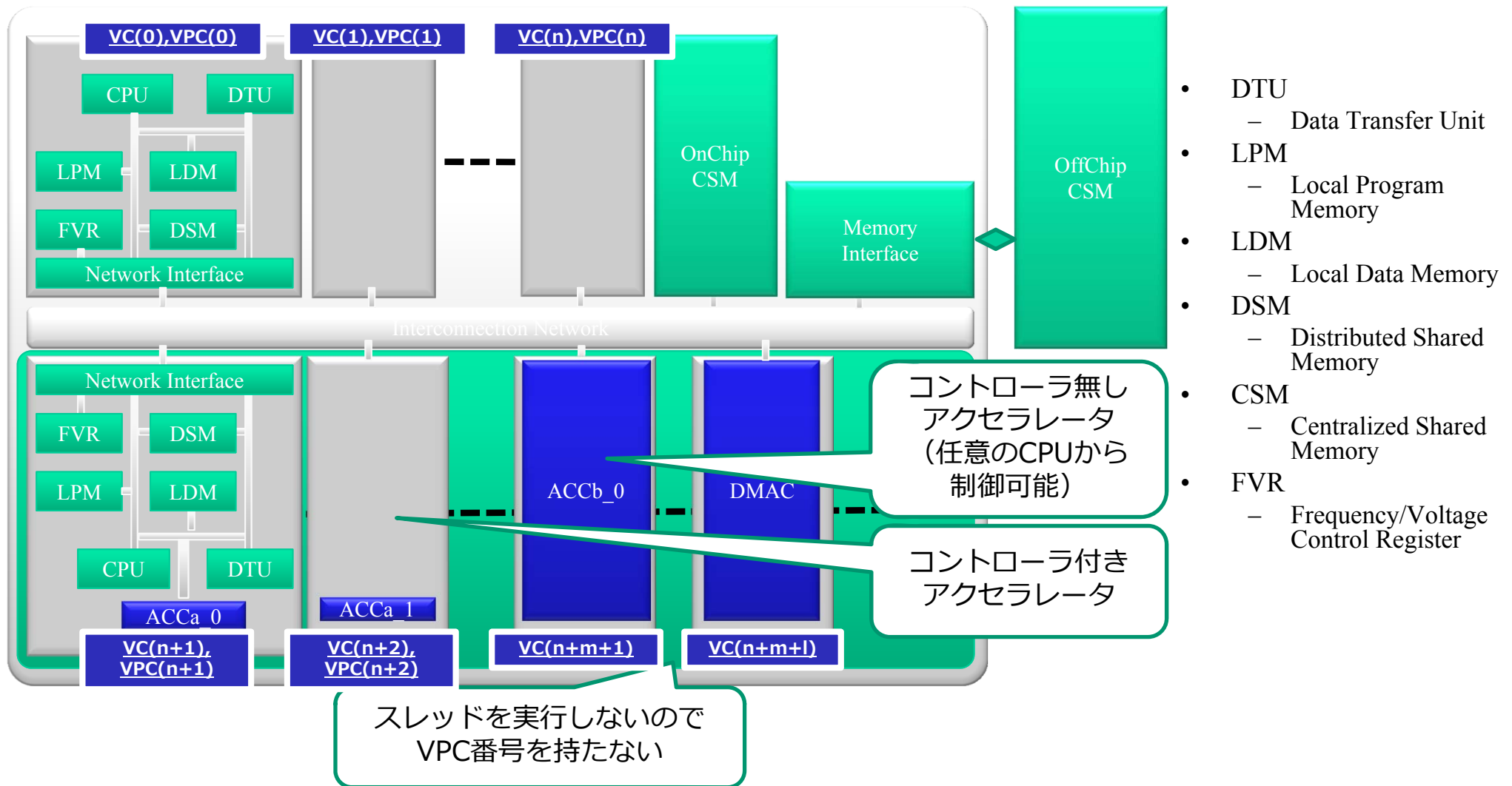
OSCAR APIの
ヘテロジニアスマルチコアへの拡張

- アクセラレータコアの制御

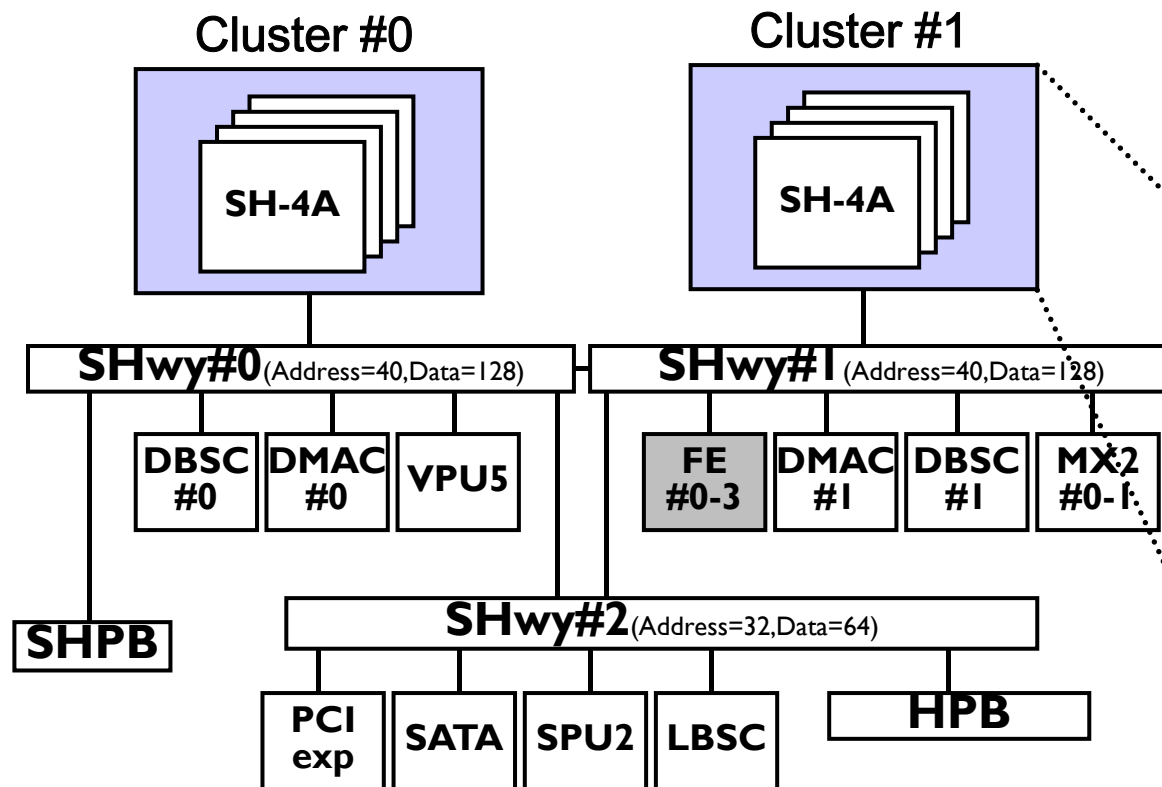
OSCAR API Version 2.0で並列プログラムの作成が可能な

ヘテロジニアス&ホモジニアスマルチコアアーキテクチャ

汎用コア+アクセラレータ(ベクター/SIMD/GPU等),メニーコア(ノンコヒーレント可)

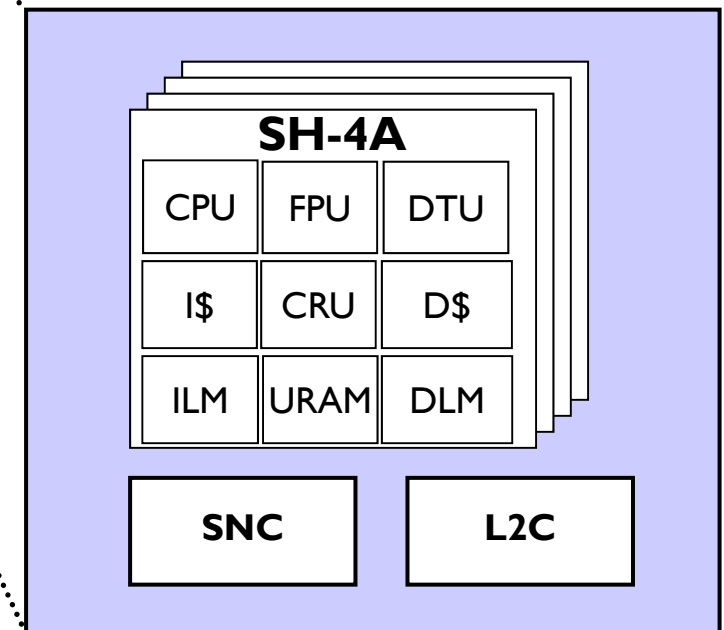
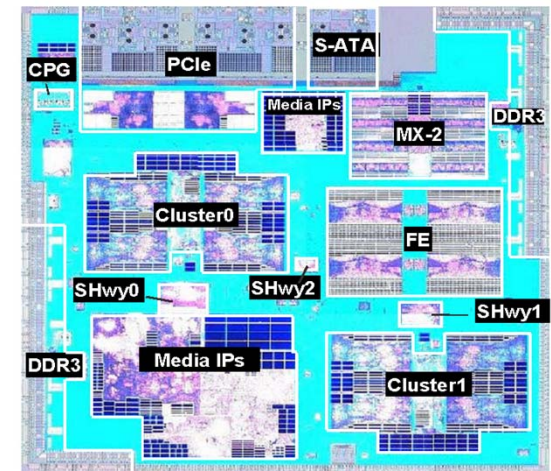


15コアヘテロジニアスマルチコアRP-X

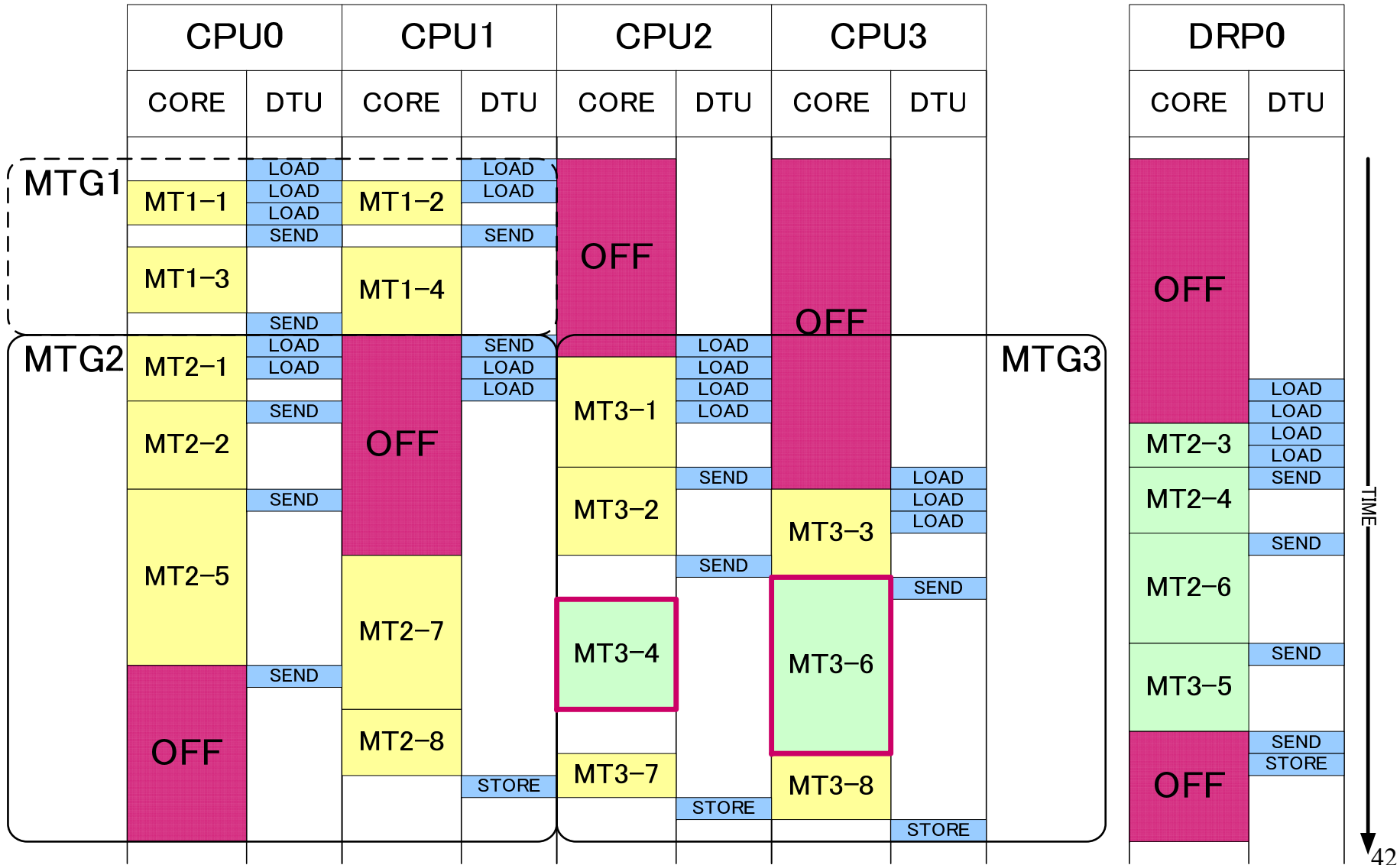


Y.Yuyama, et al., "A 45nm 37.3GOPS/W Heterogeneous Multi-Core SoC", ISSCC2010

ルネサステクノロジ・日立・東工大・早稲田により開発

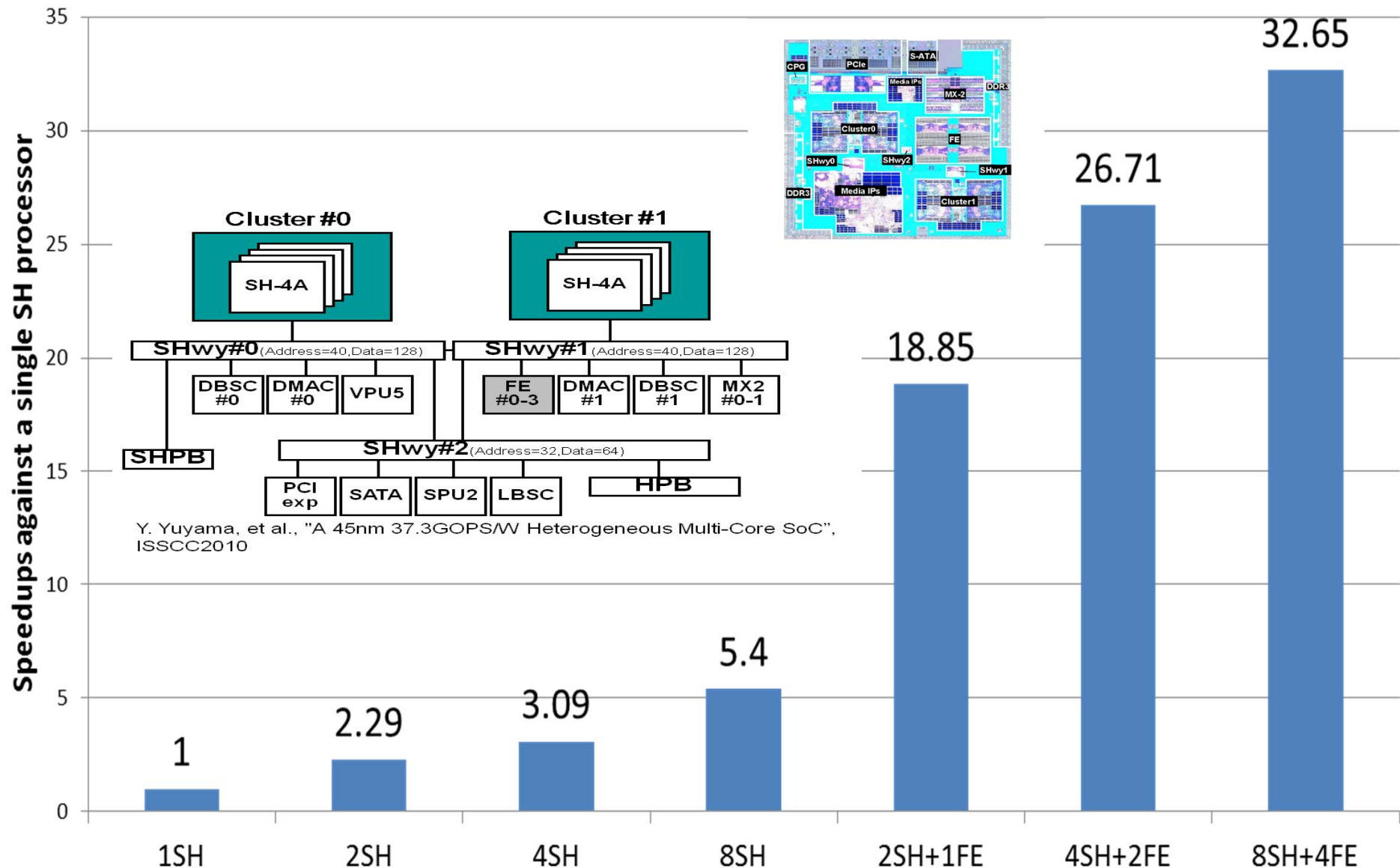


An Image of Static Schedule for Heterogeneous Multi-core with Data Transfer Overlapping and Power Control



デモ

RPX上でのオプティカルフロー計算において、8つのSH4Aプロセッサと4つのアクセラレータFEGA(動的再構成可能プロセッサ)利用時に逐次に比べ33倍高速化



デモ

RPX上で、リアルタイムオプティカルフロー 計算の消費電力を1/3に削減

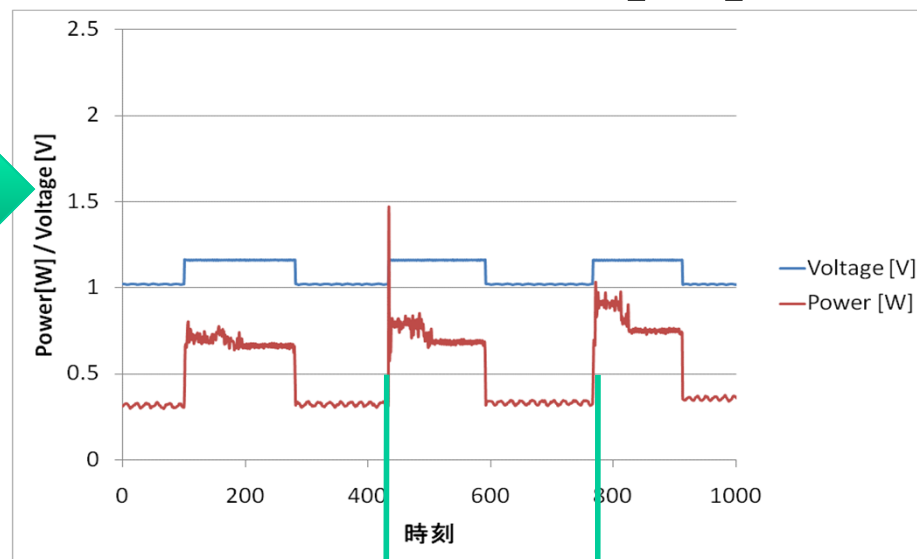
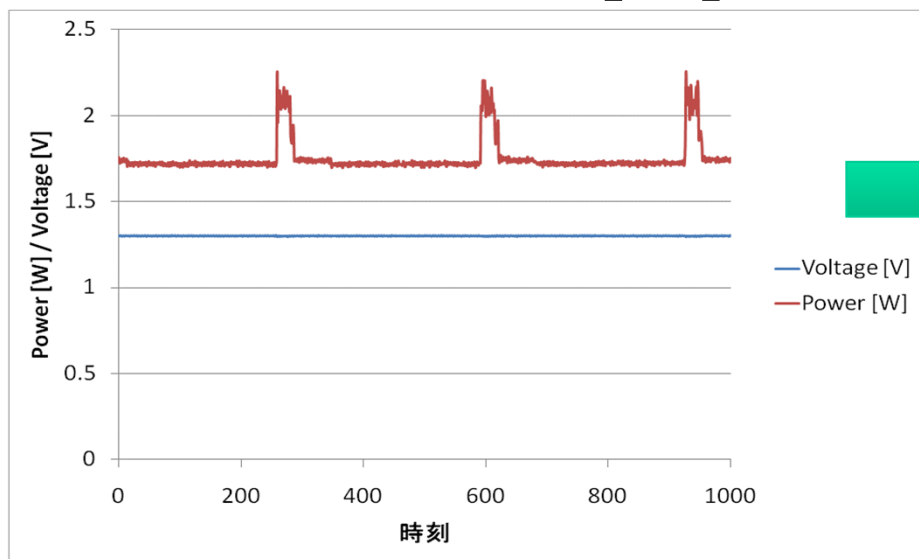
コンパイラ制御なし

コンパイラ制御適用

およそ70[%]の電力削減

平均1.76[W]

平均0.54[W]

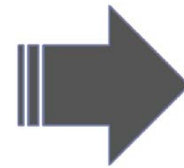


1周期 : 33[ms]
→30[fps]

OSCAR APIのメニーコアキャッシュ制御への拡張

コヒーレントキャッシュ

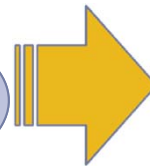
- 現在のマルチコアの標準的なキャッシュ構成
- コア(キャッシュ)間データの整合性はハードウェアが維持



組込用には
ハードウェア重く
コスト高



メニーコアでは、ハードウェアが複雑でコア数に限界・コスト高・電力消費大



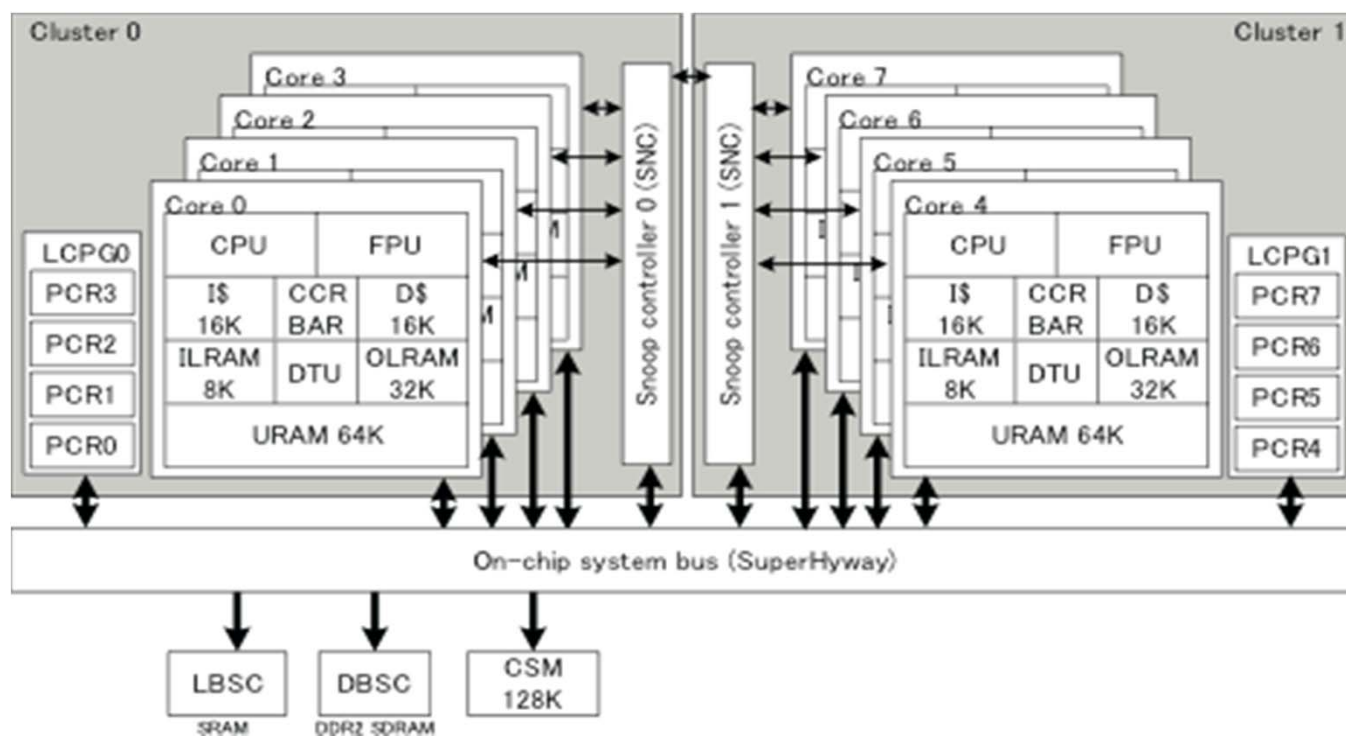
ソフトウェア制御キャッシュ

- ハードウェアシンプル
- 低コスト
- ハードウェア制限なくコア数を増やせる:メニーコア

OSCAR APIにキャッシュ制御のための仕様を拡張

メニーコアに向けたソフトウェアキャッシュコヒーレンス制御 評価環境

ルネサス/日立/早大 RP2 (SH-4Aコアを8コア集積)



Process Technology	90nm, 8-layer, triple-Vth, CMOS
Chip Size	104.8mm ² (10.61mm x 9.88mm)
CPU Core Size	6.6mm ² (3.36mm x 1.96mm)
Supply Voltage	1.0V–1.4V (internal), 1.8/3.3V (I/O)
Clock frequency	600MHz, 300MHz, 150MHz, 75MHz
Power Domains	17 (8 CPUs, 8 URAMs, common)

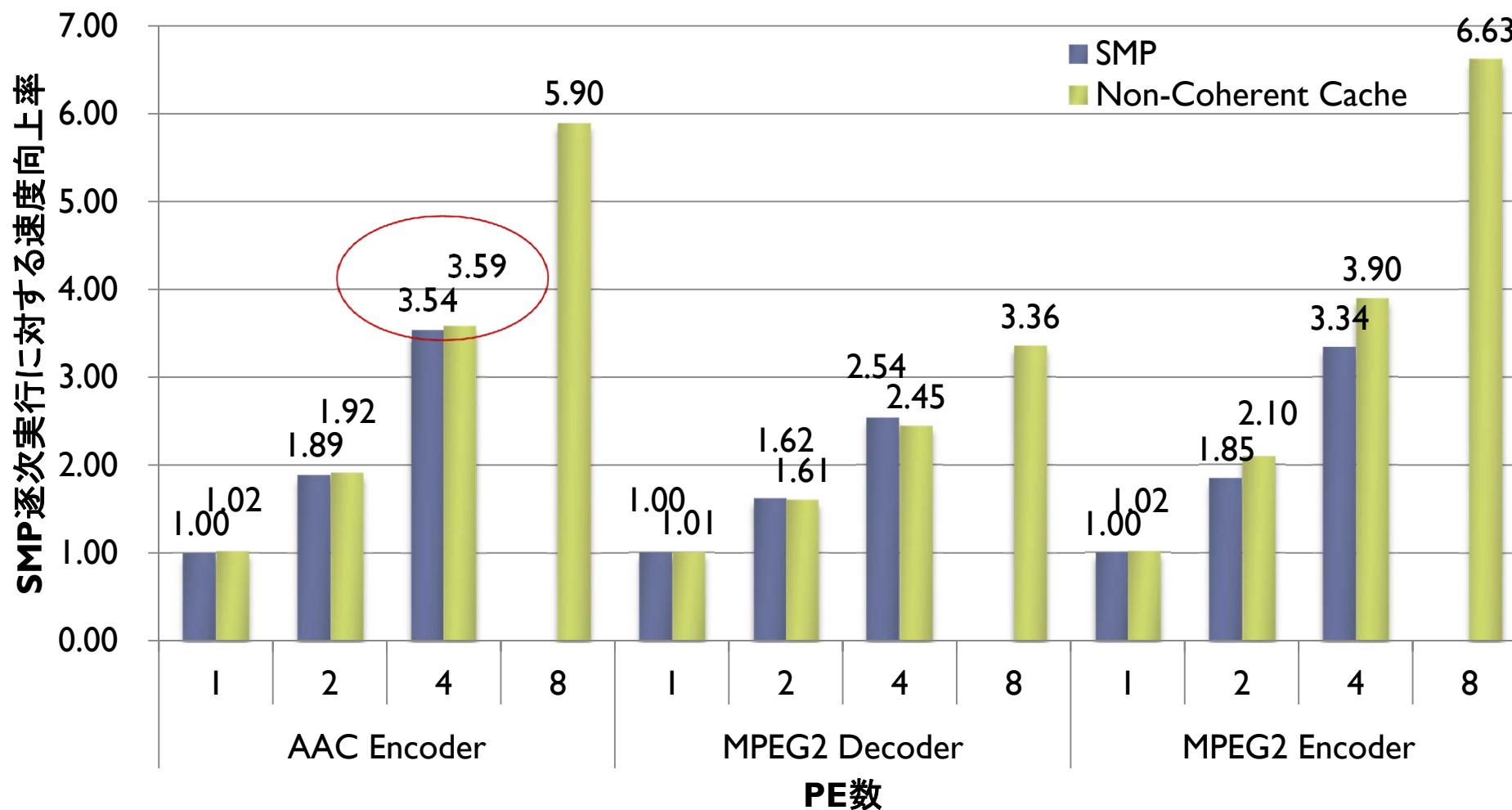
M. Ito, et al., "An 8640 MIPS SoC with Independent Power-off Control of 8 CPU and 8 RAMS by an Automatic Parallelizing Compiler", ISSCC2008

低コスト化のため5コア以上のハード・コヒーレンス制御機能無し

➡ ソフトウェアによるコヒーレンス制御が必要

デモ

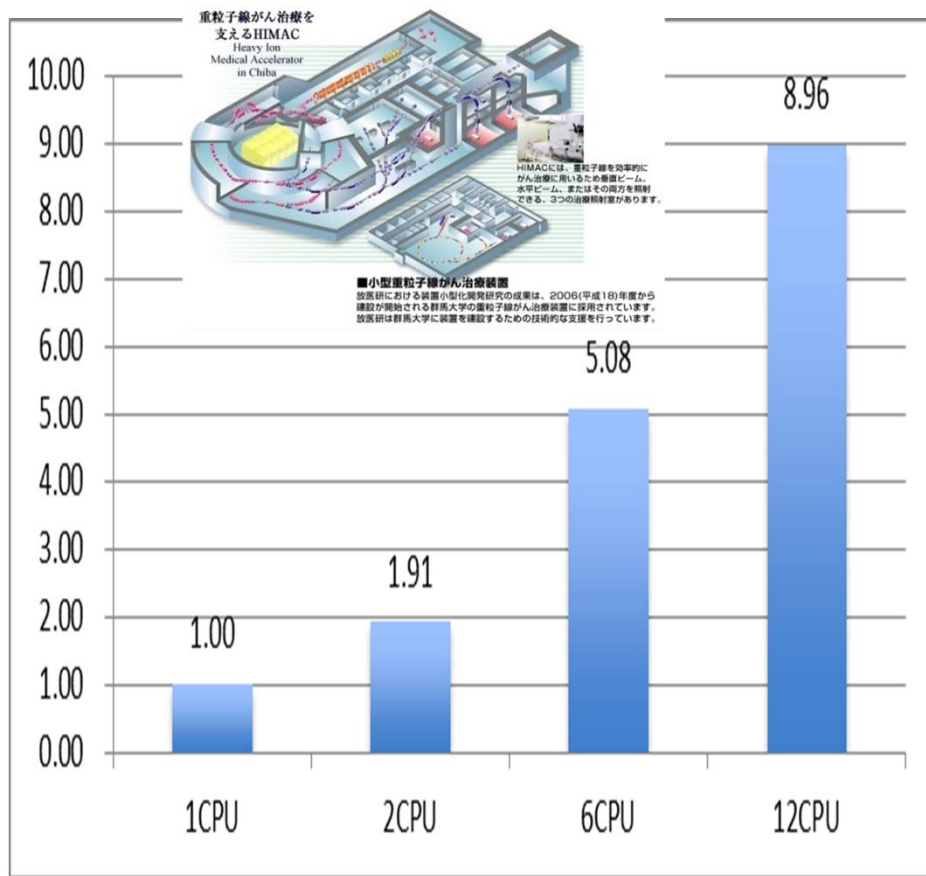
RP2マルチコア上で、**OSCAR**並列化コンパイラによる自動ソフトウェアコヒーレンス制御により、**4コアAAC**処理をハードウェアコヒーレンス制御と同等以上の速度向上



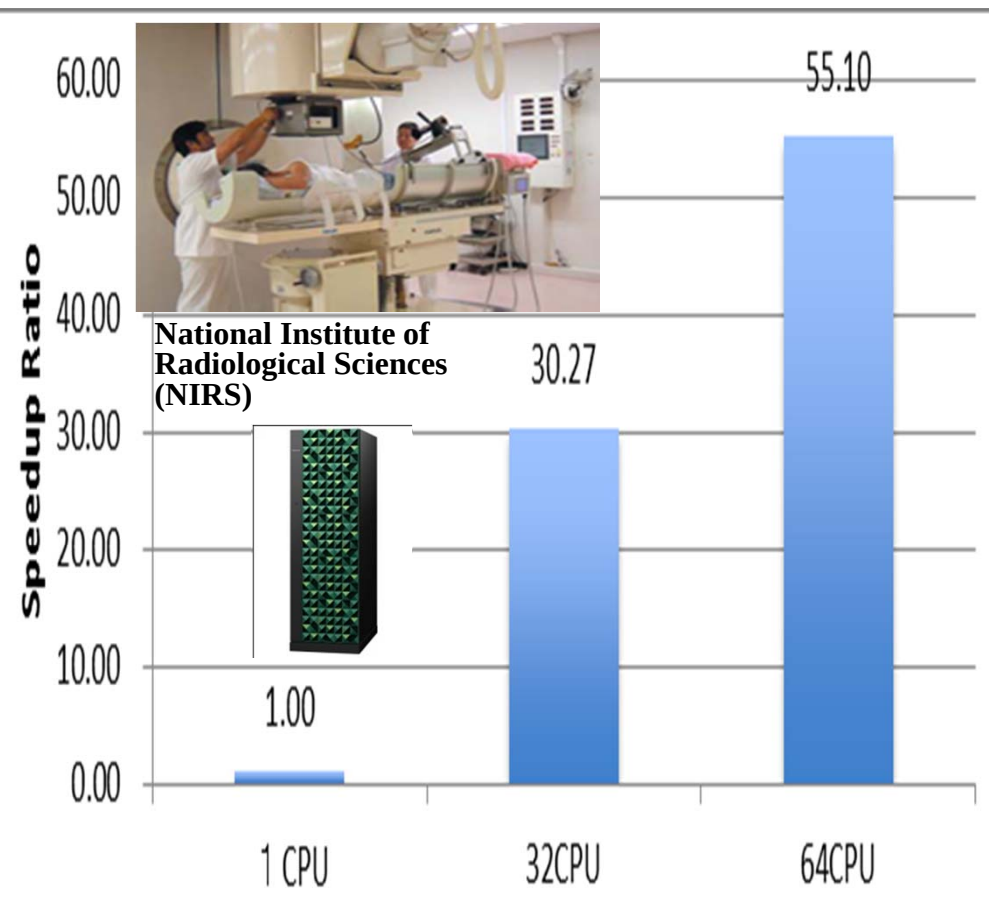
デモ

重粒子線ガン治療装置

線量計算自動並列化性能 (従来手動で16コアで2.5倍)



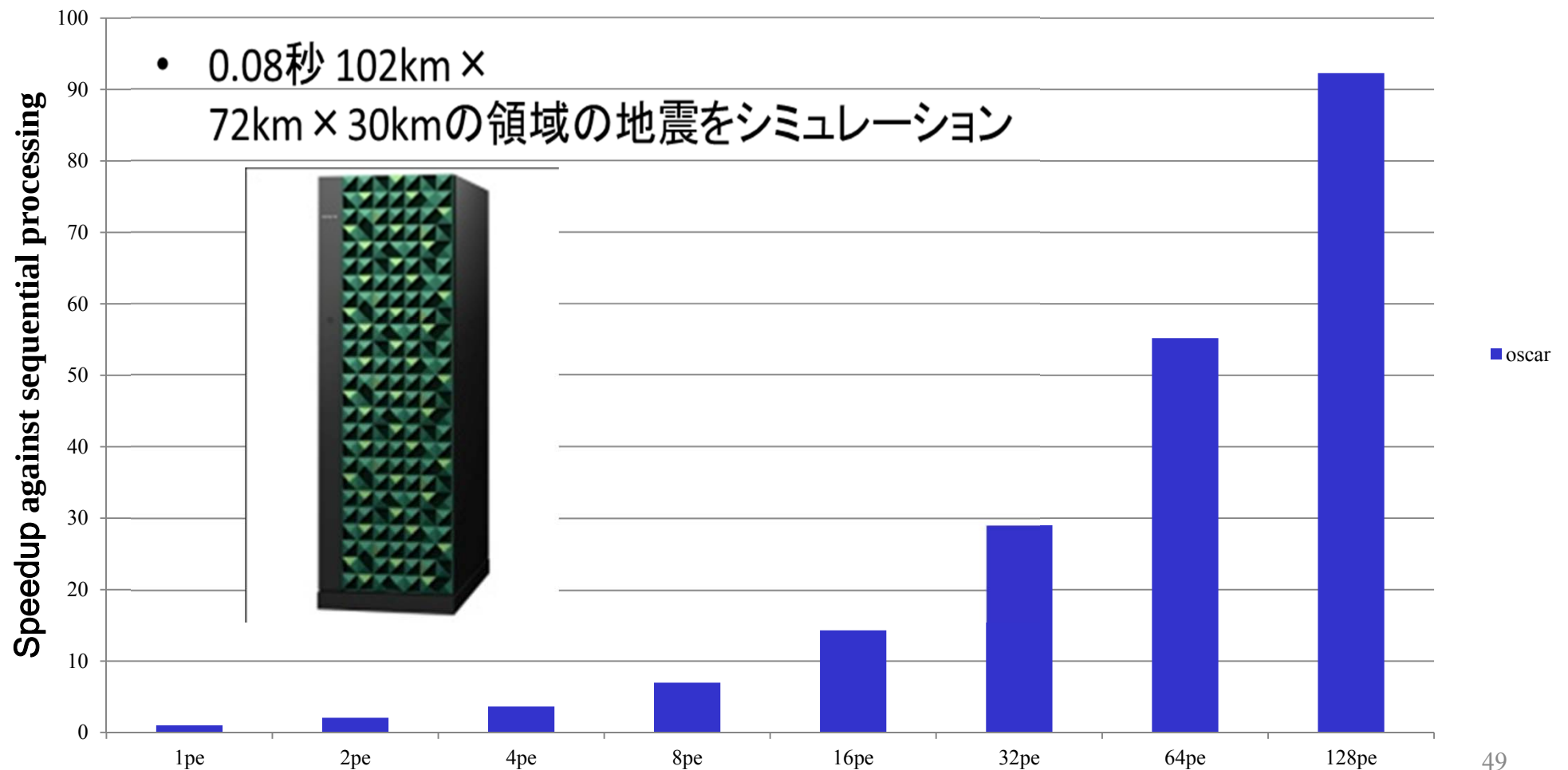
8.9times speedup by 12 processors
Intel Xeon X5670 2.93GHz 12 core SMP
(Hitachi HA8000)



55 times speedup by 64 processors
IBM Power 7 64 core SMP
(Hitachi SR16000)

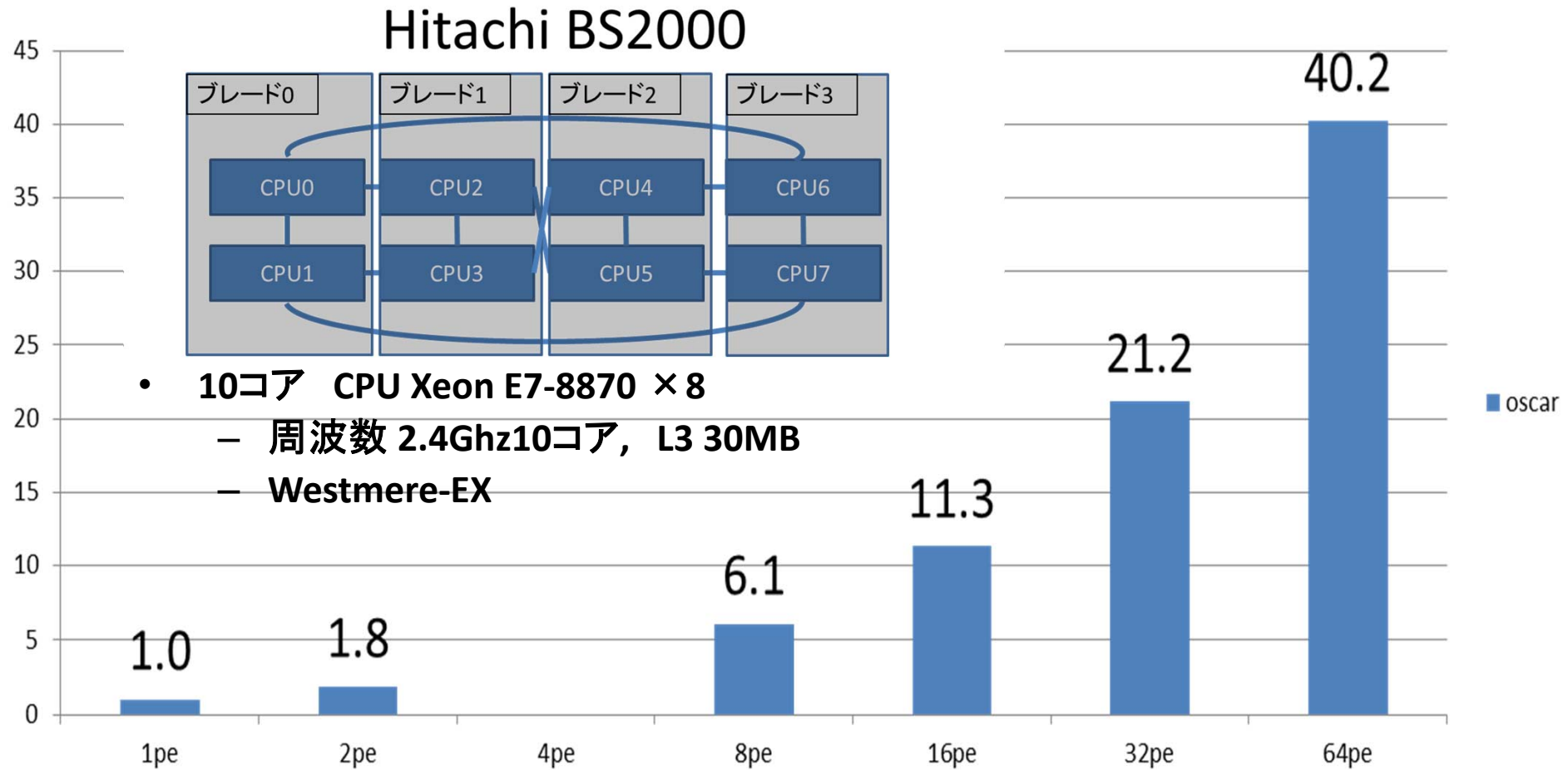
デモ

日立SR16000 (Power7ベース128コアLinux SMP) 上でGMS 地震波伝搬シミュレーションを逐次に比べ92倍高速化



デモ

日立BS2000 80コアブレードSMPサーバ上でGMS地震波伝搬シミュレーションを逐次に比べ40倍高速化



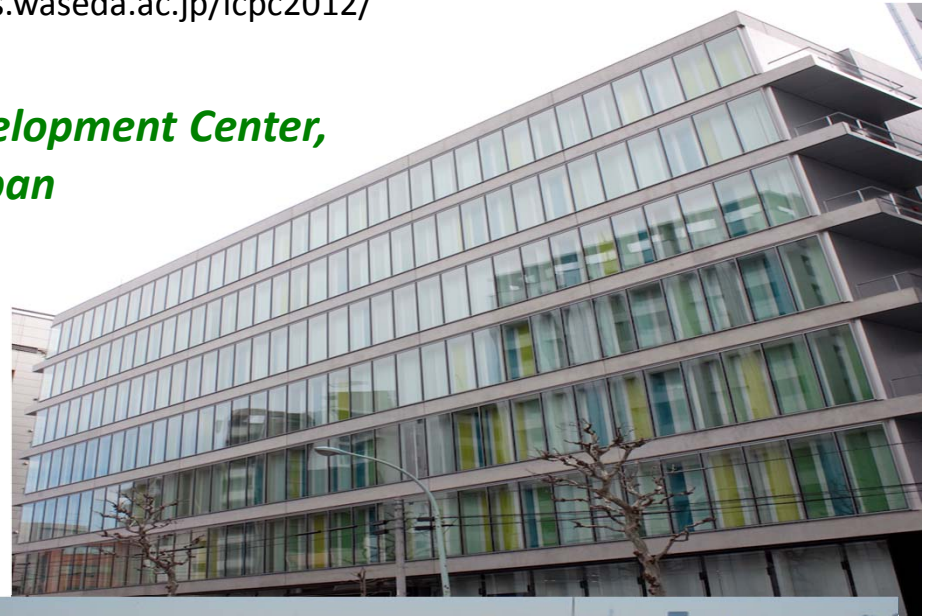
LCPC 2012

The 25th International Workshop on Languages and Compilers for Parallel Computing

(Tentative) <http://www.kasahara.cs.waseda.ac.jp/lcpc2012/>

September 11 – 13, 2012

**Green Computing Systems Research and Development Center,
Waseda University, Tokyo, Japan**



The LCPC workshop is a forum for sharing cutting-edge research on all aspects of parallel languages, compilers and related topics including runtime systems and tools. The scope of the workshop spans foundational results and practical experience, and all classes of parallel processors including concurrent, multithreaded, multicore, accelerated, multiprocessor, and tightly-clustered systems. Given the rise of multicore processors, LCPC is particularly interested in work that seeks to transition parallel programming into the computing mainstream.

General Chair

- Hironori Kasahara, Waseda University

Program Chair

- Keiji Kimura, Waseda University

**Post workshop optional tour
on September 14:**

“K” Kobe Supercomputing Center



Keynote Speakers in LCPC 2012: 9/11-13 Waseda Univ.

**Prof. David J Kuck
(Univ. Illinois, Intel)**

IEEE Computer Society
Computer Pioneer Award 2011



Keynote Speakers(Alphabetical order)

Prof. Arvind, MIT

Dr. David Kuck, Intel, Professor Emer. UIUC

Prof. Yoichi Muraoka, Waseda U.

**Prof. Arvind
(MIT)**

IEEE Computer Society

The Harry H. Goode Memorial Award 2012



Invited Speakers

Prof. Monica Lam: Stanford U., Prof. Rudolf Eigenmann: Purdue U.

Prof. Alex Nicolau: UC Irvine, Dr. Utpal Banerjee: UC Irvine Prof.

David Padua: UIUC, Prof. Lawrence Rauchwerger: Texas A&M

CS Multicore STC: Leadership Team

Chair

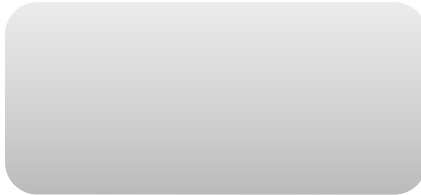
Hironori Kasahara

FTs PM

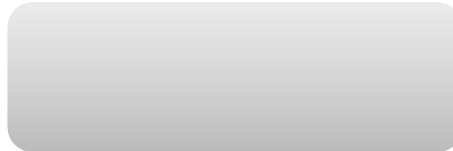
? (to be hired)

BoG “Angel”

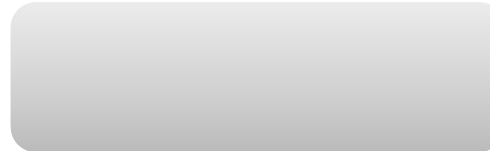
Conferences



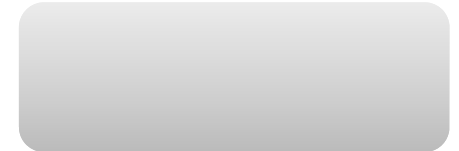
Standards



Education



Body of Knowledge



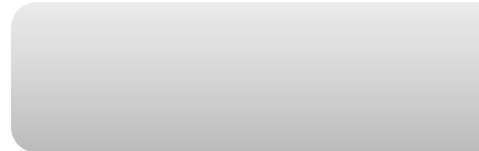
Publishing



Web Portal



Newsletter



<Confidential> STC: Strategic Technical Committee

IEEE CSが推進する3分野の一つである

マルチコア分野が2012.6.15に笠原に任されました。

上記分野で最高のスタッフを決め、圧倒的な競争力をもつ国際会議、論文誌、標準化、教育を世界産官学連携で推し進めます。

まとめ

グリーン・コンピューティング・システム研究開発センターでのマルチコア/メニーコア産官学連携研究開発(持続的強化のための人材育成含む)

1.環境を守るコンピューティング・システム

太陽光電力等クリーンエネルギーで動作し、自然冷却可能な超低消費電力(マルチコア・メニーコア)プロセッサ・システムのハードウェア・ソフトウェア・応用技術

2.命を守るコンピューティング・システム

災害(地震・津波・溶岩流)スーパーリアルタイムシミュレーション技術、医療(重粒子線ガン治療、内視鏡、脳梗塞診断補助)等並列ソフトウェア技術・アーキテクチャ技術

3.産業競争力を守るコンピューティング・システム

我が国の主要産業である自動車、情報家電、ロボット等の安全、安心、快適、省エネ、高機能、高生産性を実現し高付加価値化に貢献するソフトウェア・ハードウェア・API技術