

早稲田大学

グリーン・コンピューティング・システム研究機構設立
グリーン・コンピューティング・システム研究開発センター竣工

記念シンポジウム

未来を拓くグリーンコンピューティング
--- 環境に優しい情報技術の将来に向けて ---

グリーン・コンピューティング・システムの将来

グリーン・コンピューティング・システム研究プロジェクトリーダー
理工学術院 教授

アドバンスト・マルチコア・プロセッサ研究所 所長

笠原博徳

平成23年5月13日(金) 13:35-14:05

グリーン・コンピューティング・システム研究開発センター 概要

2011年4月13日竣工, 2011年5月13日開所(記念シンポジウム)

経済産業省「2009年度産業技術研究開発施設整備費補助金」
先端イノベーション拠点整備事業

<目標>

太陽電池で駆動可能で
冷却ファンが不要な

超低消費電力・高性能マルチコア/
メニーコアプロセッサ*のハードウェア、
ソフトウェア、応用技術の研究開発

*1チップ上に多数のプロセッサコアを
集積する次世代マルチコアプロセッサ

<産学連携>

日立,富士通,ルネサス,NEC,トヨタ,
デンソー,オリンパス,
三菱電機(重粒子線ガン治療)等

<波及効果>

超低消費電力メニーコア

- CO₂排出量削減
- サーバ国際競争力強化
- 我が国の産業利益を支える
情報家電,自動車等の高付加価値化



マルチコア/メニーコア Everywhere

■ 組込からスパコンまで高性能・低消費電力化

▶ 情報家電用マルチコア

カーナビ, 携帯電話, ゲーム, デジタルTV, DVD

IBM/ Sony/ Toshiba Cell, Fujitsu FR1000, Panasonic Uniphier,
 NEC/ARM MPCore/MP211/NaviEngine, Renesas 4 core RP1, 8 core RP2, 15core
 Hetero RP-X, Plurality HAL 64(米Marvell)-cores, Tiler Tile64/ -Gx100
 (→1000cores), DARPA UHPC (2017: 80GFLOPS/W)

▶ PC, サーバ

Intel Quad Xeon, Core 2 Quad, Nehalem(8core), 80 core, Larrabee (32core) ,
 SCC (48 core), Knights Corner (50 core以上:22nm), AMD 12 Core
 Opteron, 米Dell:大規模データ・センター用省電力型サーバ:ARMマルチコ
 アロセッサ (Marvell4コア)

▶ WSs, Deskside & Highend Servers

IBM Power 7(8cores), Cycrops64 (160 cores), Sun Rock (16 cores), Rainbow
 Falls (16 cores), Fujitsu SPARC64 VIII fx (8 cores)

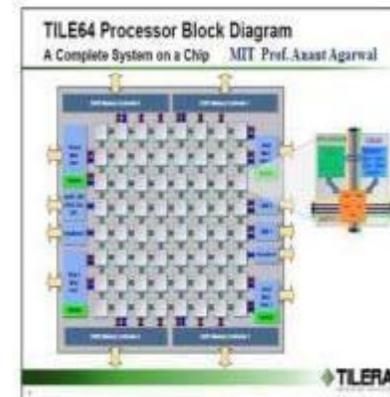
▶ スーパーコンピュータ

IBM 低消費電力マルチコアベースBG/P PowerPC450 (4 cores),
 BG/Q (A2:16cores) 水冷20PFLOPS, 3-4MW (2011-12),
 BlueWaters(HPCS) Power7, 10 PFLOP以上(2011.07),
 中国Tianhe-1A (4.7PFLOPS,6coreX5670+ Nvidia Tesla M2050),
 Godson-3B (1GHz40W8core128GFLOPS) -T (64 core, 192GFLOPS:2011)

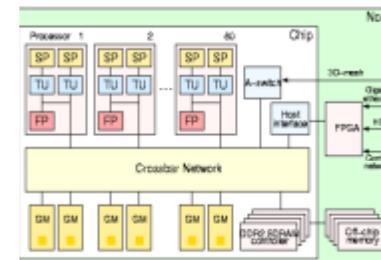
■ 低消費電力, アプリケーションソフトの充実, 短期間
 システム開発, 低コスト, 高機能化が市場競争力決定

<例> 携帯電話, ゲーム, 自動車, サーバ

■ 並列化コンパイラ協調型メニーコアプロセッサ必要



C-64 Chip Architecture



bisection BW = 0.38 TB/s, total BW to 6 neighbors = 48GB/sec



IBM Power7, 1TFLOPS Module

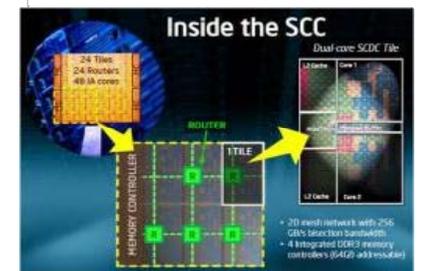
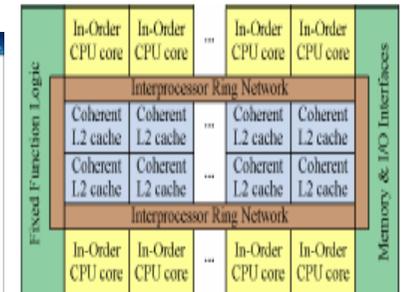


Tianhe-1A: 4.7P(2.56P)FLOPS, No.1, Nov.2010

ルネサス, 日立, 東工大
 早大 RP-X



Intel Larrabee



IBM
 BG/Q
 Proc.
 Board

グリーン・コンピューティング・システム研究開発センターにおける研究開発

①マルチコア/メニーコア, コンパイラ

(笠原博徳、木村啓二、大附辰夫、戸川望:
日立、富士通、ルネサスエレクトロニクス、NEC)
・低消費電力のマルチコア/メニーコアプロセッサ
・メニーコア用並列化コンパイラ
・メニーコア・アーキテクチャ自動設計技術

②クールサーバー (超低消費電力サーバー)

(笠原博徳、木村啓二、山名早人:富士通、日立)
・メニーコアを用いた低消費電力サーバー

③情報家電・自動車

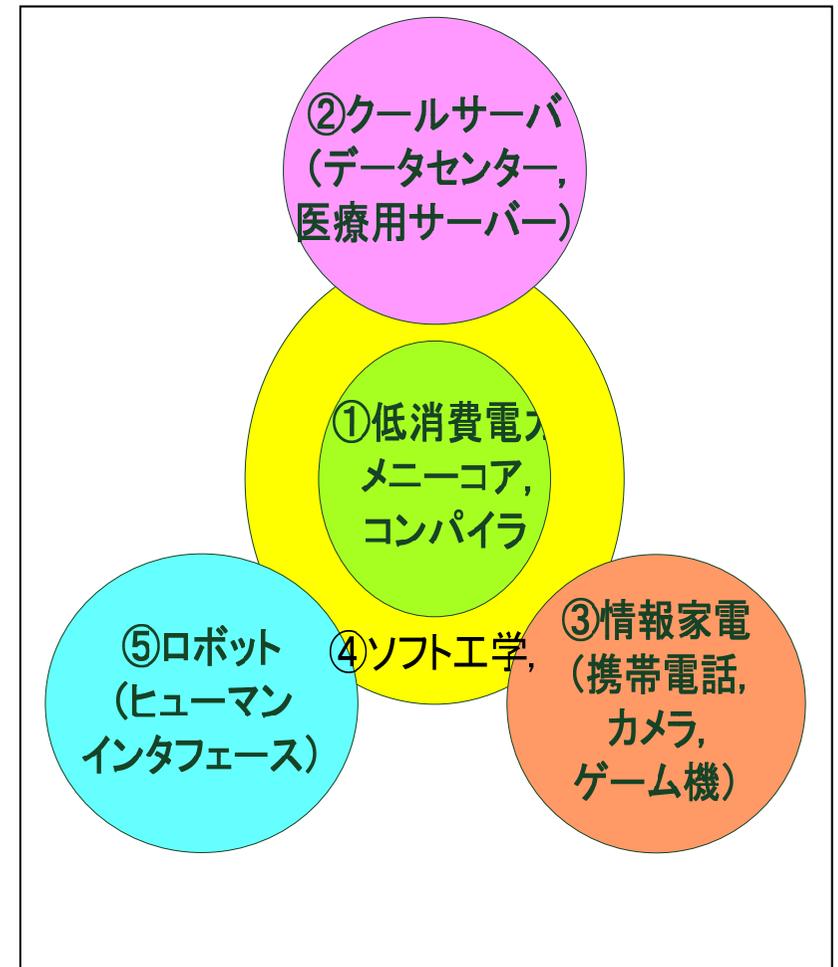
(笠原博徳、木村啓二: ルネサス、NEC、富士通、日立、
オリンパス、トヨタ、デンソー、東芝、ESOL、CATS、ガイオ)
マルチコア・メニーコア用API
(アプリケーション・プログラム・インターフェイス)

④ソフトウェア工学

(深澤良彰、鷲崎弘宜)
・メニーコア用ソフトウェアの高信頼化・低消費電力化

⑤ロボット(小林哲則、白井克彦)

・メニーコアを用いた高利便性のヒューマン・
インターフェイスの開発



各詳細テーマ・参加研究室は研究開発の進展状況等により柔軟に見直す予定。

グリーン・コンピューティング・システム研究開発センターの特徴

• 本施設の役割

世界最先端のソフトウェア協調型低消費電力メニーコア・プロセッサのための、アーキテクチャ、チップ設計等ハードウェア技術、コンパイラ技術を中心としOS、ソフトウェア工学を含めたソフトウェア技術、サーバ・情報家電・ロボット・自動車等への応用技術を研究開発する。

• 規模・装置

敷地面積: 3100.54㎡

延床面積: 5155.11㎡

階数: 地上8階

装置: **ハイエンドマルチコアサーバ2台(計算機室)**
大画面ノートPC利用による太陽光電力有効利用・計画停電対応

• 利用形態

1F: 産学連携・知財管理室、プレゼンテーションルーム

2F: 研究サーバー室、ミーティングルーム

3F: (産学連携フロア) 企業を含むメニーコア・クールサーバー研究グループ、客員研究員室

4F: (産学連携フロア) 企業を含むメニーコア・情報家電・API研究グループ

5F: マルチコア/メニーコアプロセッサ・コンパイラ・API・情報家電研究グループ

6F: プロセッサ・コンパイラ研究グループ
ソフトウェア工学研究グループ

7F: マルチコア/メニーコアプロセッサ・コンパイラ研究グループ
ロボット(ヒューマンインタフェース)研究グループ

• 特徴

- 世界先端拠点として世界の研究者との議論を含めた人材育成を行う機能を付随。
- 研究室間の交流を図りやすくする大フロア確保可能な設計で、ドアはガラス張りに。定期的な交流ミーティング開催。
- 太陽光電力を2階サーバ室に直接給電し、クリーンエネルギー超低消費電力サーバ技術を開発。
- 企業研究室はセキュリティを重視、企業秘密を確保しながら実用化産学連携研究を促進
- 産学連携・知財管理室を設置し産学連携研究開発契約・知財化・ライセンス等を支援。
- 早稲田通りに面し、公共交通機関(地下鉄、バス)の駅から徒歩1分以内のアクセスが便利な場所に設置することで、産学研究者の交流を促進。



NEDOリアルタイム情報家電用マルチコア技術

＜目的＞ DVD,デジタルTV,カーナビ,携帯電話等リアルタイム情報家電における優位化製品創出を目指したプロセッサ技術の国際競争力強化

＜研究期間＞平成17年7月～平成20年3月

＜内容＞ 下記特徴をもつマルチコア・アーキテクチャ及びコンパイラ技術の確立

- ・優れた価格性能
- ・短ハードウェア・ソフトウェア開発期間
- ・低消費電力
- ・同一アーキテクチャでローエンドからハイエンド製品まで柔軟に対応
- ・集積度向上に対するスケーラブルな性能向上(複数半導体世代に対応)
- ・異なる企業開発のマルチコア間でのアプリケーションの共用

＜API: Application Programming Interface並列化コンパイラと各マルチコアの接続＞

日立,富士通,ルネサス,東芝,松下,NEC

＜委託事業＞ NEDO”アドバンスド並列化コンパイラ“の成果と参加各社のプロセッサ技術を委員会及び研究により発展させ、標準的マルチコア・アーキテクチャと並列化APIを策定し、既存及び新規チップ上での性能評価を通し改良する

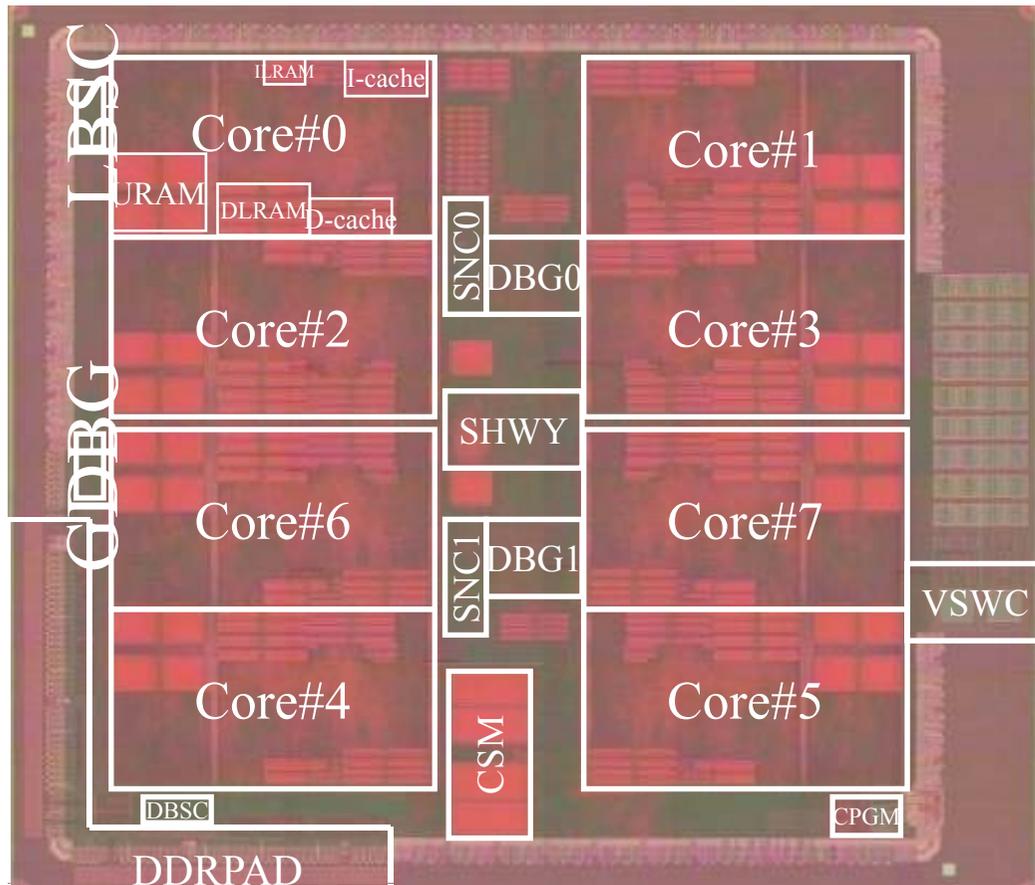
＜助成事業＞ 委託事業にて策定されたアーキテクチャをベースとしたチップ及びその開発環境を開発し委託研究での評価のために供与する

＜PC用プロセッサとの目的の違い＞

リアルタイム処理なアーキテクチャ・自然冷却可能な低消費電力性

早稲田OSCARコンパイラ協調型アーキテクチャ

RP2 8コア搭載マルチコアLSI



8コア集積マルチコアLSIチップ写真

プロセス	90nm CMOS, 8層メタル, 3種Vth
チップサイズ	104.8mm ² (10.61mm x 9.88mm)
電源電圧	1.0V-1.4V(コア), 1.8/3.3V(I/O)
動作周波数	600MHz
CPU性能	8640 MIPS (Dhrystone 2.1)
FPU性能	33.6 GFLOPS
低電力制御	<ul style="list-style-type: none"> ・CPU毎に独立した周波数変更 ・CPUコアのクロックを停止するスリープモード ・CPUコアの一部のクロックを停止するがキャッシュコヒーレンシ維持可能なライトスリープモード ・CPUコアの電源供給を停止するフル電源遮断モード ・URAM以外のCPUコアの電源供給を停止するレジューム電源遮断モード

ISSCC08発表: ISSCC08 論文番号4.5, M.ITO, et al., “An 8640 MIPS SoC with Independent Power-off Control of 8 CPUs and 8 RAMs by an Automatic Parallelizing Compiler”

NEDOリアルタイム情報家電用マルチコアチップ・デモの様子

<http://www8.cao.go.jp/cstp/gaiyo/honkaigi/74index.html>

第74回総合科学技術会議【平成20年4月10日】



第74回総合科学技術会議の様子(1)



第74回総合科学技術会議の様子(2)



第74回総合科学技術会議の様子(3)



第74回総合科学技術会議の様子(4)

世界をリードするマルチコア用コンパイラ技術

プロセッサ高速化における3大技術課題の解消

1. 半導体集積度向上(使用可能トランジスタ数増大)に対する速度向上率の鈍化

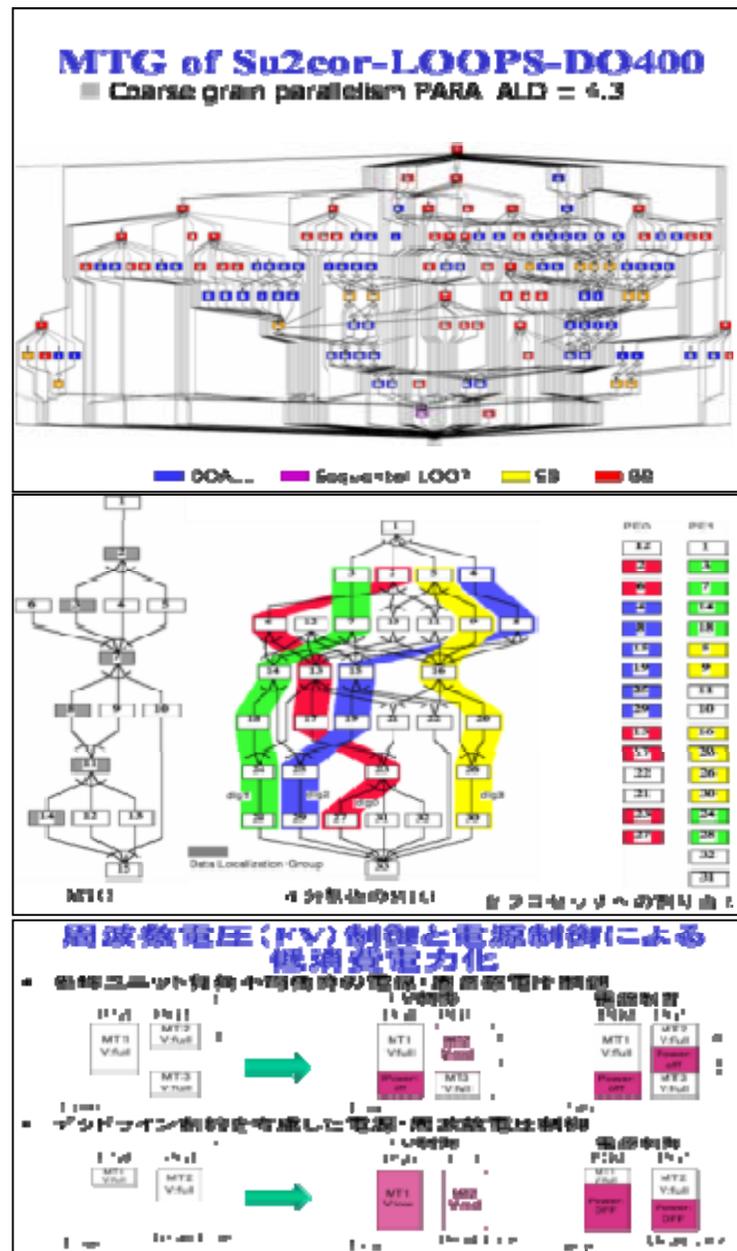
➤ 粗粒度タスク並列化、ループ並列化、近細粒度並列化によりプログラム全域の並列性を利用するマルチグ레인並列化機能により、従来の命令レベル並列性より大きな並列性を抽出し、複数マルチコアで速度向上

2. メモリウォール問題

➤ コンパイラによるローカルメモリへのデータ分割配置、DMAコントローラによるタスク実行とオーバーラップしたデータ転送によりメモリアクセス・データ転送オーバーヘッド最小化

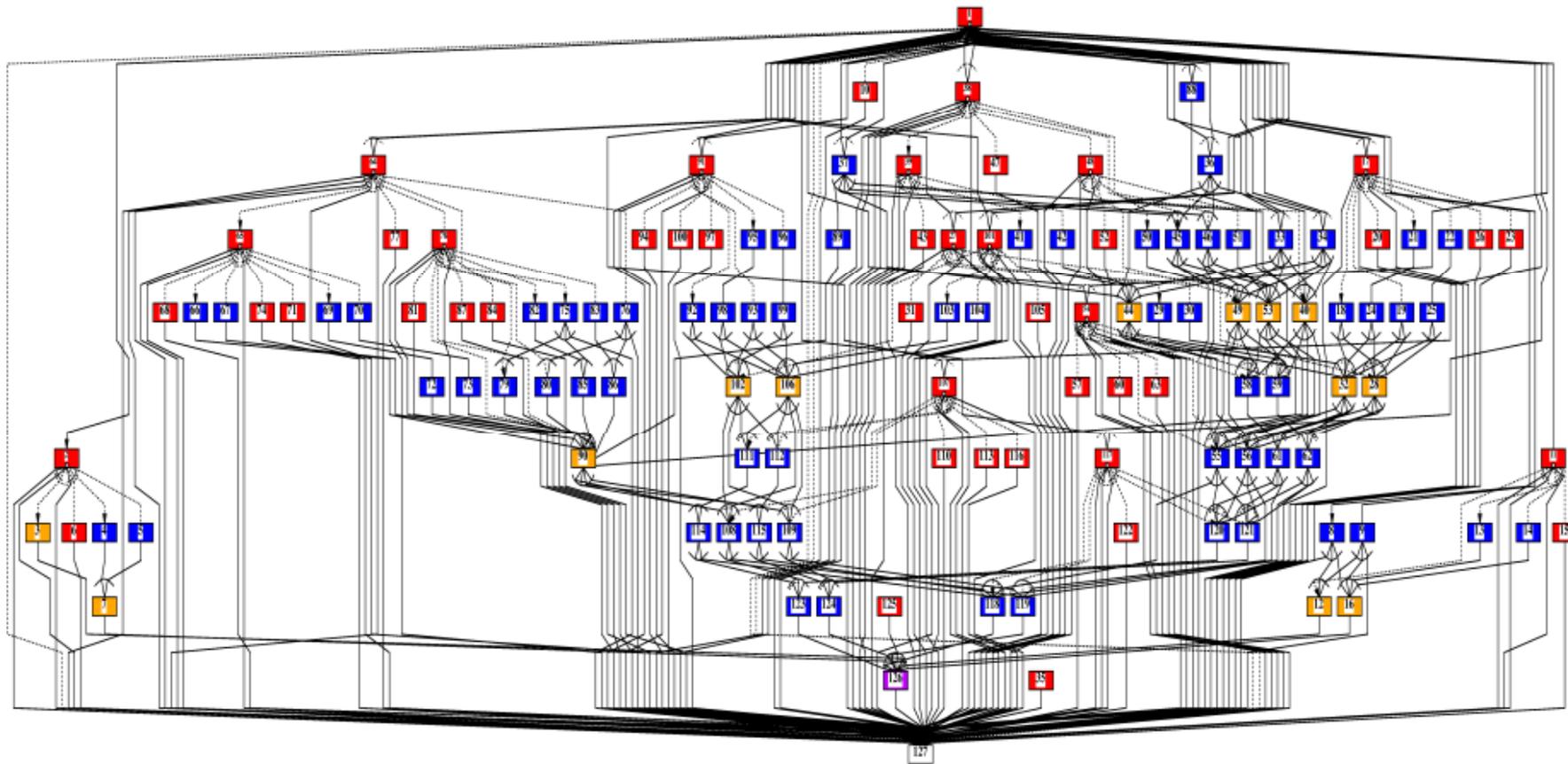
3. 消費電力増大による速度向上の鈍化

➤ コンパイラによる低消費電力制御機能を用いたアプリケーション内でのきめ細かい周波数・電圧制御・電源遮断により消費電力低減



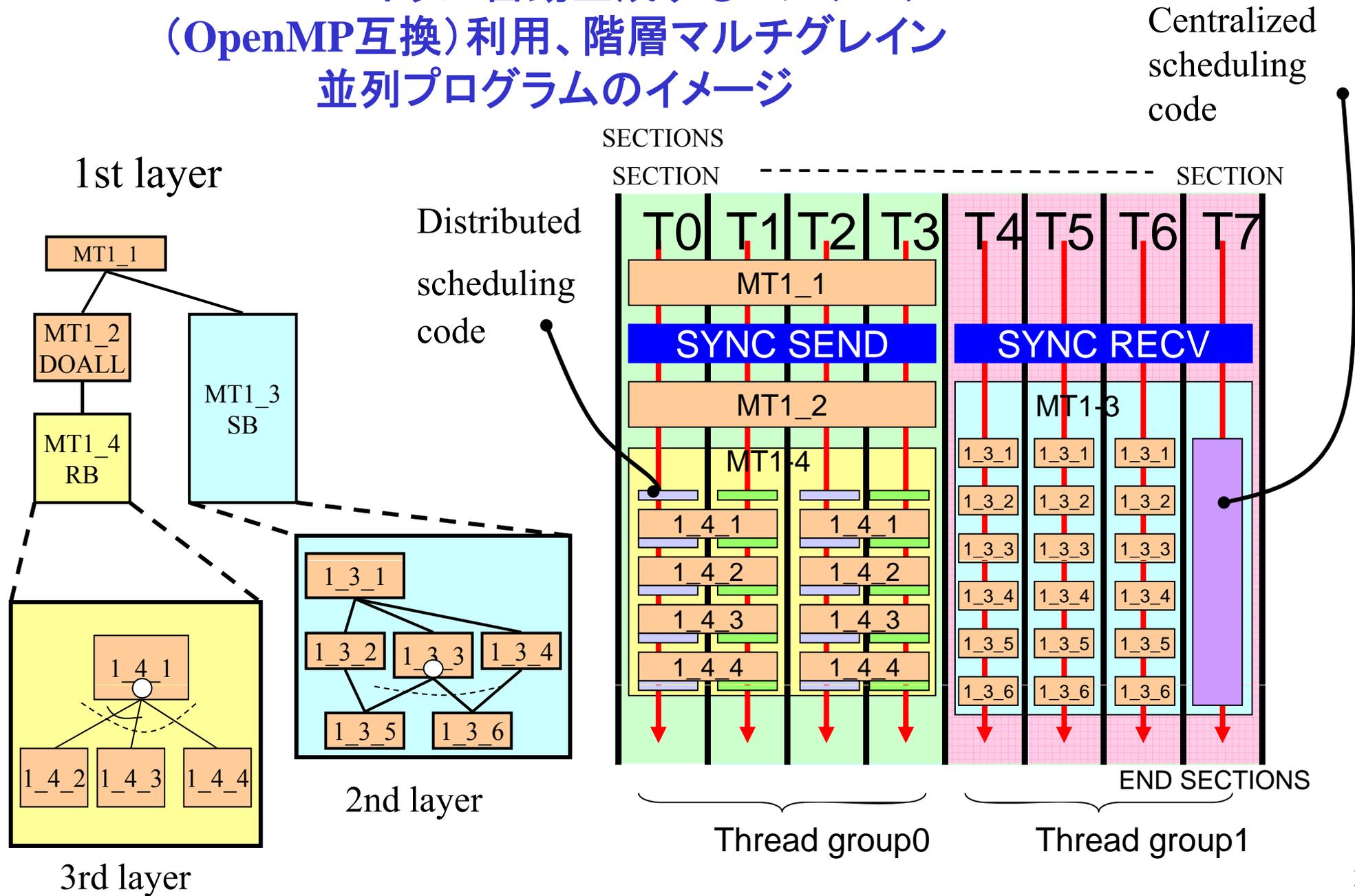
MTG of Su2cor-LOOPS-DO400

- Coarse grain parallelism $\text{PARA_ALD} = 4.3$



■ DOALL ■ Sequential LOOP ■ SB ■ BB

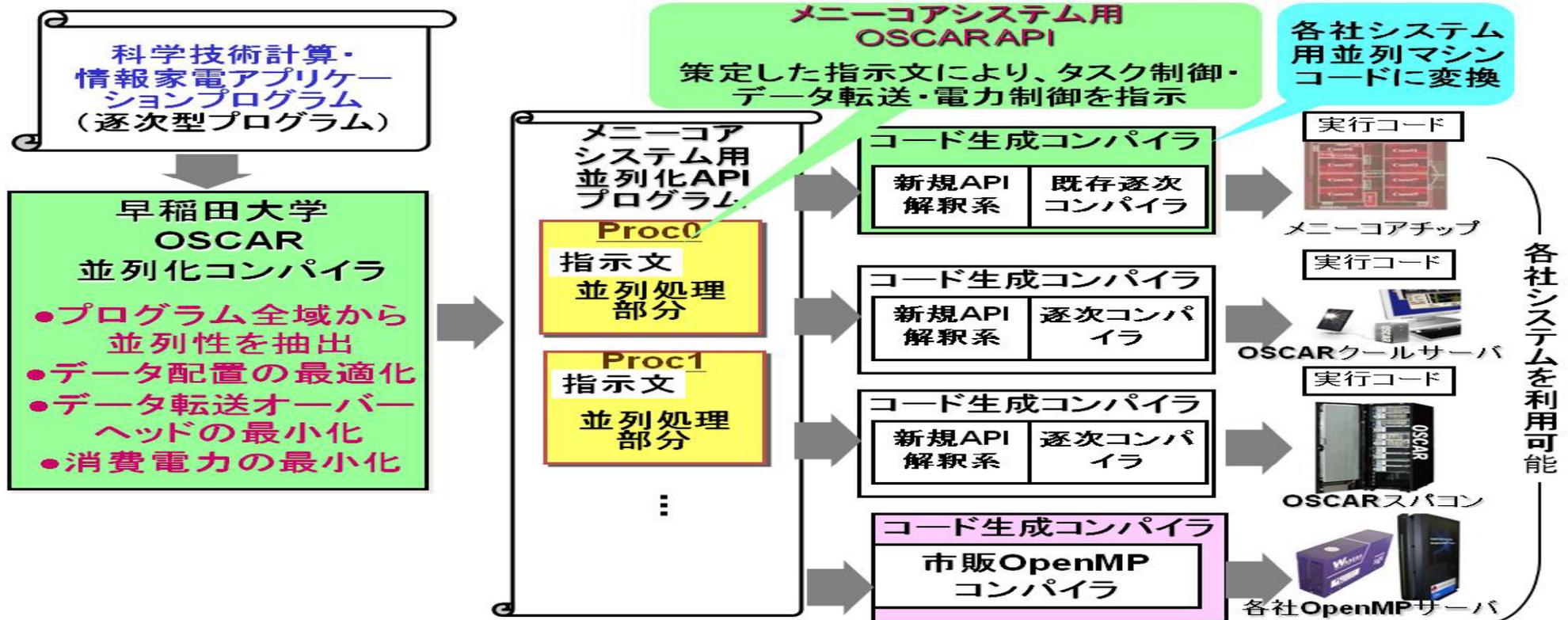
OSCARコンパイラが自動生成するマルチコアAPI (OpenMP互換)利用、階層マルチグレイン 並列プログラムのイメージ



デファクトスタンダードを目指すOSCAR マルチコア・メニーコアAPI

IT・半導体6社と開発したOSCAR マルチコア APIは<http://www.kasahara.cs.waseda.ac.jp/>にて公開
組込からハイエンドまで各社のマルチコア(ホモジニアス/ヘテロジニアスアーキテクチャ)上で動作可能
本センターでは自動車・情報家電・ツールメーカーを含め11社と共に研究開発

API: Application Programming Interface



OSCAR マルチコアAPI に関する掲載記事の例

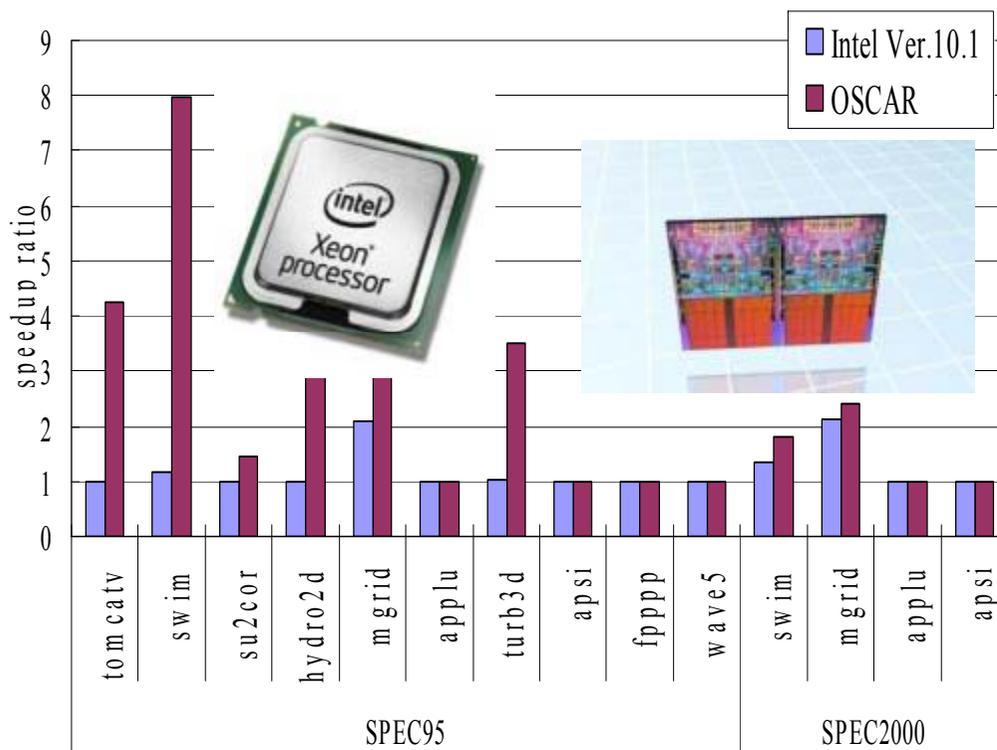
1. 日経産業新聞「情報家電用マルチコアMPU 並列処理で消費電力低減 国家プロジェクトで成果 日本勢の武器に」, Jan. 16. 2009.
2. 日経産業新聞「早大 マルチコアMPU効率利用 プログラム仕様公開」, Nov. 12. 2008.
3. 日本経済新聞「情報家電向けの並列処理ソフト 早大・日立などが開発」, Jun. 01. 2007.
4. EDN Japan, No.95, pp.17「並列化コンパイラ「OSCAR」向けのAPI、各社マルチコア用コードの自動生成が可能に」, Jan. 01. 2009.
5. Automotive Electronics, 2008年第2号,「間近に迫るマルチコアプロセッサ時代」, May. 01. 2008.
6. EDN Japan MAGAZINE ARTICLES, 2009年1月号「並列化コンパイラ「OSCAR」向けのAPI、各社マルチコア用コードの自動生成が可能に」, Jan. 01. 2009.
7. 日経エレクトロニクス Tech On「早大と国内半導体メーカー、並列実行や電力制御をコンパイラに指示する標準APIを策定」, Nov. 14. 2008.
8. Nikkei Electronics Tech On "Group Develops Standard API to Give Parallel Execution, Power Control Orders to Compiler", Nov. 16. 2008.
9. 日経BP 先端技術事業化「早稲田大学の笠原教授ら、企業6社とのプロジェクトで実時間並列処理向けAPIを開発、2008年11月から公開」, Nov. 14. 2008.

現状：世界最高性能のOSCARコンパイラの性能

インテル・IBMマルチコアサーバ上でそれぞれ2倍・3倍以上の高速化

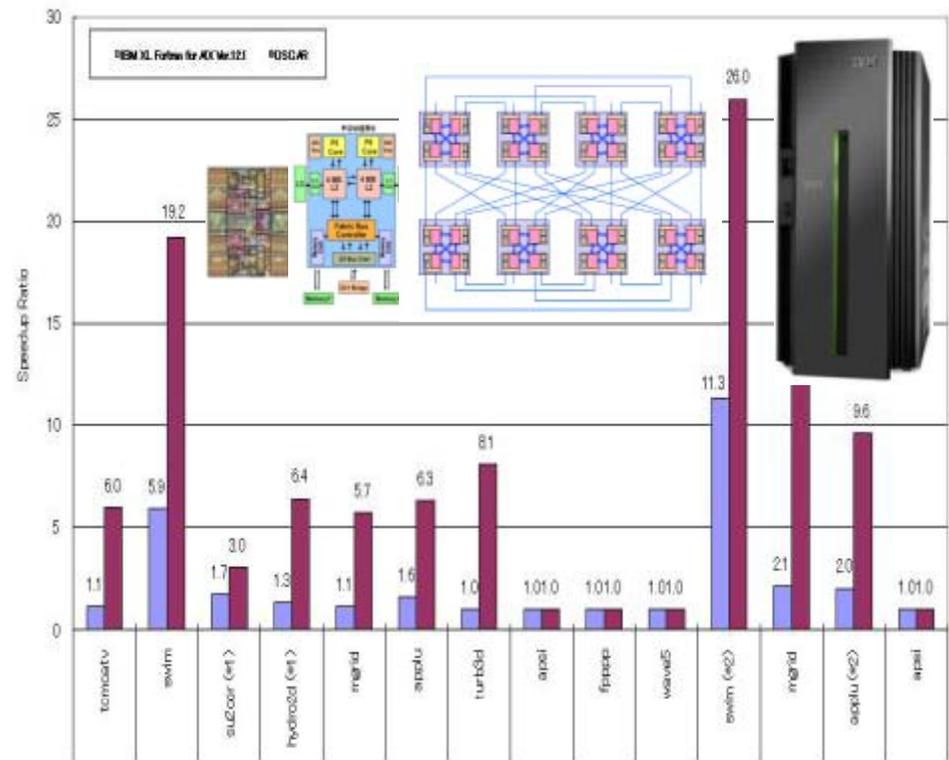
インテル クアッドコアXeonプロセッサ上での 早稲田大学 OSCARコンパイラの性能

インテル・マルチコア上で
インテルコンパイラに比べ **2.1** 倍速度向上



IBM p6 595 Power6 (4.2GHz) ベース 32コア SMP サーバ上での早稲田大学OSCARコンパイラの性能

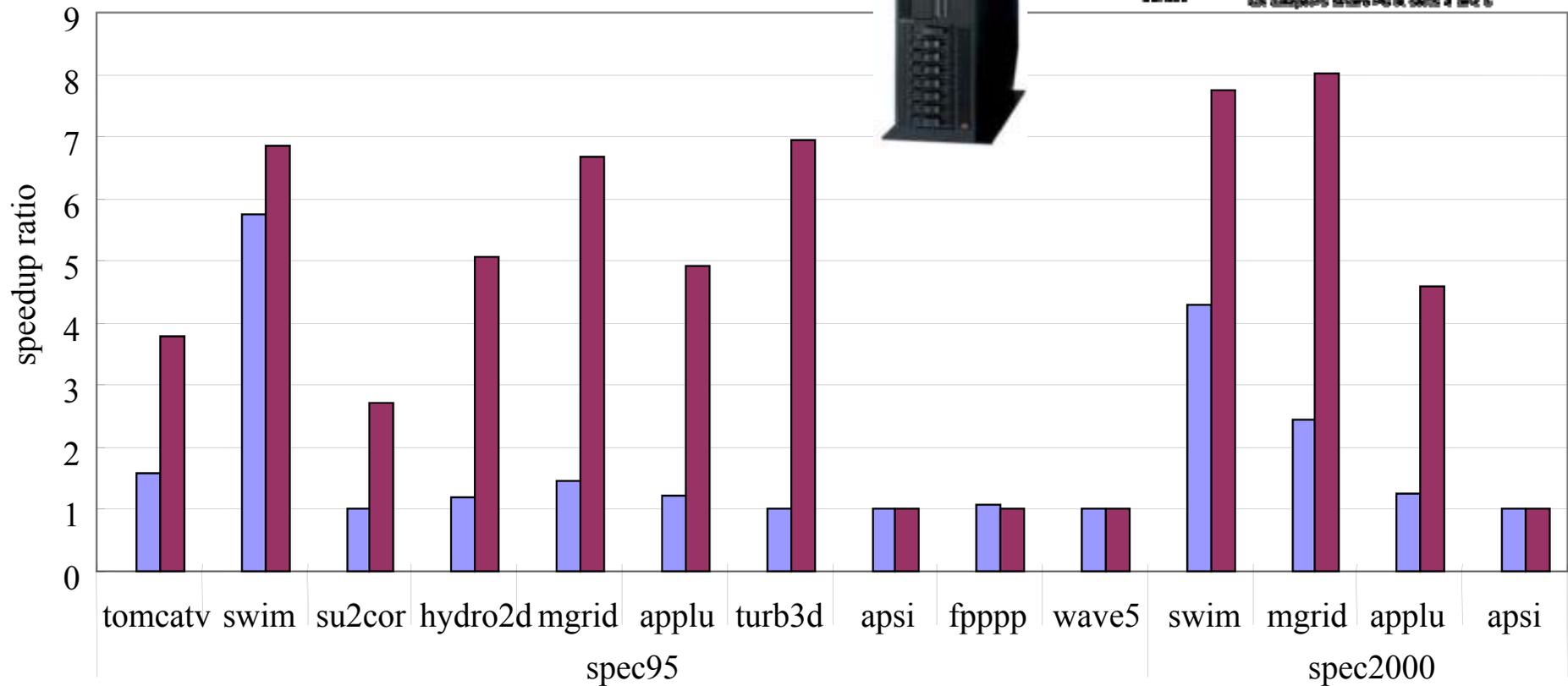
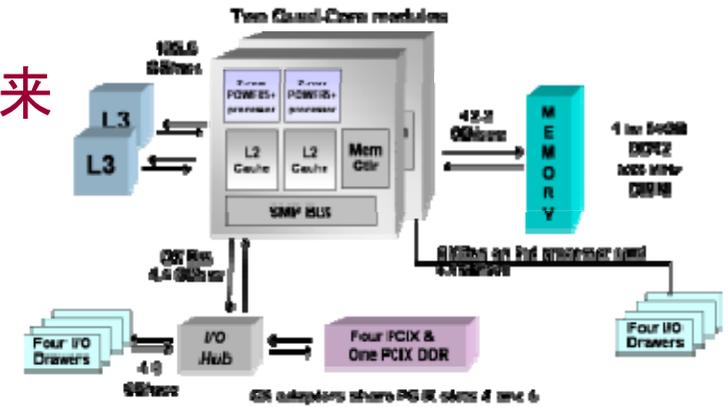
IBM最新サーバ上で
IBMコンパイラに比べ **3.3** 倍速度向上



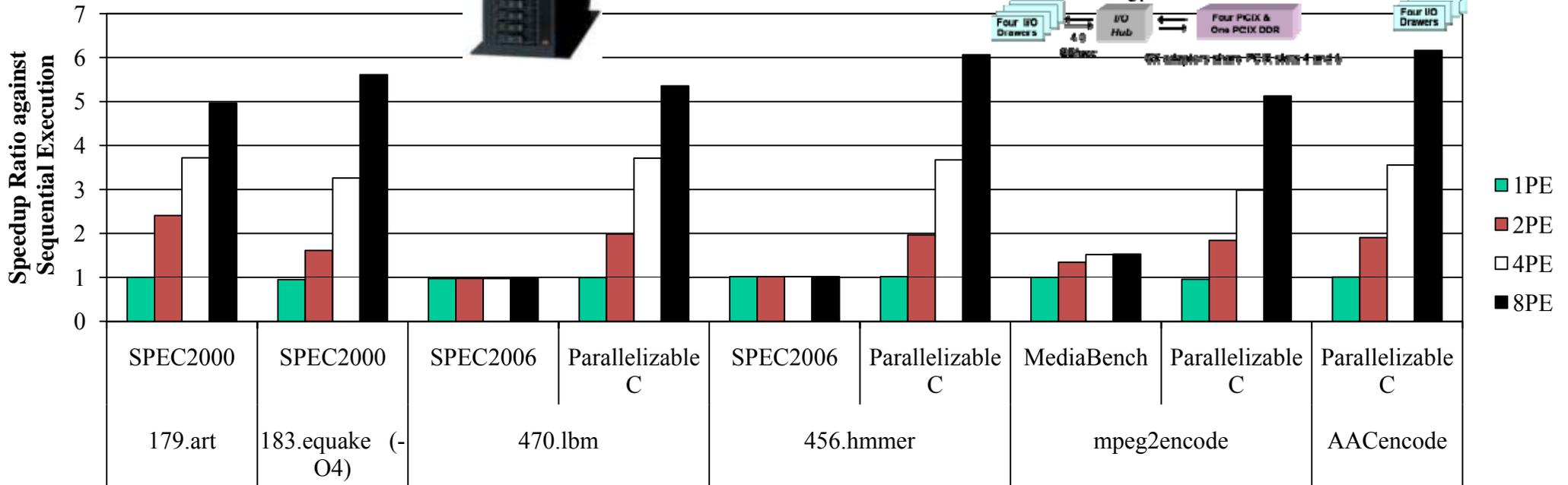
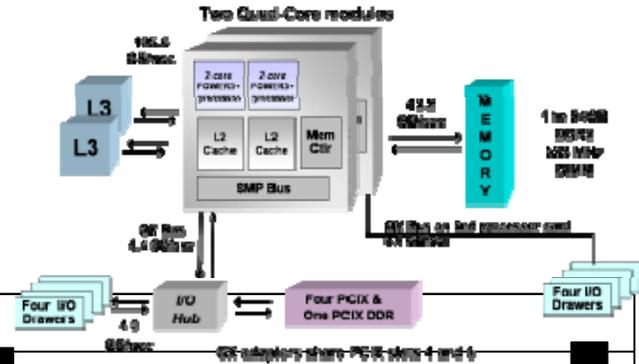
IBMサーバp550q上でのOSCAR並列化コンパイラの性能

8プロセッサコア・マルチプロセッサシステム上で従来の
ループ並列化に対し、2.7倍の高速化

- ループ並列化
- マルチグレイン並列化



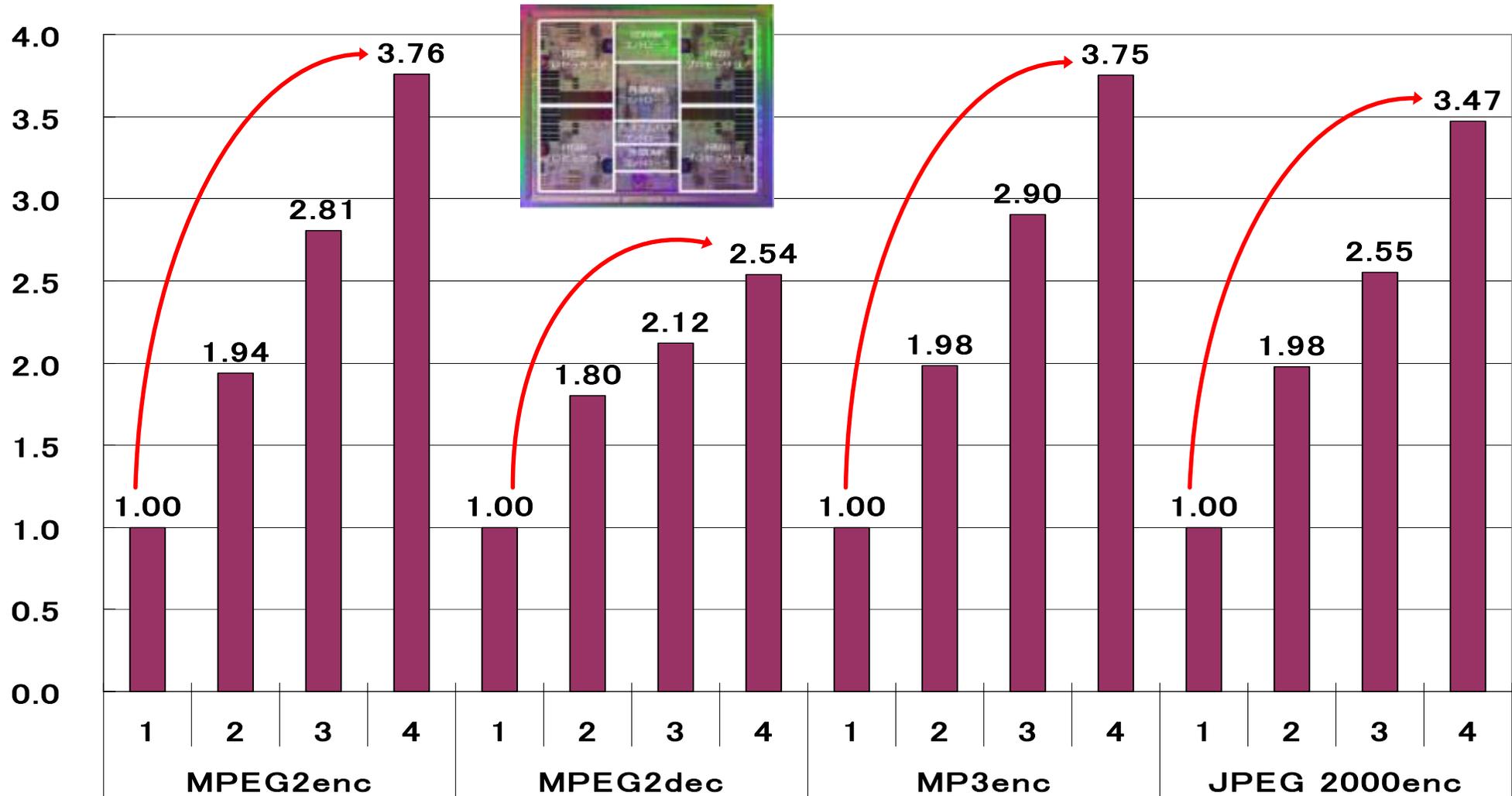
IBM p5 550Q Server (8 コア) におけるCプログラム自動並列化結果



Power5+ @1.5GHz x 2 cores x 4 chips
 L1 I\$: 64KB, L1 D\$: 32KB
 L2\$: 1.9MB /chip, L3\$: 36MB /chip
 SMT: Disabled

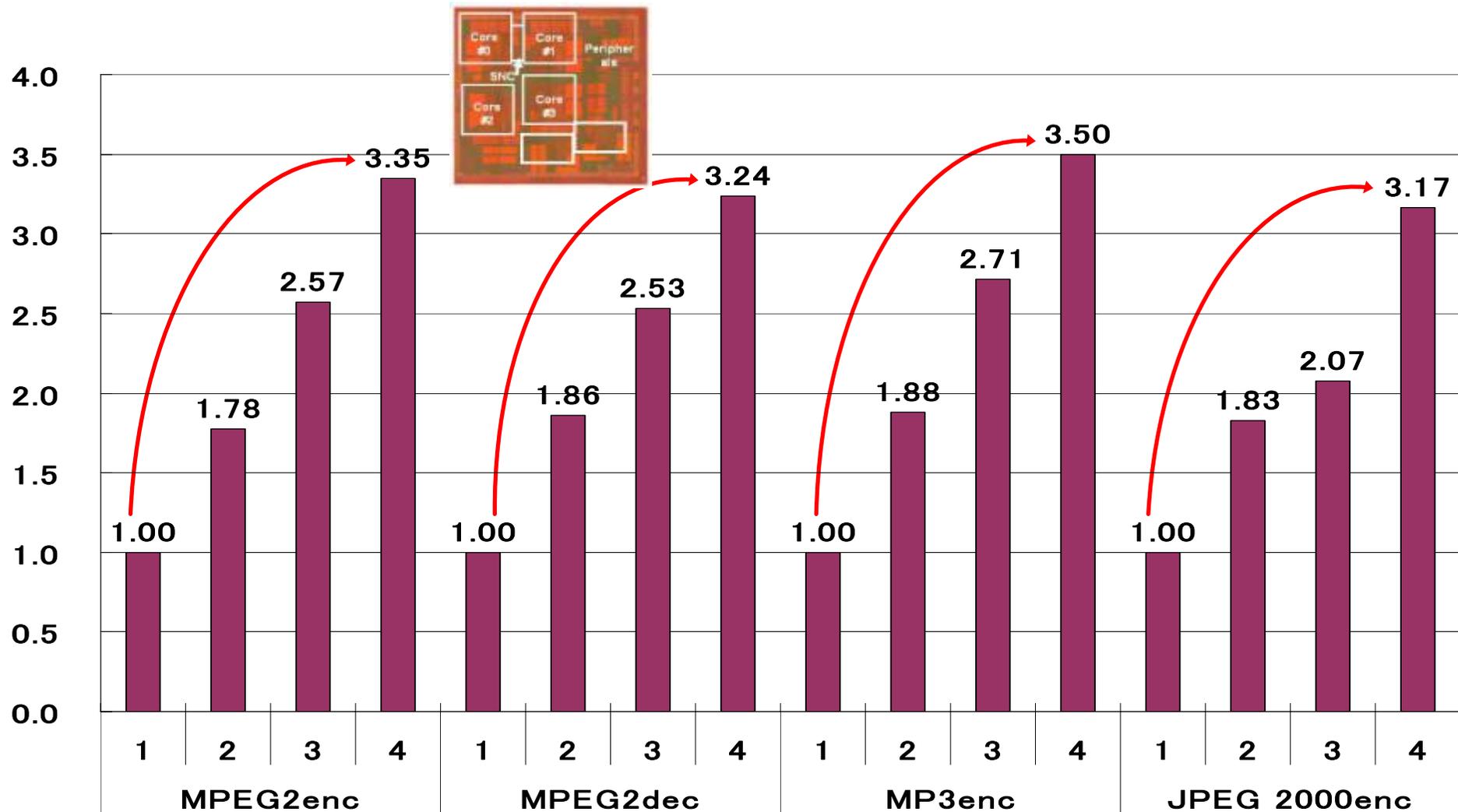
逐次実行に対して
 平均5.54倍の速度向上

Performance of OSCAR Compiler Using the multicore API on Fujitsu FR1000 Multicore



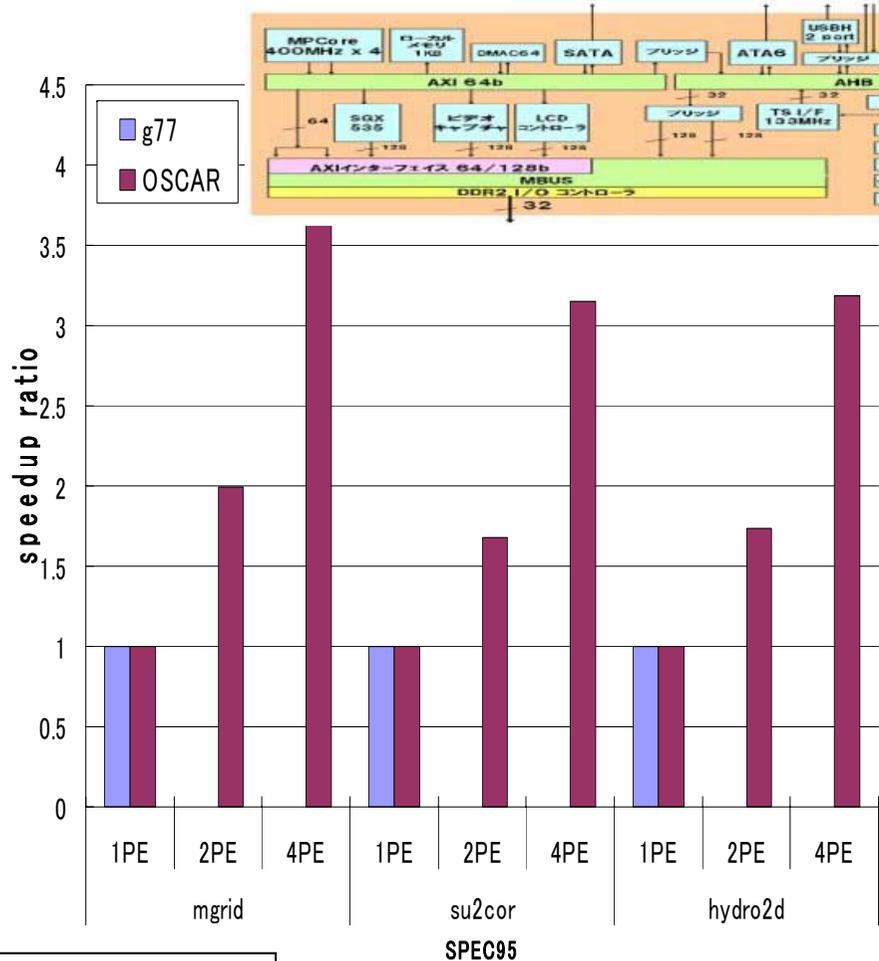
3.38 times speedup on the average for 4 cores against a single core execution

Performance of OSCAR Compiler Using the Developed API on 4 core (SH4A) OSCAR Type Multicore

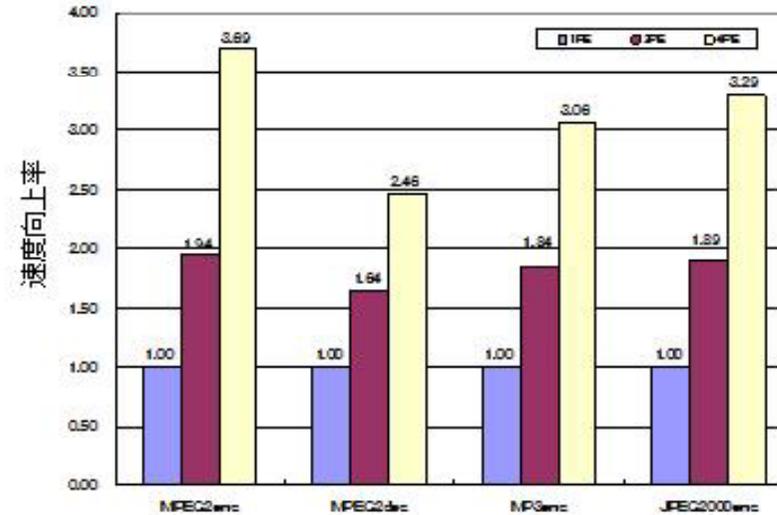


3.31 times speedup on the average for 4cores against 1core

Performance of OSCAR compiler on NEC NaviEngine(ARM-NEC MPcore)



NaviEngine上での
メディアアプリケーションによる
OSCARコンパイラ評価



•4プロセッサで、平均3.13倍の速度向上率

Compile Option : -O3

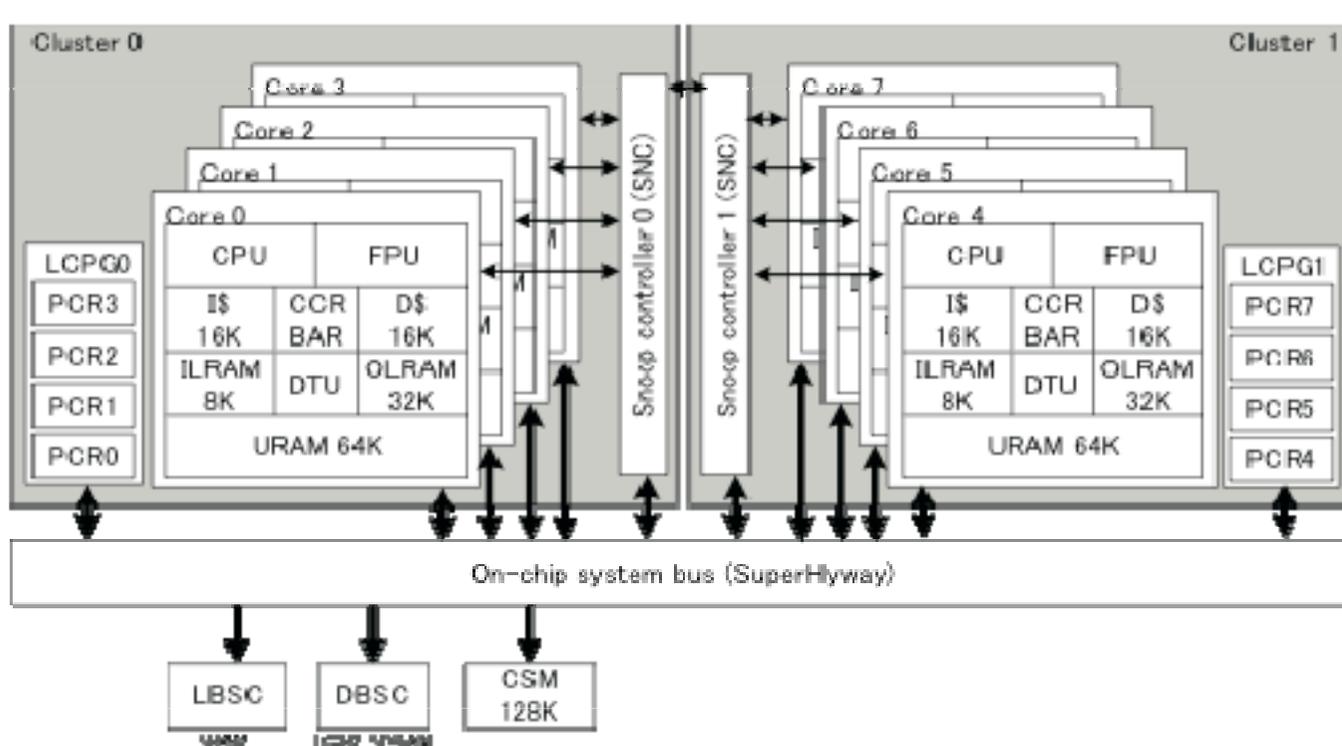
- OSCAR compiler gave us 3.43 times speedup against 1 core for Fortran and 3.13 for C on ARM/NEC MPCore with 4 ARM 400MHz cores

メニーコアに向けたノンコヒーレントキャッシュ 制御用OSCAR API指示文

- 新たに5つの指示文を追加
- メモリ配置指示文
 - noncacheable: 変数をノンキャッシュャブルにする
 - aligncache : 変数の先頭をキャッシュラインの境界にアラインメント
- キャッシュ操作指示文
 - cache_writeback : キャッシュ上のダーティラインの書き戻し
 - cache_selfinvalidate : キャッシュラインの無効化
- メモリ操作順序保証指示文
 - complete_memop: メモリ操作の完了

メニーコアに向けたソフトウェアキャッシュコヒーレンス制御 評価環境

ルネサス/日立/早大 RP2 (SH-4Aコアを8コア集積)



Process Technology	90nm, 8-layer, triple-Vth, CMOS
Chip Size	104.8mm ² (10.61mm x 9.88mm)
CPU Core Size	6.6mm ² (3.36mm x 1.96mm)
Supply Voltage	1.0V–1.4V (internal), 1.8/3.3V (I/O)
Clock frequency	600MHz, 300MHz, 150MHz, 75MHz
Power Domains	17 (8 CPUs, 8 URAMs, common)

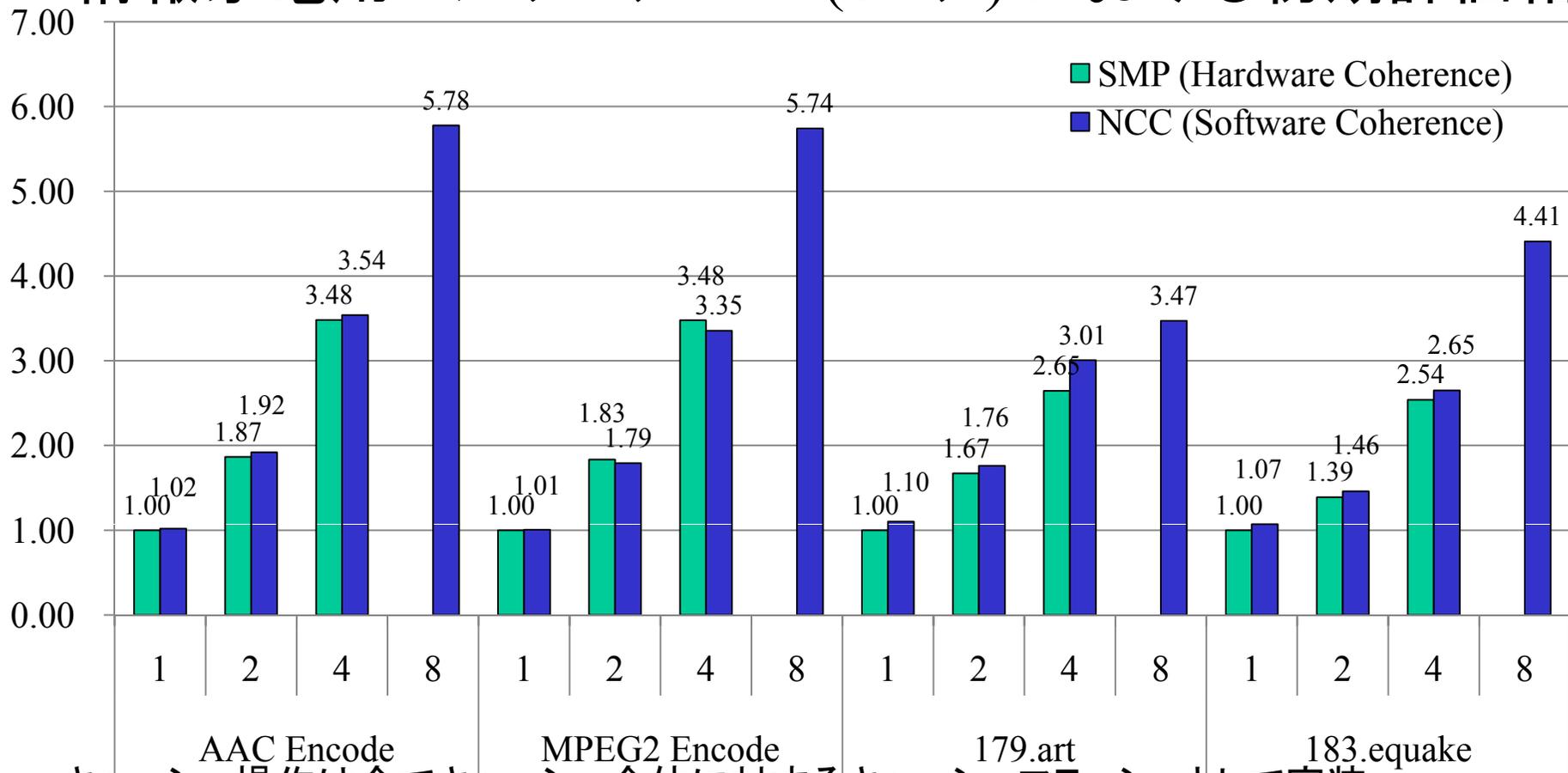
M. Ito, et al., "An 8640 MIPS SoC with Independent Power-off Control of 8 CPU and 8 RAMS by an Automatic Parallelizing Compiler", ISSCC2008

低コスト化のため5コア以上のハード・コヒーレンス制御機能無し

➡ ソフトウェアによるコヒーレンス制御が必要

メニーコアへ向けたソフトウェアコヒーレンス制御の性能

情報家電用マルチコア RP2 (8コア) における初期評価結果

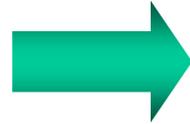
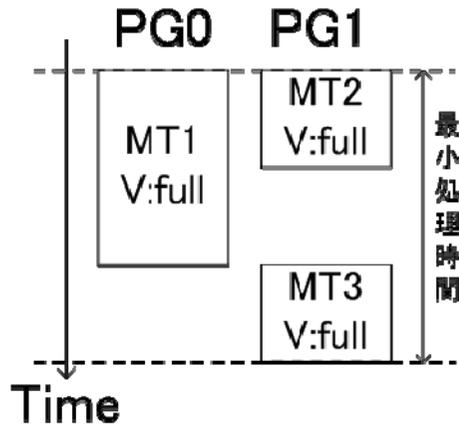


- キャッシュ操作は全てキャッシュ全体に対するキャッシュフラッシュとして実装
- 部分的なキャッシュ操作を実装することでさらに性能向上が得られる可能性あり

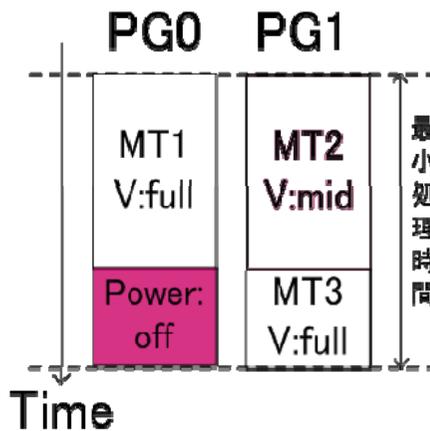
周波数電圧 (FV) 制御と電源制御による低消費電力化

処理ユニット負荷不均衡時の電源・周波数電圧制御

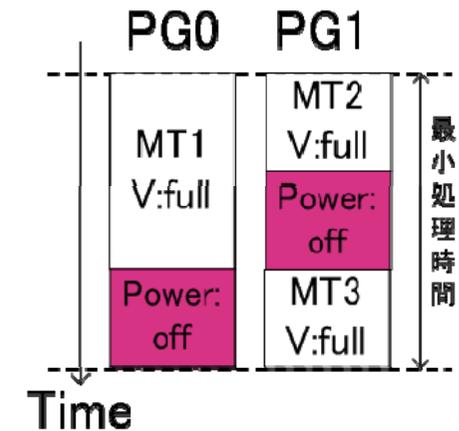
スケジューリング結果



FV制御

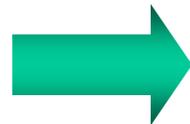
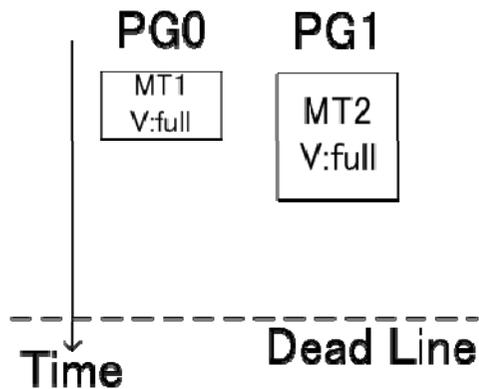


電源制御

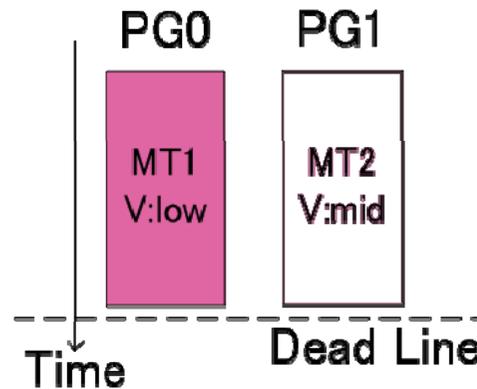


デッドライン制約を考慮した電源・周波数電圧制御

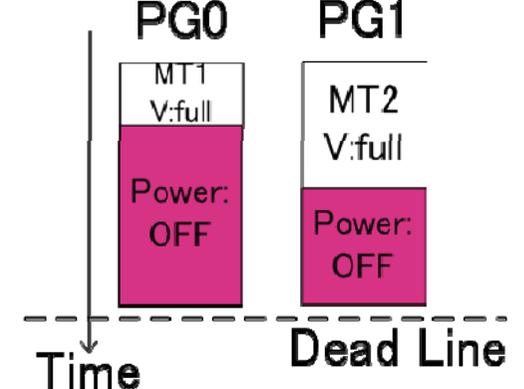
スケジューリング結果



FV制御

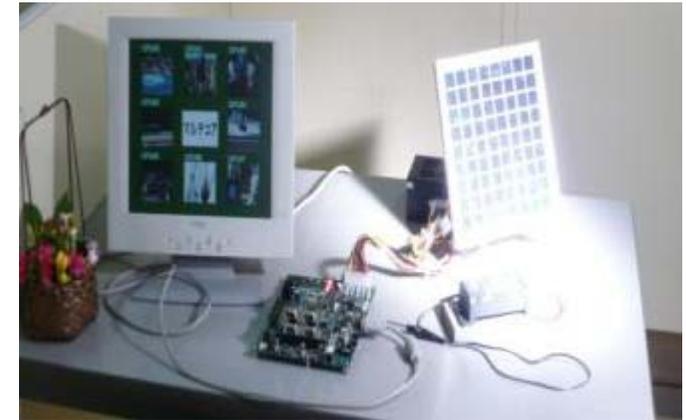
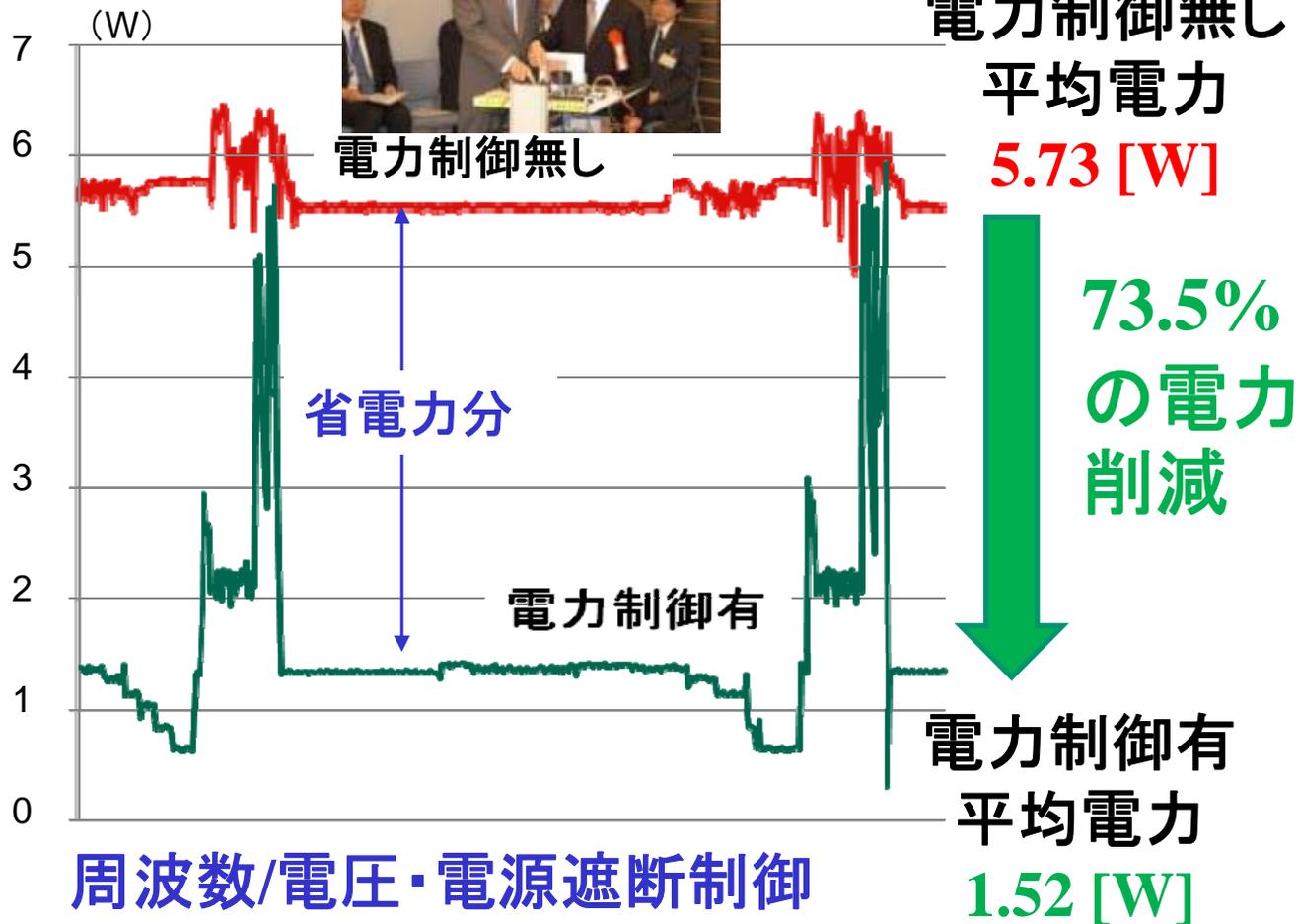
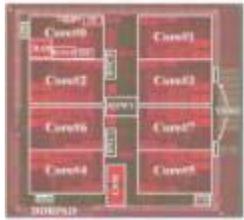


電源制御



現状: 世界唯一コンパイラによる消費電力削減に成功

NEDOプロジェクトで開発した低消費電力
マルチコア(8コア)上でのマルチメディア処理

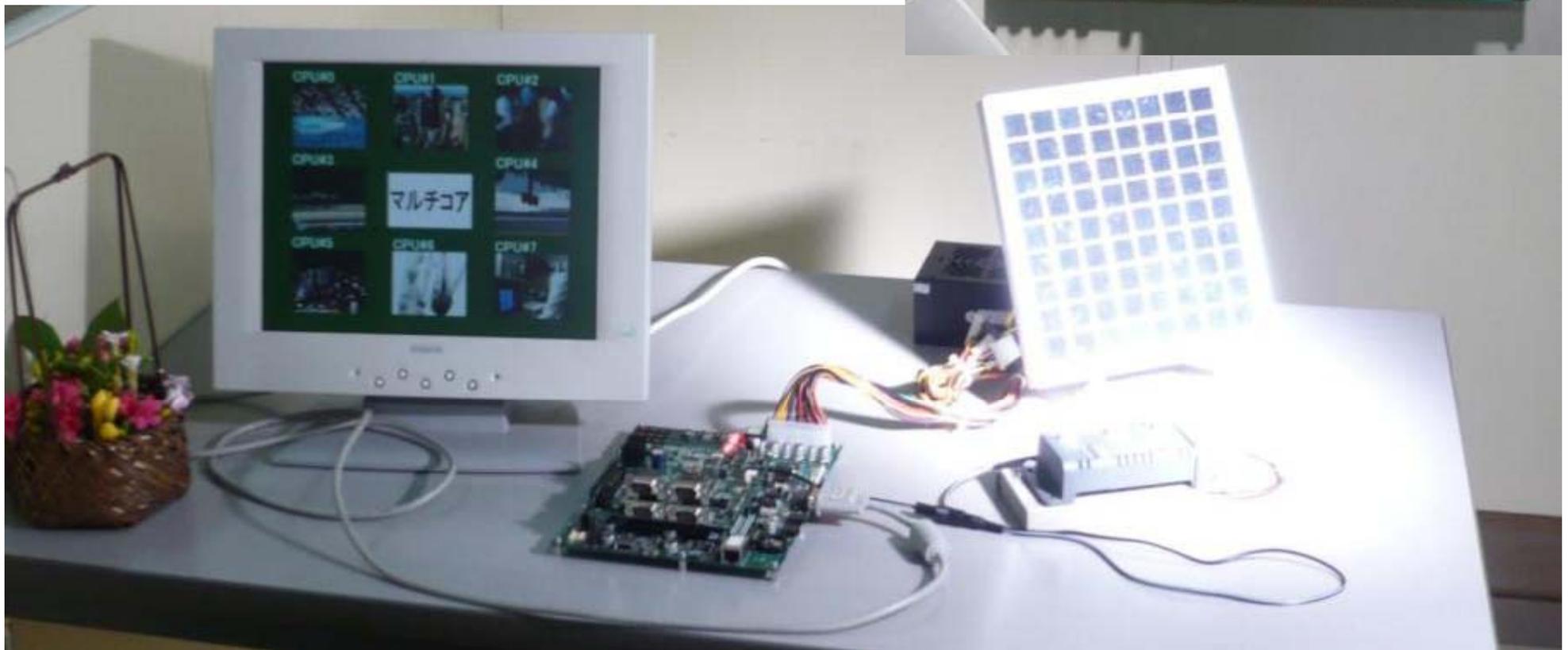
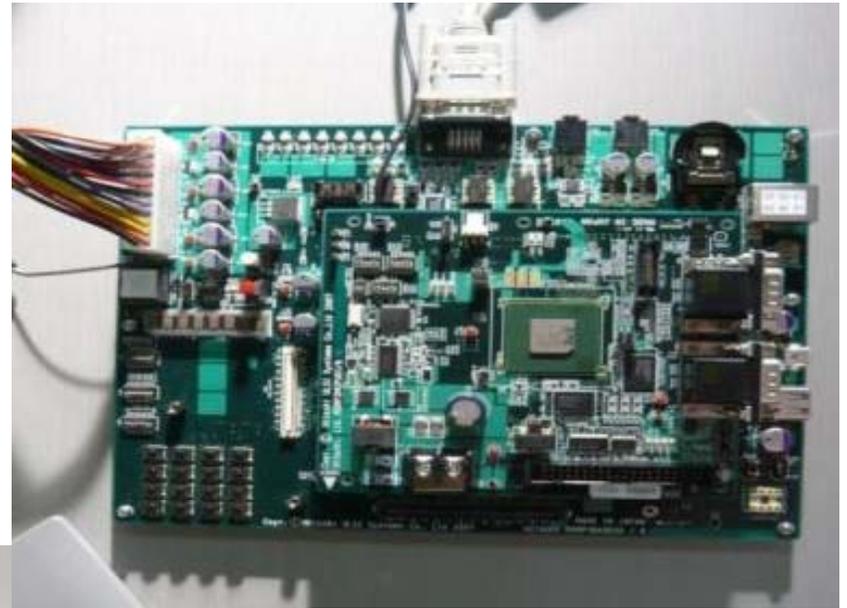


太陽電池で駆動可



ソーラパネル駆動可能な 低消費電力高性能マルチコア RP2(SH4A 8コア集積)

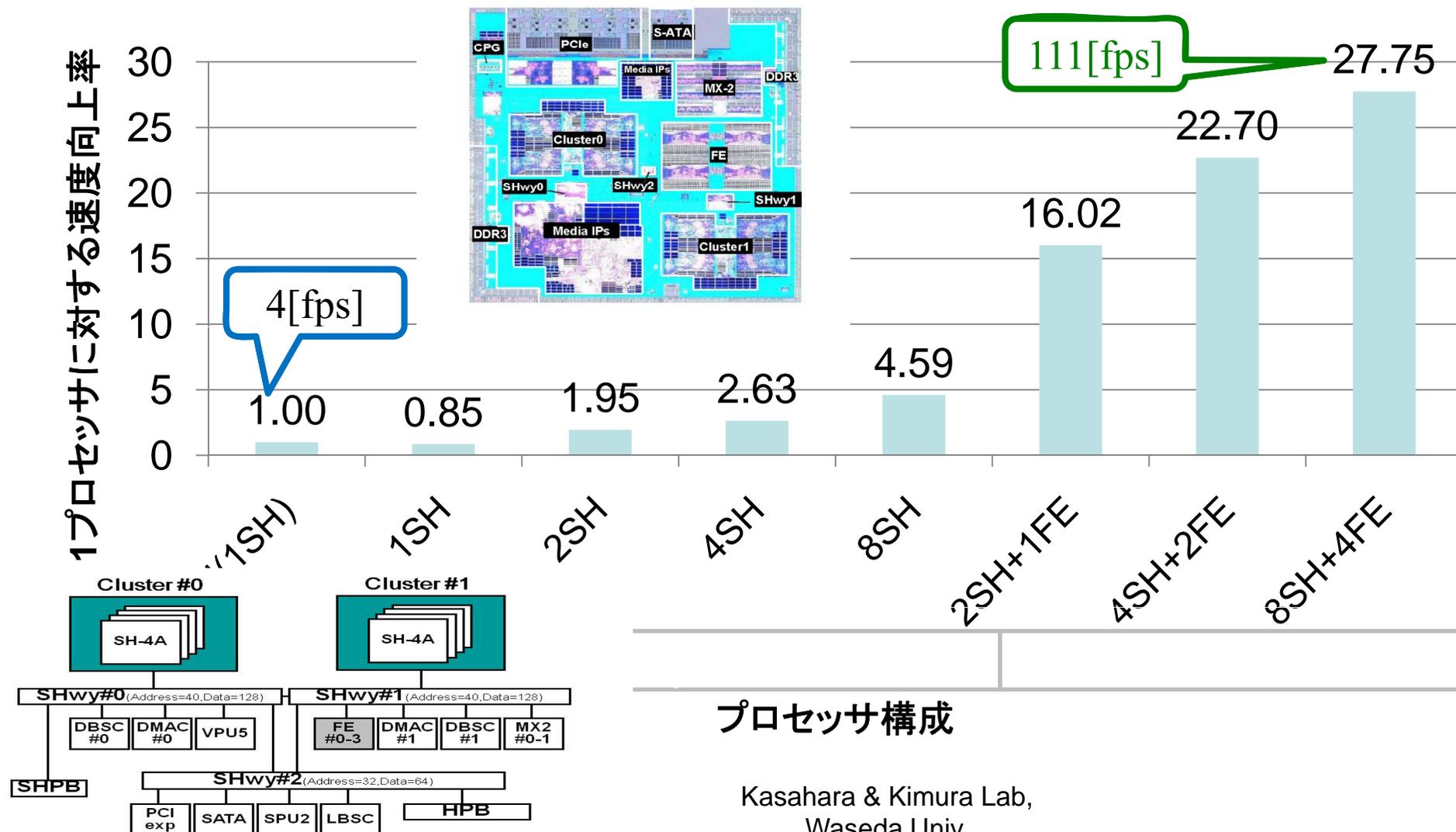
- クリーンエネルギーで駆動可
 - 電力供給が困難な場所での使用可能
 - 災害時でも使用可能



ヘテロジニアスマルチコアRP-X上での処理性能

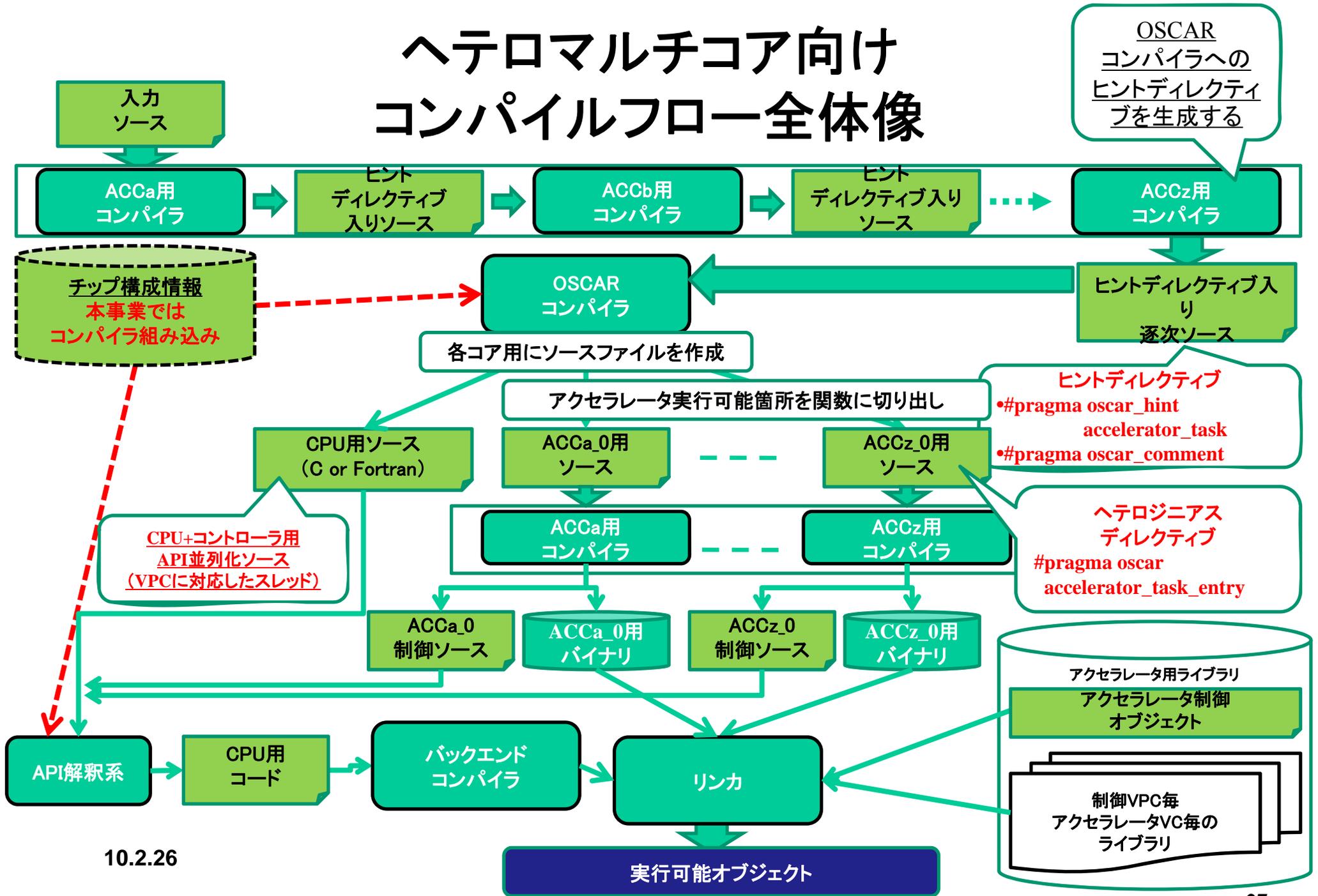
NEDO情報家電用ヘテロジニアスマルチコアプロジェクト(2006-09)

-画像動作追従のためのオプティカルフロー演算のコンパイラ自動並列化(世界初)-



Kasahara & Kimura Lab,
Waseda Univ.

ヘテロマルチコア向け コンパイルフロー全体像



10.2.26

オプティカルフロー(ライブラリ利用)に対する リアルタイム処理時の消費電力制御

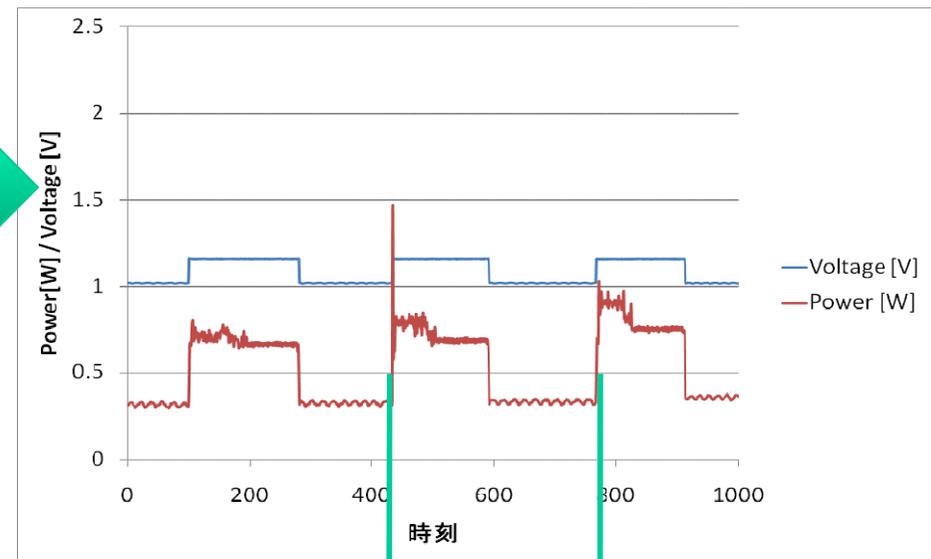
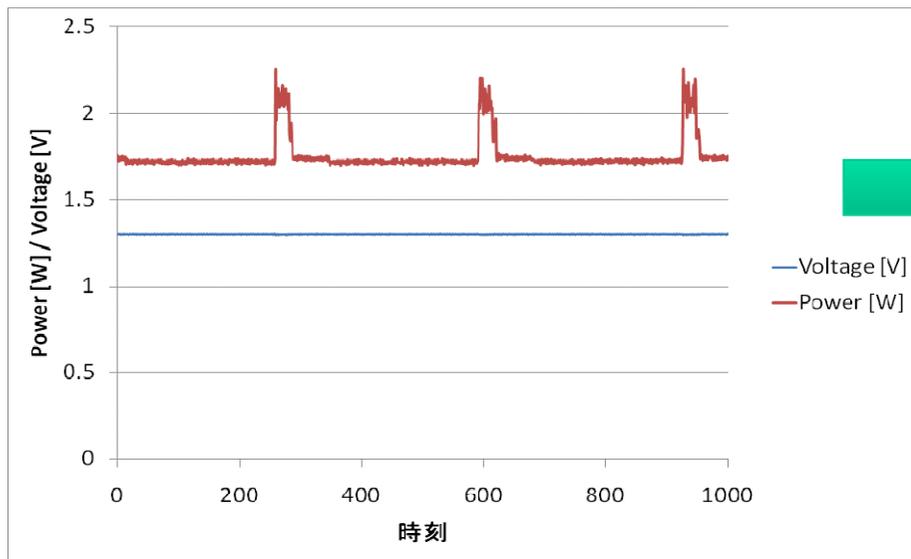
コンパイラ制御なし

コンパイラ制御適用

およそ70[%]の電力削減

平均1.76[W]

平均0.54[W]



1周期 : 33[ms]
→30[fps]

太陽電池駆動・超低消費電力高性能コンピュータの研究開発

研究開発の目的

低炭素・安全安心社会実現への貢献

- 太陽電池駆動可能超低消費電力・高性能コンピュータ
 - 自然冷却(ファン不要)::他国の追従不可な低消費電力
 - クラウドサーバ、スパコンの数十MWの電力消費を1/10以下へ削減
- メニーコアを用いたIT機器全体で2025年CO₂排出量1000万トン減/年
- **高度IT機器・自動車産業等の世界競争に勝つ技術の獲得**
- ソフトウェア生産性
 - 従来数ヶ月を要したプログラム並列化を、数分に短縮し生産性向上
→ 情報家電の短製品開発サイクルに対応し低コストで優位化製品を開発
- 携帯電話からスパコンまでの高付加価値化(情報家電:数十兆、サーバ:1兆円市場)
 - 産業利益を支える情報家電、自動車、クラウドサーバ、スパコン等高付加価値製品を持続的に創出するメニーコアプロセッサシステム技術の開発

研究開発技術

- 太陽電池駆動可能超低消費電力ハードウェア
 - メニーコアプロセッサ、太陽電池駆動コンパクトサーバ、消費電力を1/10以下に抑えるクラウドサーバ・スパコンの試作
- 高性能・低消費電力ソフトウェア
 - 世界最高性能の自動並列化・世界唯一の自動電力制御機能を実現したマルチコア用OSCARコンピュータをベースとしたメニーコア及びメニーコアを多数接続したサーバ用コンパイラの試作
 - 並列プログラム記述標準OSCAR APIの開発
- 環境・安全安心・産業競争力強化用アプリケーションソフトウェア
 - 地球環境シミュレーション、クリーンエネルギー、新デバイス、自動車設計、航空機設計、医療画像処理、情報家電

研究開発体制

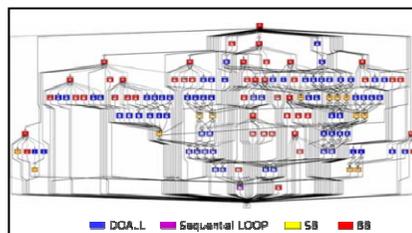
早稲田大学グリーンセンターを中核拠点とし、ハード・ソフト:日立、富士通、ルネサスエレクトロニクス、NEC、東芝、アプリケーション:トヨタ、デンソー、オリンパス、三菱、防災研、地球シミュレーションセンタ、高度情報科学技術研究機構、JAXA等と産官学連携体制で行う



高付加価値情報家電創出



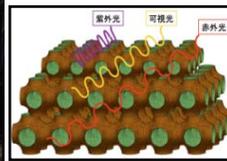
ソフトの並列化を数ヶ月から数分に短縮する世界最高性能自動並列化コンパイラ



実行時の電力を1/4以下に抑える世界初のソフト制御技術

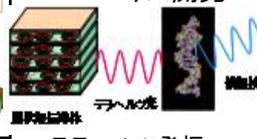


クリーンエネルギー技術

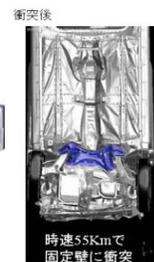


新太陽電池材料

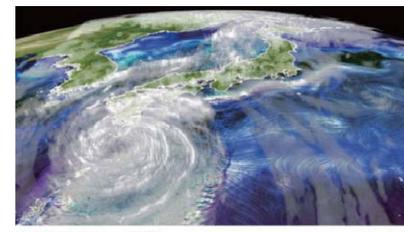
高性能デバイス開発



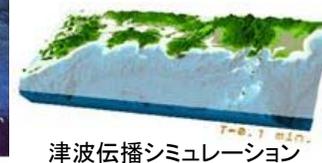
テラヘルツ発振超伝導素子



衝突解析(自動車安全設計)

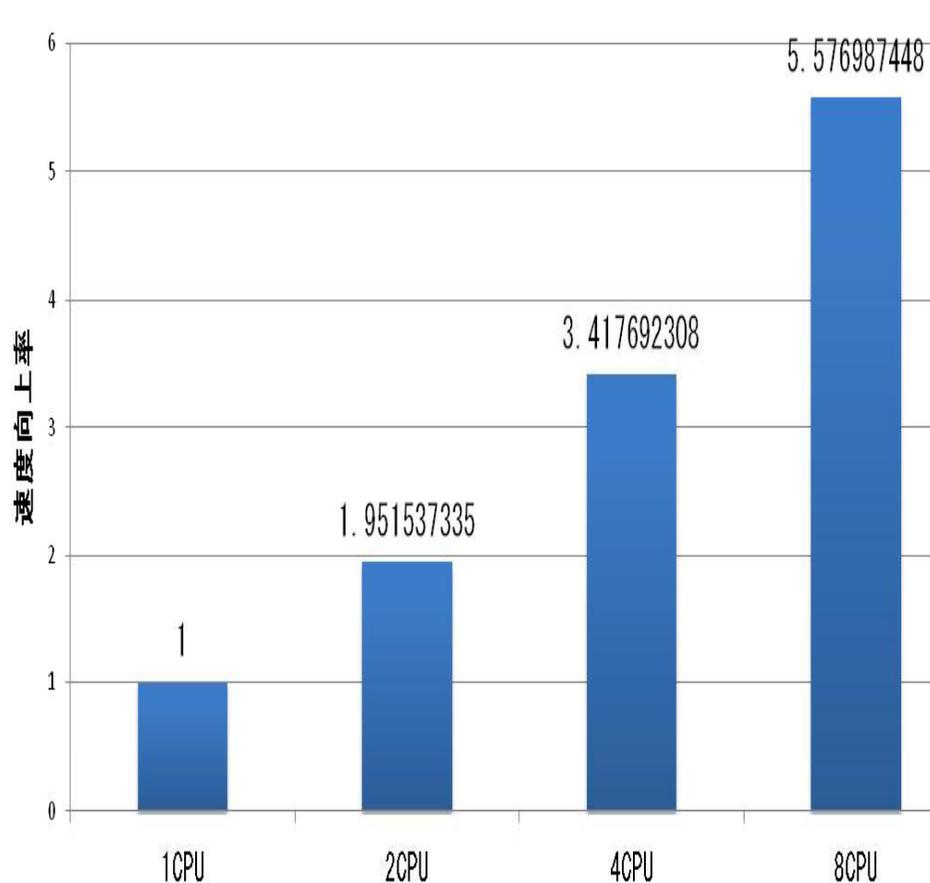


安全安心に向けた地球環境シミュレーション



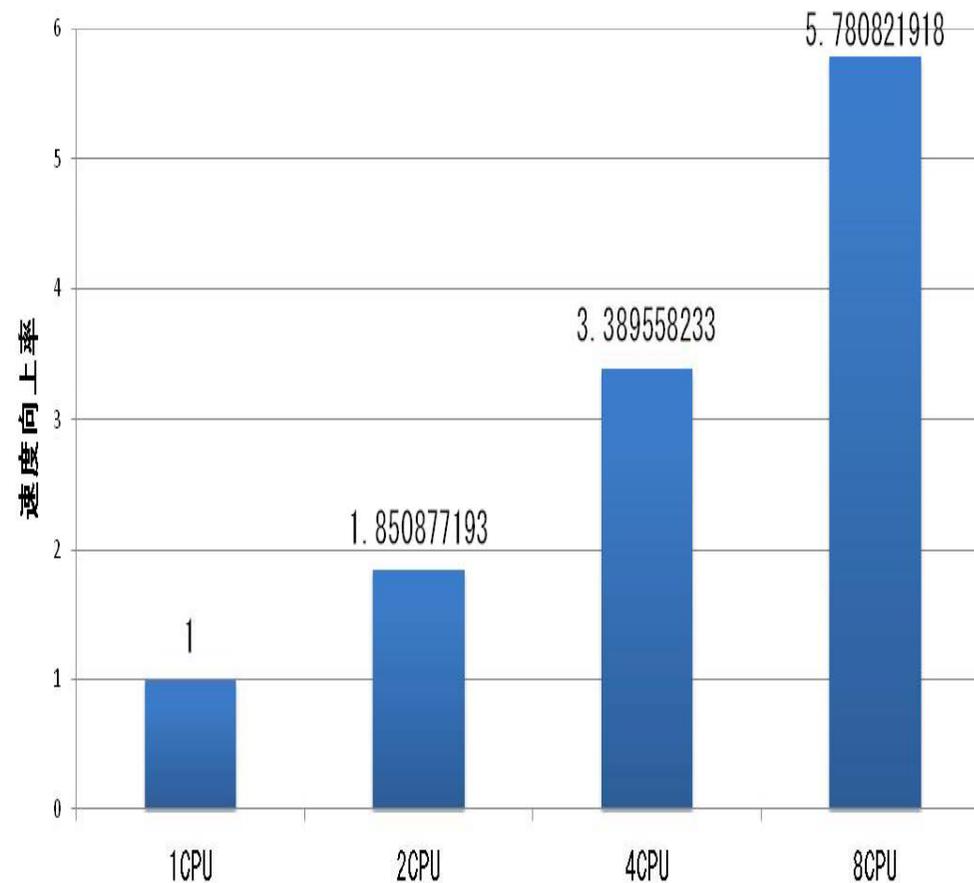
津波伝播シミュレーション

マルチコアプロセッサ上での 重粒子線ガン治療計画の並列処理性能



8CPUで5.58倍の速度向上

Intel Quadcore Xeon 8コアSMP



8CPUで5.78倍の速度向上

**IBM Power 7 8コアSMP
(日立 SR16000)**

産官学連携研究開発・実用化(波及効果)

命を守る

環境を守る

早稲田大学:研究開発

超低消費電力・メニーコアシステム技術

OSCARメニーコアチップ

OSCAR
Many-core
Chip



情報家電

産業競争力を守る

産業界

スパコン・サーバ

市場規模: 情報家電・携帯電話系 数10兆円

市場規模: スパコン・サーバ系 1兆円

まとめ

グリーン・コンピューティング・システム研究開発センターでの
産官学連携研究開発(持続的強化のための人材育成含む)

1.環境を守るコンピューティング・システム

太陽光電力等クリーンエネルギーで動作し、自然冷却可能な
超低消費電力(マルチコア・メニーコア)プロセッサ・システムの
ハードウェア・ソフトウェア・応用技術

2.命を守るコンピューティング・システム

災害(地震・津波・溶岩流)スーパーリアルタイムシミュレーシ
ョン技術、医療(重粒子線ガン治療、内視鏡、脳梗塞診断補助)
等並列ソフトウェア技術・アーキテクチャ技術

3.産業競争力を守るコンピューティング・システム

我が国の主要産業である自動車、情報家電、ロボット等の安
全、安心、快適、省エネ、高機能、高生産性を実現し高付加価
値化に貢献するソフトウェア・ハードウェア・API技術