

最先端低消費電力高性能プロセッサ技術の ハードウェアとソフトウェア

--マルチコア・メニーコアプロセッサ技術と

早稲田大学グリーンコンピューティングシステム研究開発センターの設立--

早稲田大学

理工学術院基幹理工学部情報理工学科 教授
アドバンスト・マルチコア・プロセッサ研究所 所長

IEEE Computer Society理事

笠原博徳

1985年 早稲田大学博士課程了 工学博士
カリフォルニア大学バークレー客員研究員
日本学術振興会第1回特別研究員
1986年 早大理工専任講師, 1988年 助教授
1997年 教授、現在 理工学術院情報理工学科
1989年～1990年 イリノイ大学Center for
Supercomputing R&D客員研究員
2009年 IEEE Computer Society 理事 (Golden Core
Member 2010-)

査読付論文 172件, シンポジウム論文 27件, 研究会論文 125件, 全国大会論文 154件, 招待講演 83件, **新聞・Web記事・TV等メディア掲載 400件以上**

受賞

1987年 IFAC World Congress Young Author Prize
1997年 情報処理学会坂井記念特別賞
2005年 STARC(半導体理工学研究センタ)共同研究賞
2008年 LSI・オブ・ザ・イヤー 2008 準グランプリ
2008年 Intel Asia Academic Forum Best Research Award
2009年IEEE Computer Society Golden Core Member

政府・学会委員等歴任数 201件

【経済産業省・NEDO】 30件 【内閣府】 8件
【文部科学省・JST・JSPS・JAXA・原子力機構・海洋研】 26件
IEEE 21件, 情報処理学会 36件, ACM 14件, 国際会議PC等 57
件, 高校生科学技術チャレンジ審査委員等 他9件

IEEE CS BoG (理事)

2009 BOARD OF GOVERNORS

BOG2009@COMPUTER.ORG

Term Ending 2009
Robert Dupuis
dupuis.robert@uquam.ca

Van L. Eden
vaneden@computer.org

Frank E. Ferrante
fferrante@computer.org

Roger U. Fujii
roger.fujii@ngc.com

Ann Q. Gates#
a.gates@computer.org

Juan E. Gilbert
gilbert@auburn.edu

Donald F. Shafer
d.shafer@computer.org

Term Ending 2010
André Ivanov
ivanov@ece.ubc.ca

Phillip A. Laplante
plaplante@psu.edu

Itaru Mimura
i.mimura@computer.org

Jon G. Rokne
rokne@cpsc.ucalgary.ca

Christina M. Schober
c.schober@computer.org

Ann E. K. Sobel
sobelae@muohio.edu

Jeffrey M. Voas
jeffrey.m.voas@saic.com

Term Ending 2011
Elisa Bertino
bertino@cerias.purdue.edu

George V. Cybenko
g.cybenko@computer.org

Ann DeMarle
demarle@champlain.edu

David S. Ebert
ebertd@purdue.edu

David Alan Grier
grier@gwu.edu

Hironori Kasahara
kasahara@waseda.jp

Steven L. Tanimoto
tanimoto@cs.washington.edu

Second Consecutive Term

NOMINATIONS

David S. Ebert
Hironori Kasahara
Anne Marie Kelly*

NOMCOM2009@COMPUTER.ORG

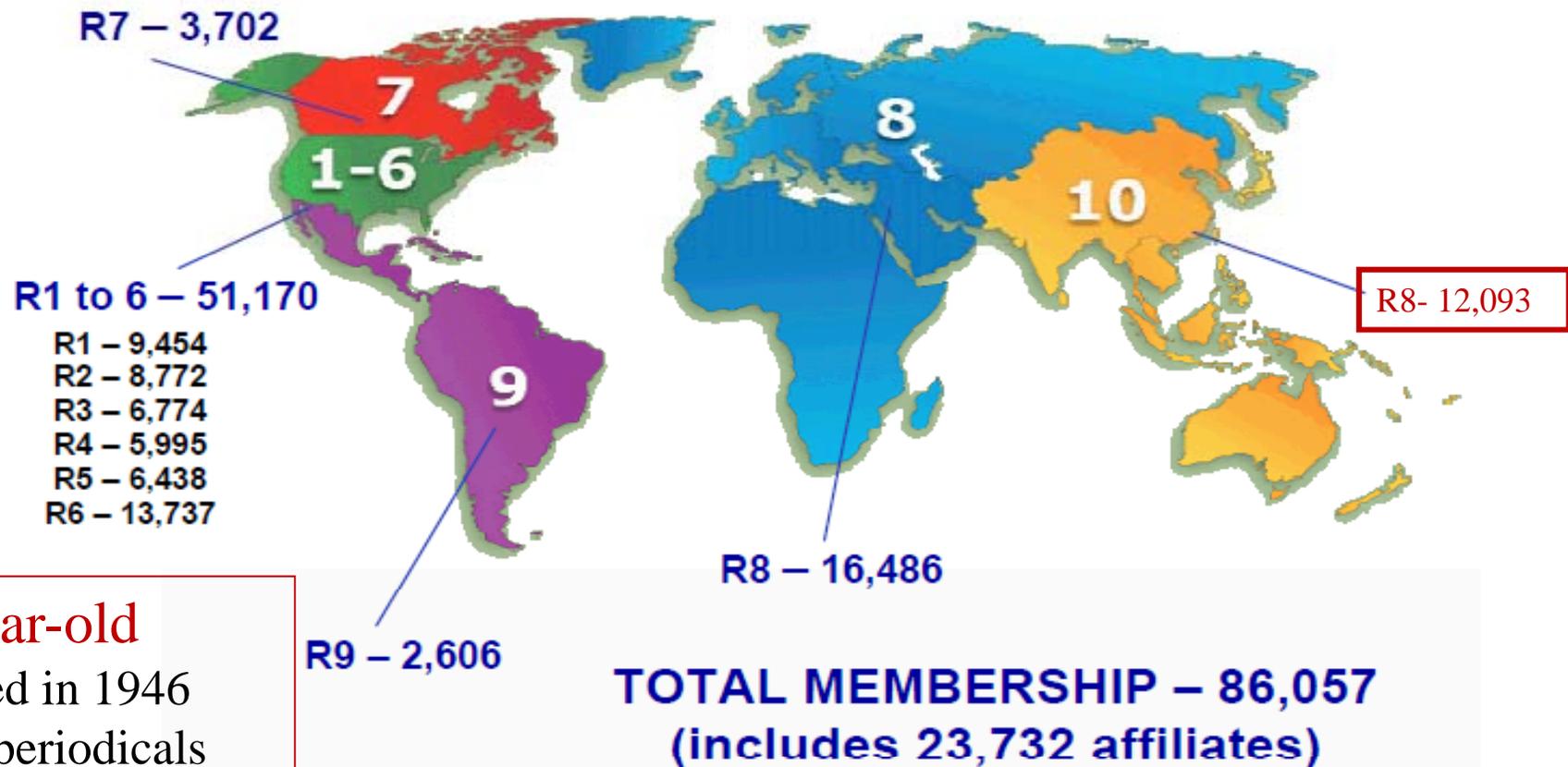
Rangachar Kasturi (Chair)

Biran Lovell
Murali Varanasi

IEEE Computer Society



365,000 members in over 160 countries
38 societies and 7 technical councils



- 62-year-old
- Founded in 1946
- 27 CS periodicals
- 250 Conference Publications

Figure 1: Computer Society Membership by region.

IEEE Computer Society President Prof. Rangachar Kasturi,

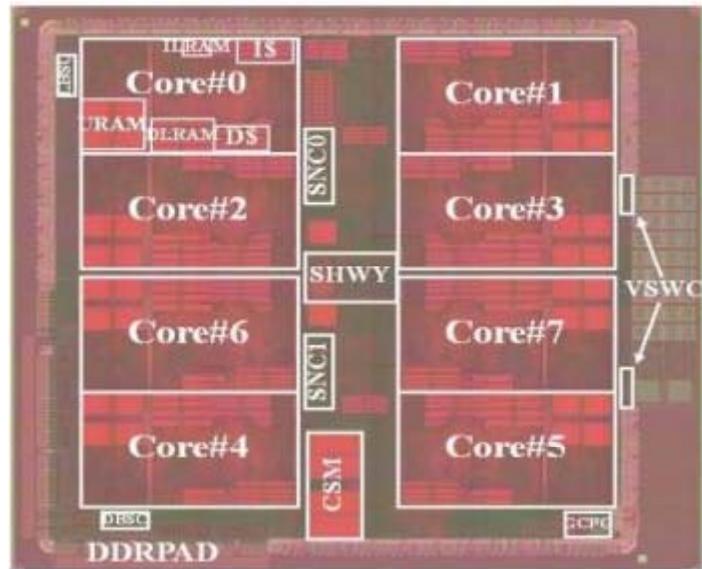
2008.3.15



IEEE Computer Society President Dr. Susan K. Land 2009.03.10



マルチコアEverywhereの時代



■ 組み込みプロセッサからスパコンまで

➤ 情報家電用マルチコア

カーナビ, 携帯電話, ゲーム, デジタルTV, DVD

IBM/ Sony/ Toshiba Cell (9 cores), Fujitsu FR1000 (4 cores),

Panasonic Uniphier, NEC/ARM MPCore/MP211/NaviEngine (4 cores)

Renesas, Hitachi & Waseda 4 core RP1, 8 core RP2, 15 core Hetero RPX

Tilera Tile64, SPI Storm-1(16 VLIW cores)

➤ PC, サーバ

Intel Quad Xeon, Core 2 Quad, Montvale, Nehalem(8cores), 80 cores,

Larrabee(32cores), SCC: Single Chip Cloud (48 cores)

AMD Quad Core Opteron, Phenom

NEDOリアルタイム情報家電用マルチコアプロジェクトルネサス試作チップ(OSCAR)標準アーキテクチャ

➤ WSs, Deskside & Highend Servers

IBM Power4,5,5+,6, 7 (HPCS 実効性能1PFLOP: 8 cores),

Cyclops64 (80 cores), Sun Niagara(SparcT1,T2), Rock

➤ スーパーコンピュータ

地球シミュレータ, 2002年3月 5120ベクトルプロセッサ :40TFLOPS

IBM Blue Gene/L: 360TFLOPS, 2005,低消費電力マルチコアベース

128K processor chips, BG/Q 20PFLOPS (2011)

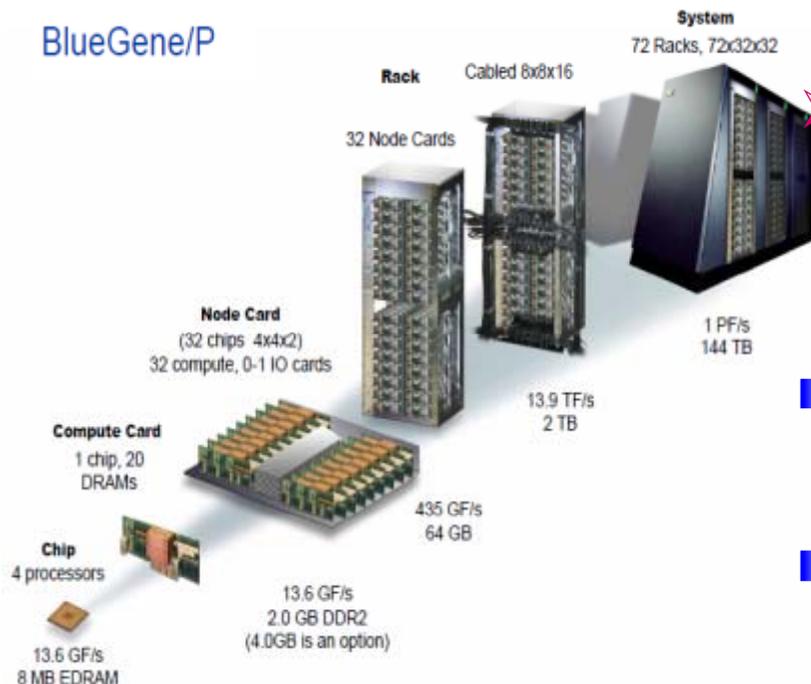
Blue Waters (2011年7月実効性能1PFLOPS:Power7)

■ アプリケーションソフトの充実, 短期間システム開発, 低コスト, 低消費電力, 高機能化が市場競争力決定

<例>携帯電話, ゲーム, 自動車

■ 並列化コンパイラ協調型マルチコアプロセッサ必要

BlueGene/P



NEDOリアルタイム情報家電用マルチコア技術

＜目的＞ DVD,デジタルTV,カーナビ,携帯電話等リアルタイム情報家電における優位化製品創出を目指したプロセッサ技術の国際競争力強化

＜研究期間＞平成17年7月～平成20年3月

＜内容＞ 下記特徴をもつマルチコア・アーキテクチャ及びコンパイラ技術の確立

- ・優れた価格性能
- ・短ハードウェア・ソフトウェア開発期間
- ・低消費電力
- ・同一アーキテクチャでローエンドからハイエンド製品まで柔軟に対応
- ・集積度向上に対するスケーラブルな性能向上(複数半導体世代に対応)
- ・異なる企業開発のマルチコア間でのアプリケーションの共用

＜API: Application Programming Interface並列化コンパイラと各マルチコアの接続＞

日立,富士通,ルネサス,東芝,松下,NEC

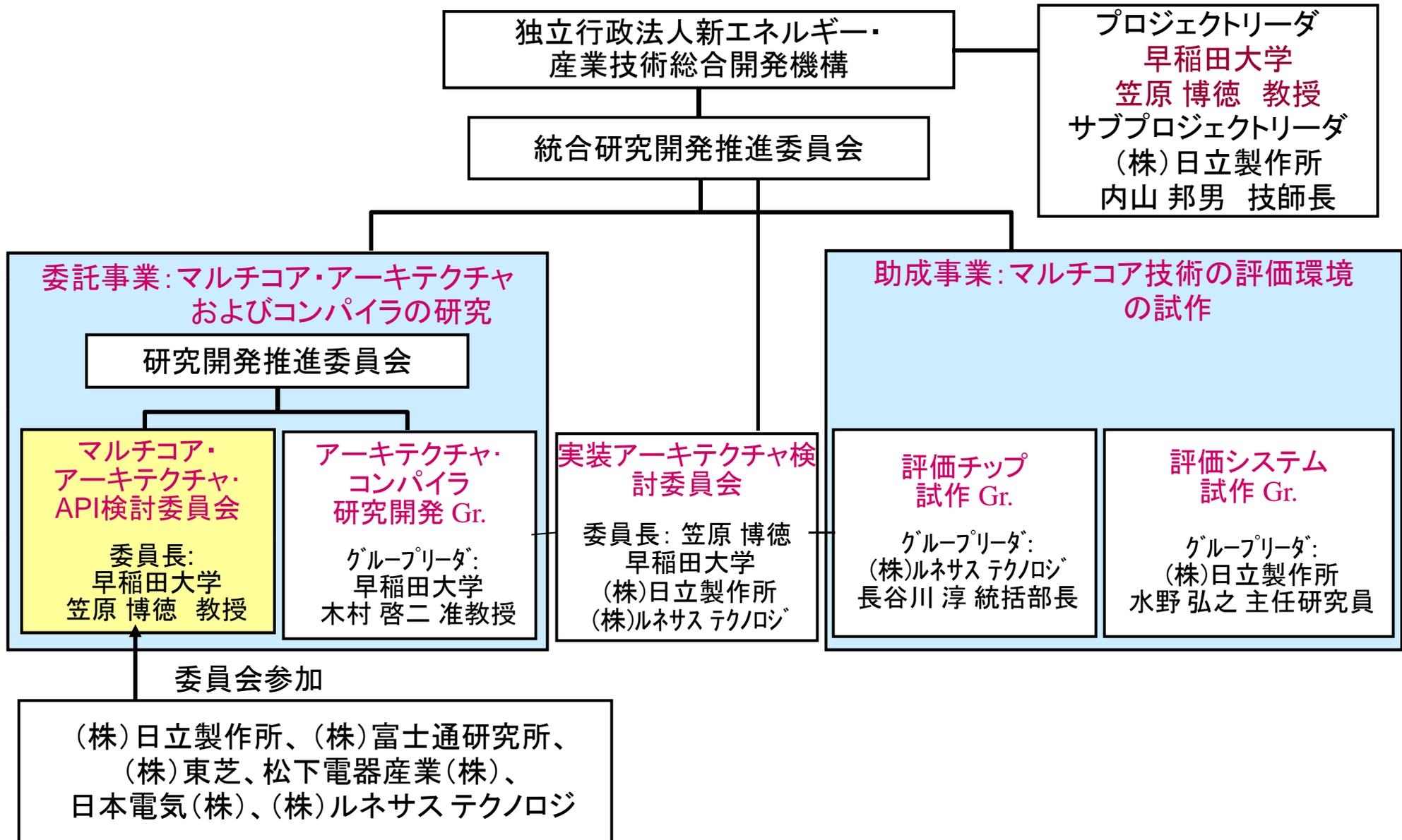
＜委託事業＞ NEDO”アドバンスト並列化コンパイラ“の成果と参加各社のプロセッサ技術を委員会及び研究により発展させ、標準的マルチコア・アーキテクチャと並列化APIを策定し、既存及び新規チップ上での性能評価を通し改良する

＜助成事業＞ 委託事業にて策定されたアーキテクチャをベースとしたチップ及びその開発環境を開発し委託研究での評価のために供与する

＜PC用プロセッサとの目的の違い＞

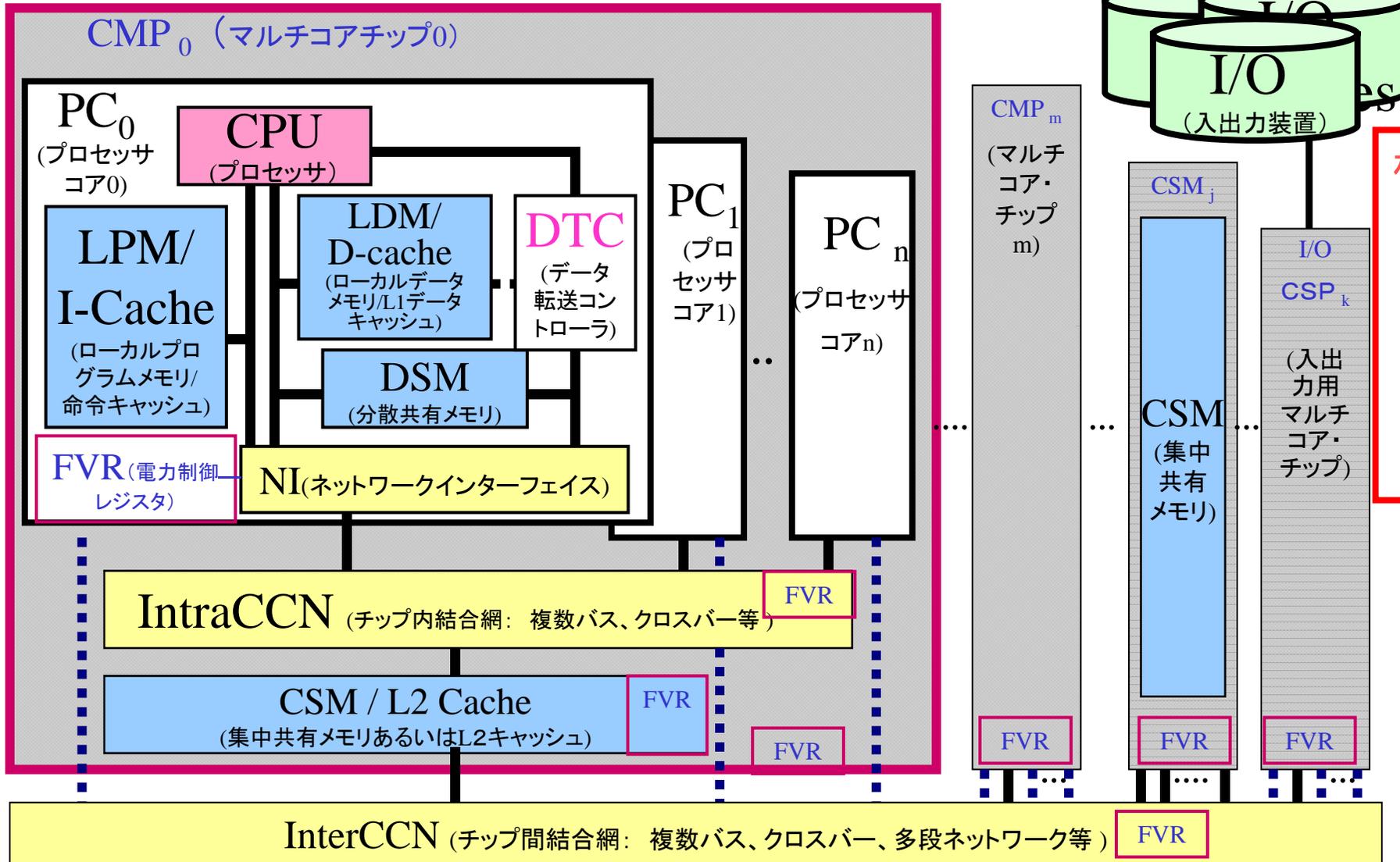
リアルタイム処理なアーキテクチャ・自然冷却可能な低消費電力性

リアルタイム情報家電用マルチコア技術研究開発実施体制



標準的メモリアーキテクチャと承認されたOSCARマルチコア

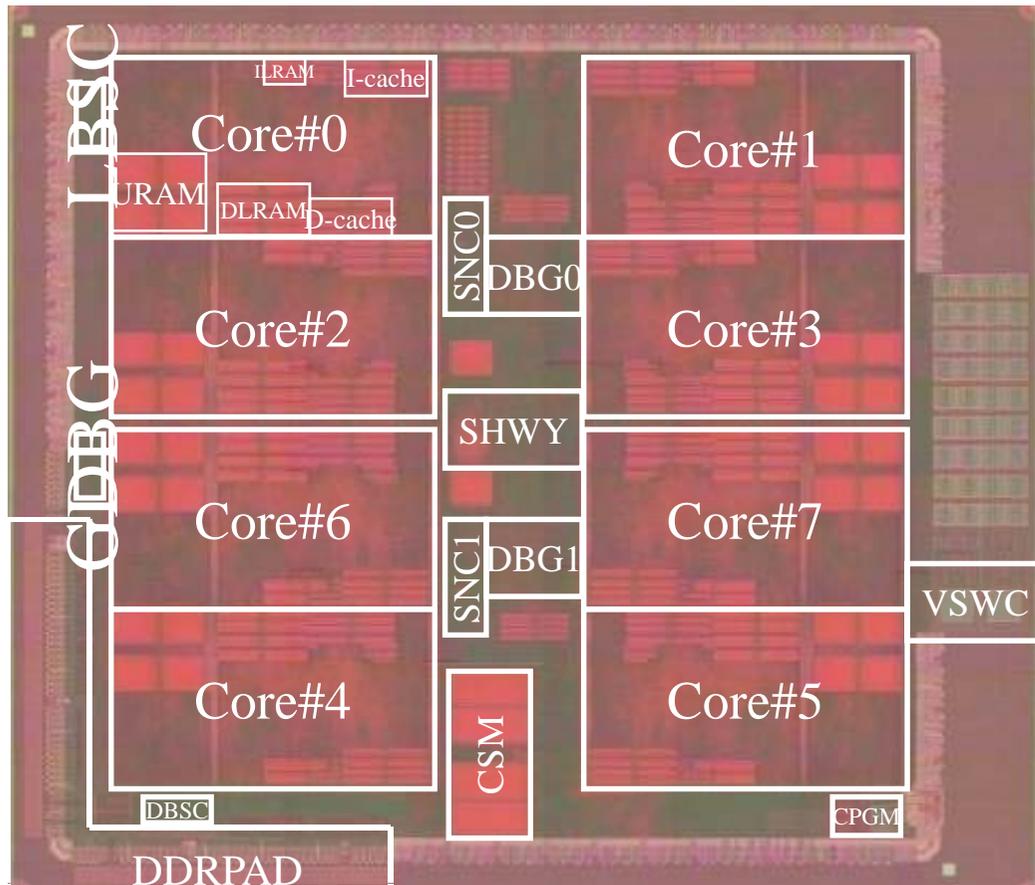
- ローカルメモリ
- 分散共有メモリ
- 集中共有メモリ(チップ内・外)
- DTC(高機能DMAC)
- 電力制御用FVR



標準メモリアーキテクチャとして
2005年12月16日承認

早稲田OSCARコンパイラ協調型アーキテクチャ

RP2 8コア搭載マルチコアLSI



プロセス	90nm CMOS, 8層メタル, 3種Vth
チップサイズ	104.8mm ² (10.61mm x 9.88mm)
電源電圧	1.0V-1.4V(コア), 1.8/3.3V(I/O)
動作周波数	600MHz
CPU性能	8640 MIPS (Dhrystone 2.1)
FPU性能	33.6 GFLOPS
低電力制御	<ul style="list-style-type: none"> ・CPU毎に独立した周波数変更 ・CPUコアのクロックを停止するスリープモード ・CPUコアの一部のクロックを停止するがキャッシュコヒーレンシ維持可能なライトスリープモード ・CPUコアの電源供給を停止するフル電源遮断モード ・URAM以外のCPUコアの電源供給を停止するレジューム電源遮断モード

8コア集積マルチコアLSIチップ写真

ISSCC08発表: ISSCC08 論文番号4.5, M.ITO, et al., “An 8640 MIPS SoC with Independent Power-off Control of 8 CPUs and 8 RAMs by an Automatic Parallelizing Compiler”

NEDOリアルタイム情報家電用マルチコアチップ・デモの様子

<http://www8.cao.go.jp/cstp/gaiyo/honkaigi/74index.html>

第74回総合科学技術会議【平成20年4月10日】



第74回総合科学技術会議の様子(1)



第74回総合科学技術会議の様子(2)



第74回総合科学技術会議の様子(3)



第74回総合科学技術会議の様子(4)

世界をリードするマルチコア用コンパイラ技術

プロセッサ高速化における3大技術課題の解消

1. 半導体集積度向上(使用可能トランジスタ数増大)に対する速度向上率の鈍化

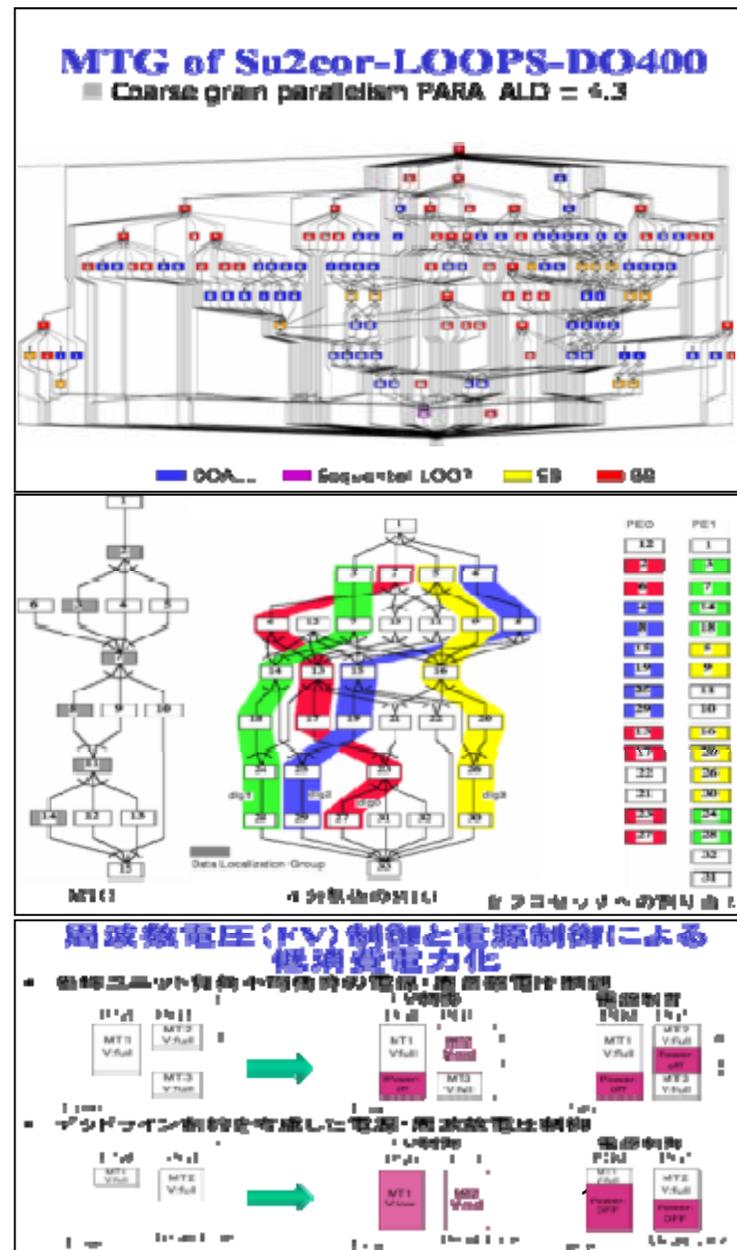
➤ 粗粒度タスク並列化、ループ並列化、近細粒度並列化によりプログラム全域の並列性を利用するマルチグレイン並列化機能により、従来の命令レベル並列性より大きな並列性を抽出し、複数マルチコアで速度向上

2. メモリウォール問題

➤ コンパイラによるローカルメモリへのデータ分割配置、DMAコントローラによるタスク実行とオーバーラップしたデータ転送によりメモリアクセス・データ転送オーバーヘッド最小化

3. 消費電力増大による速度向上の鈍化

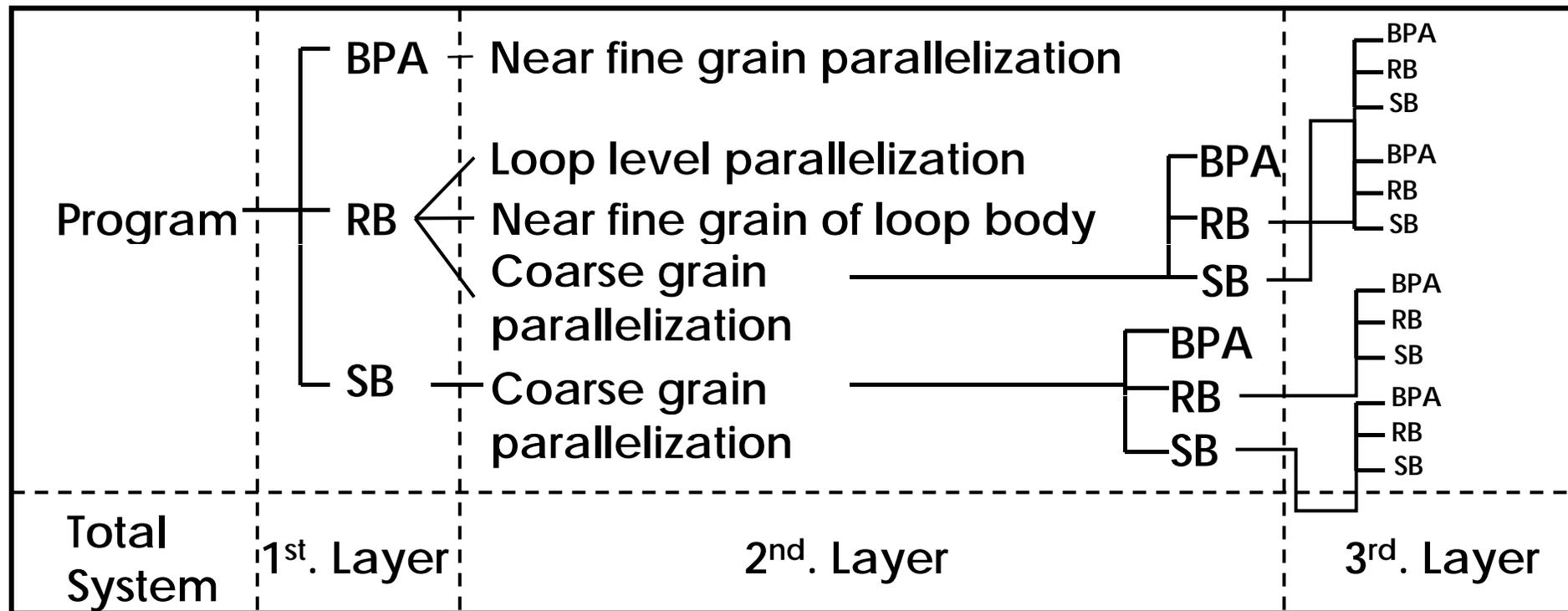
➤ コンパイラによる低消費電力制御機能を用いたアプリケーション内でのきめ細かい周波数・電圧制御・電源遮断により消費電力低減



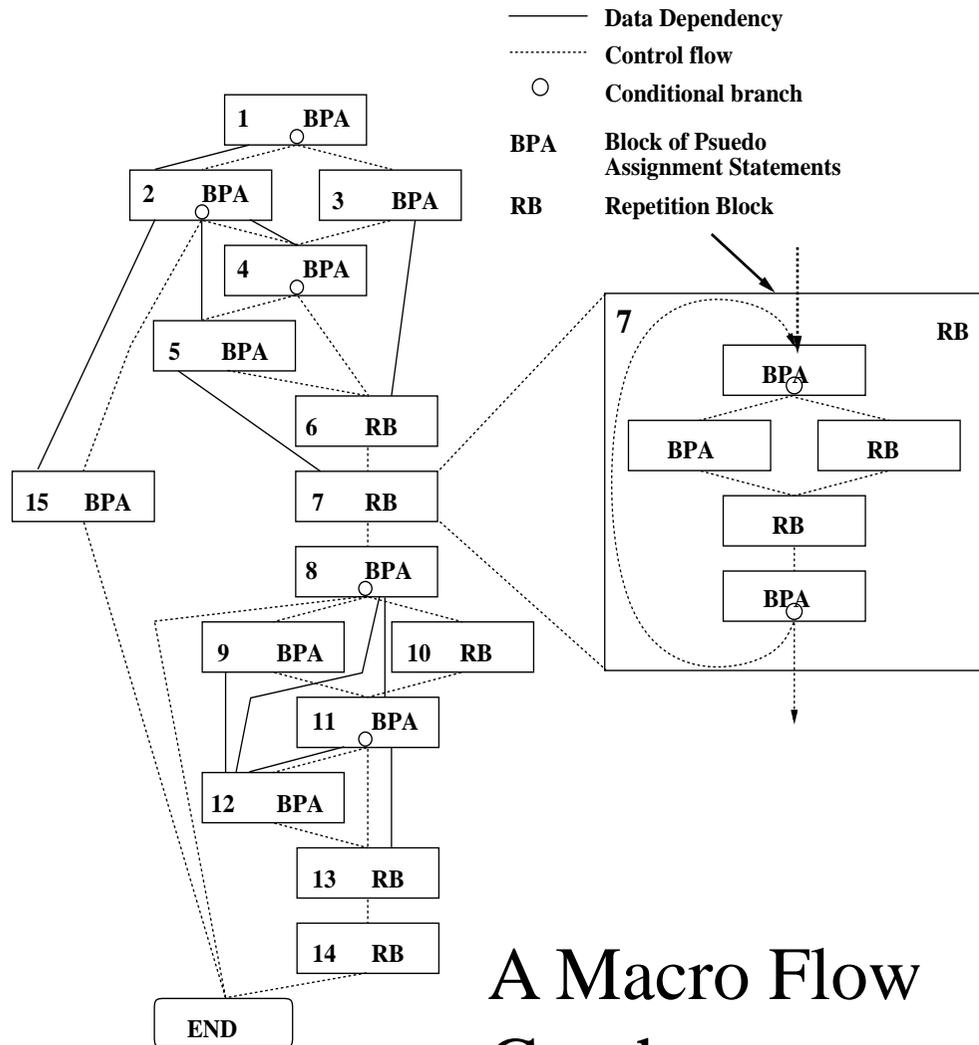
Generation of coarse grain tasks

■ Macro-tasks (MTs)

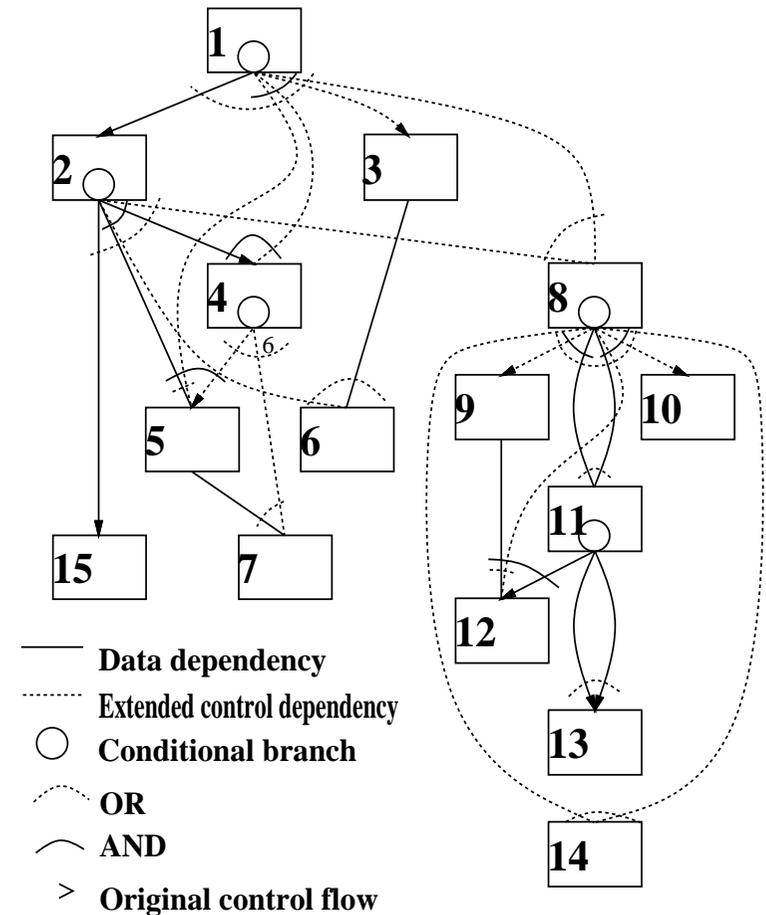
- Block of Pseudo Assignments (BPA): Basic Block (BB)
- Repetition Block (RB) : natural loop
- Subroutine Block (SB): subroutine



Earliest Executable Condition Analysis for coarse grain tasks (Macro-tasks)



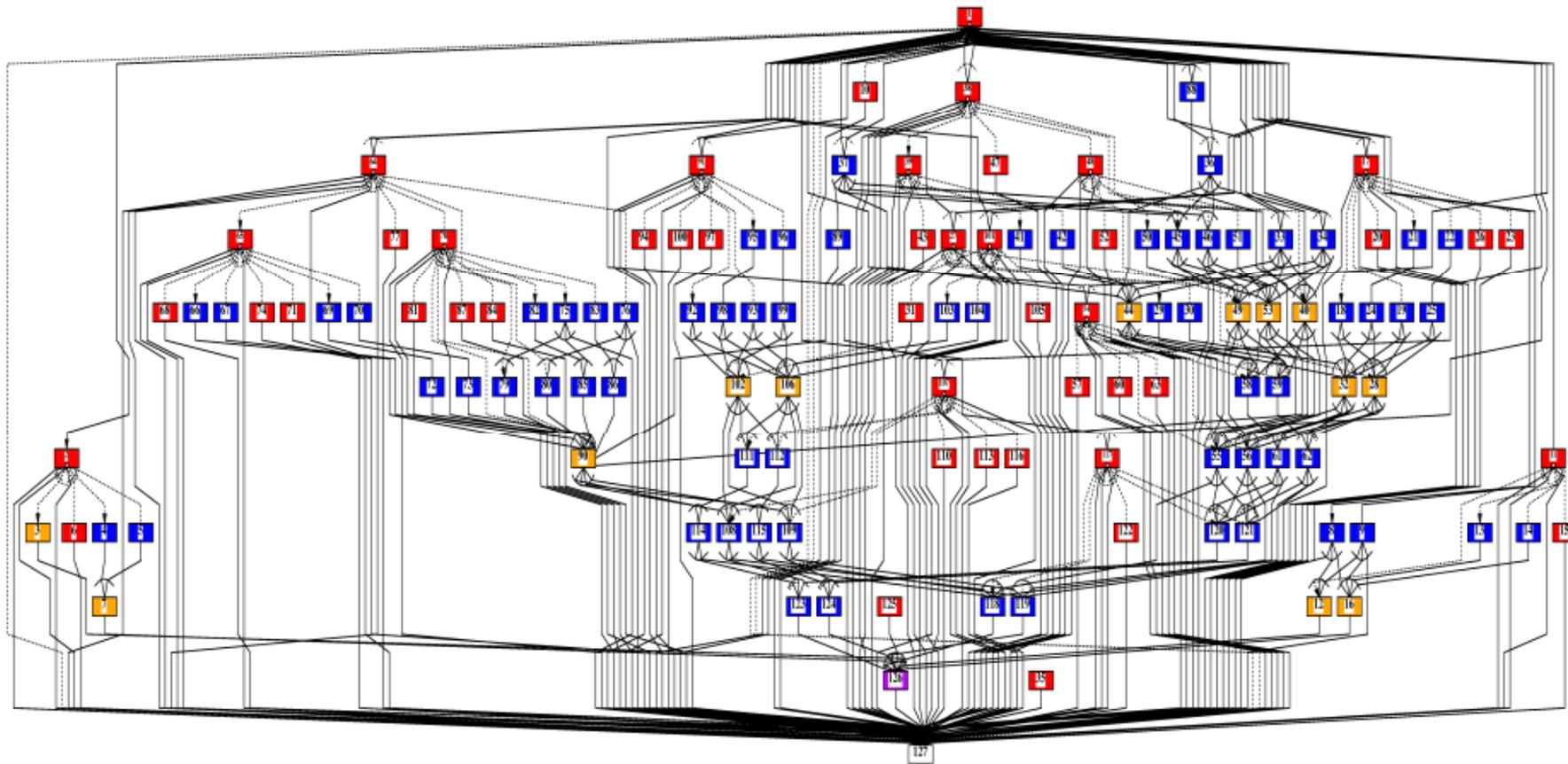
A Macro Flow Graph



A Macro Task Graph

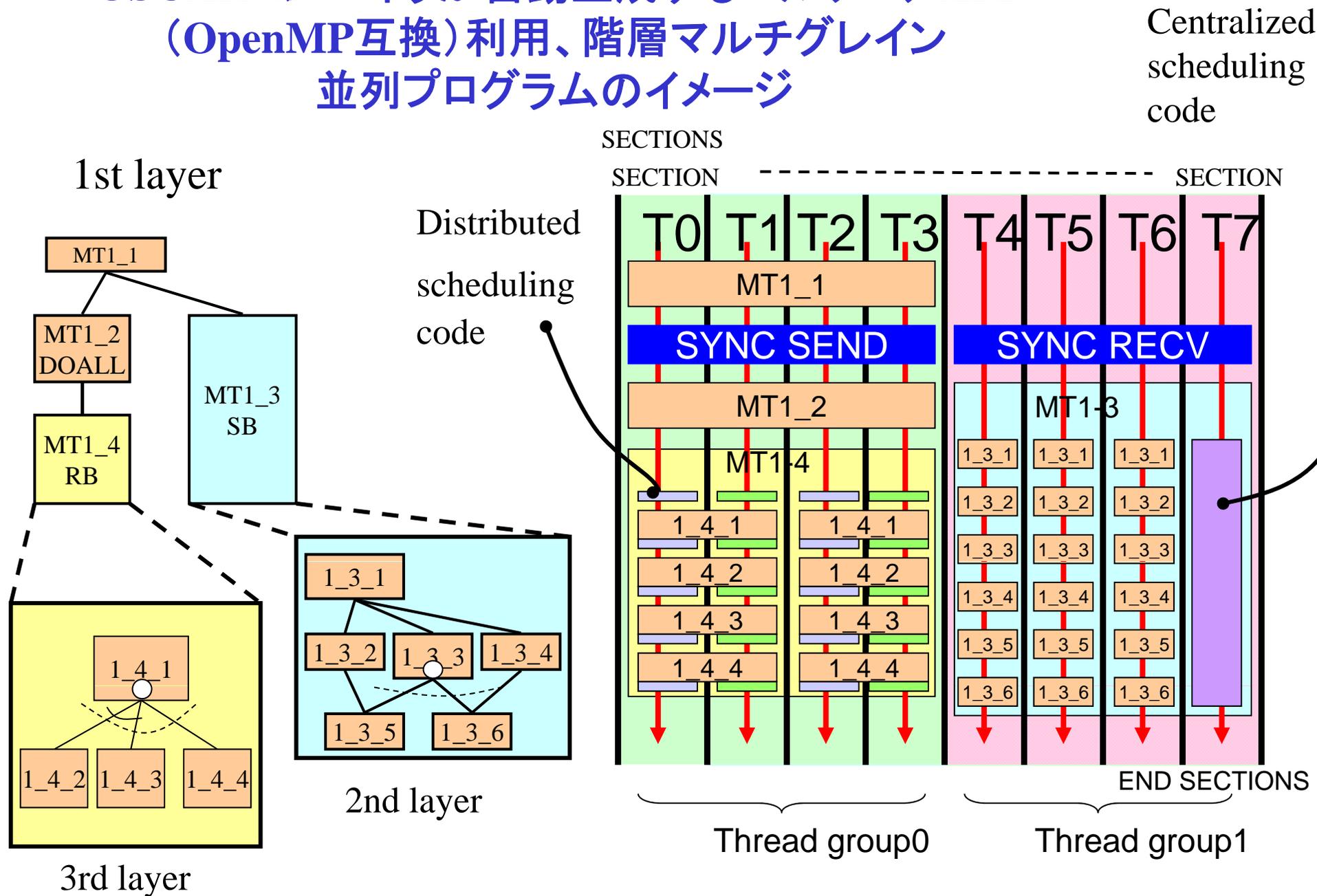
MTG of Su2cor-LOOPS-DO400

- Coarse grain parallelism $\text{PARA_ALD} = 4.3$



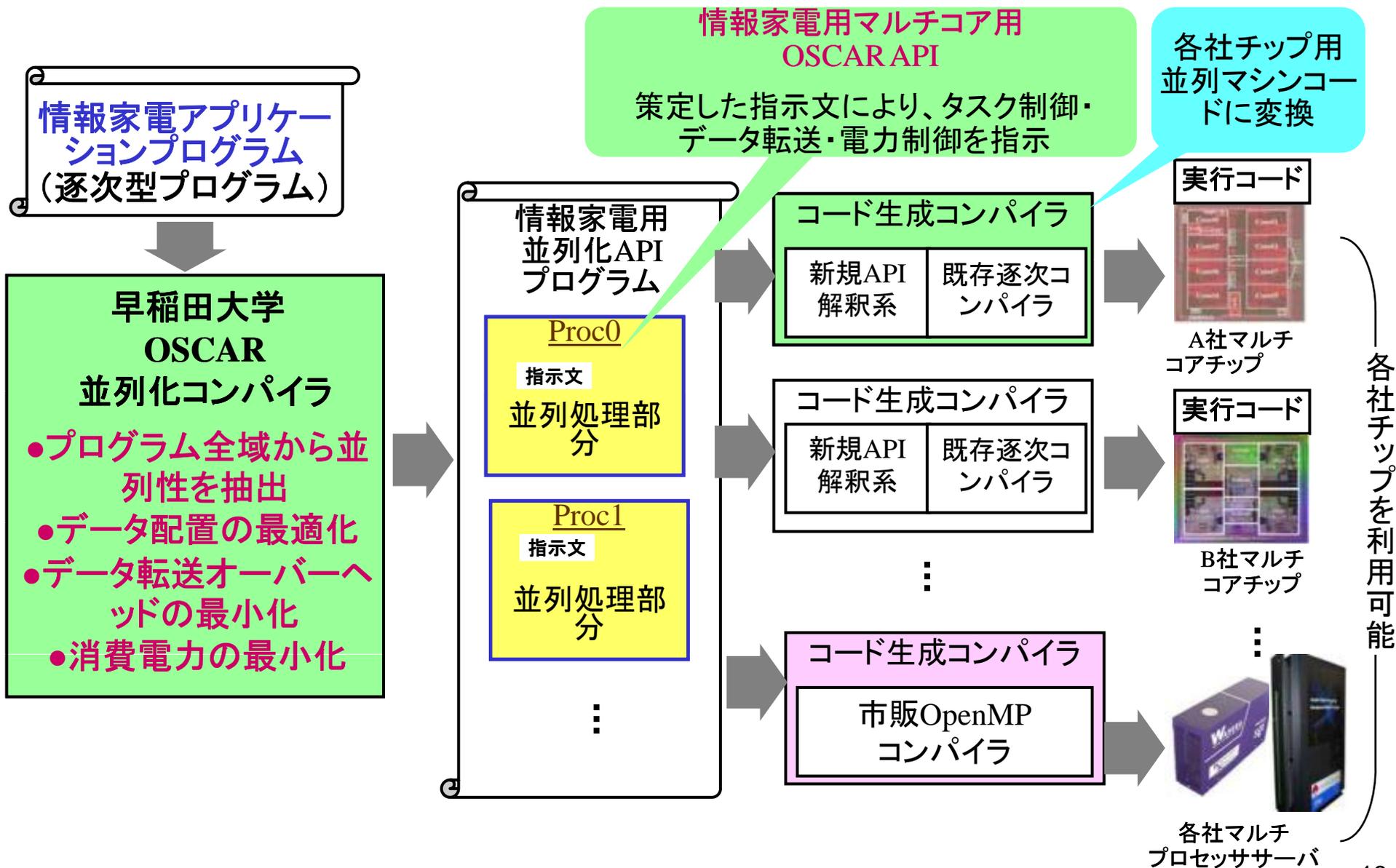
■ DOALL ■ Sequential LOOP ■ SB ■ BB

OSCARコンパイラが自動生成するマルチコアAPI (OpenMP互換)利用、階層マルチグレイン 並列プログラムのイメージ

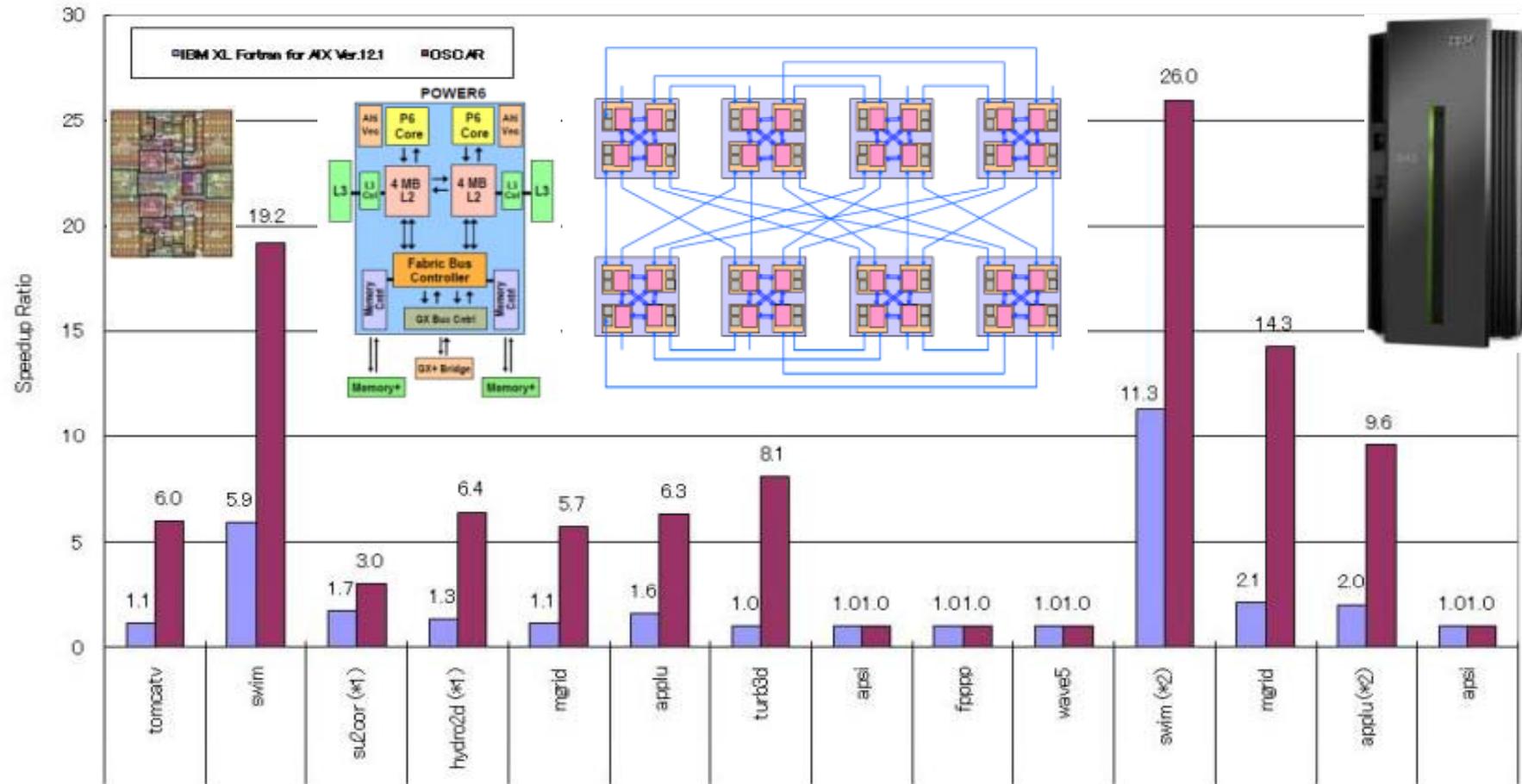


OSCAR APIを用いたコンパイル・実行の流れ

API: Application Programming Interface



Performance of OSCAR Compiler on IBM p6 595 Power6 (4.2GHz) based 32-core SMP Server



OpenMP codes generated by OSCAR compiler accelerate IBM XL Fortran for AIX Ver.12.1 about **3.3 times** on the average

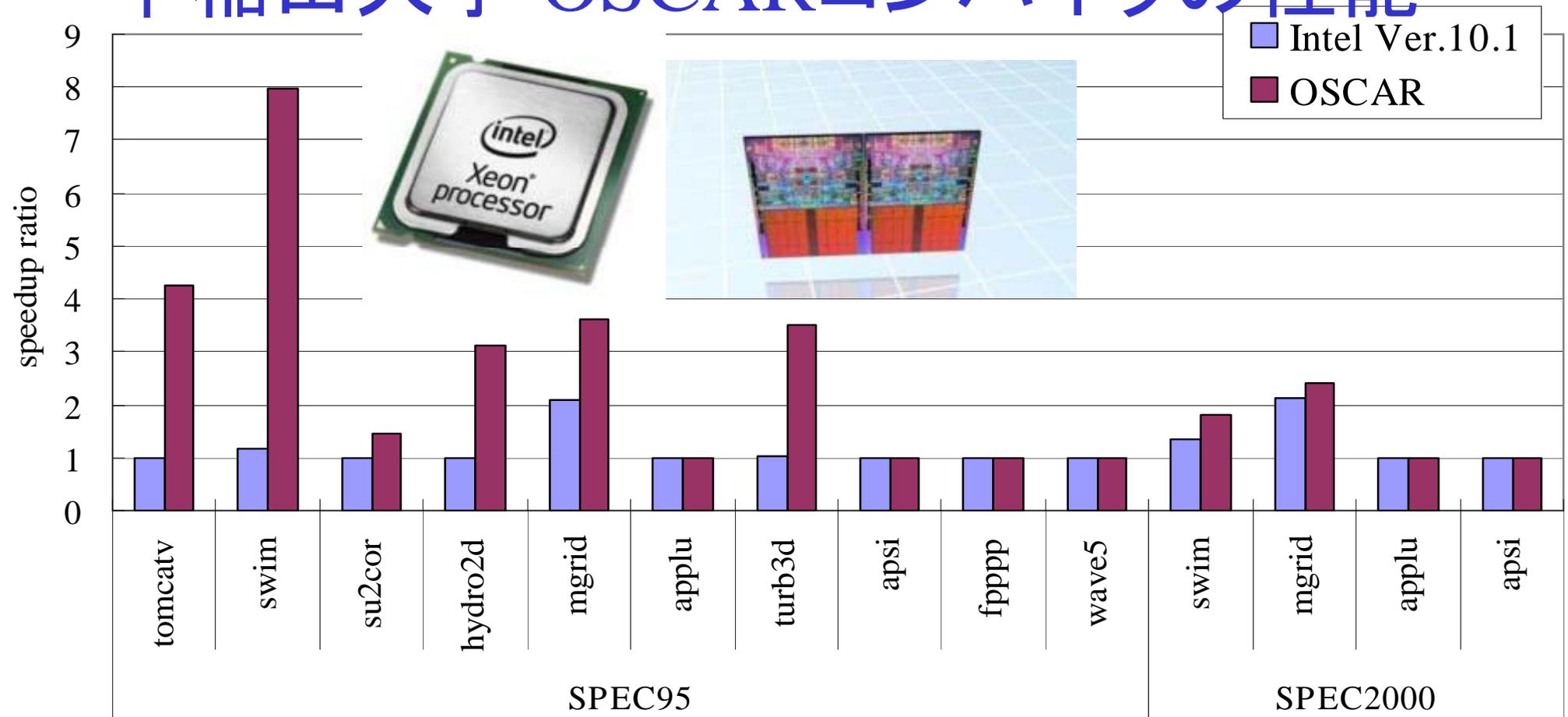
Compile Option:

(*1) Sequential: -O3 -qarch=pwr6, XLF: -O3 -qarch=pwr6 -qsmp=auto, OSCAR: -O3 -qarch=pwr6 -qsmp=noauto

(*2) Sequential: -O5 -q64 -qarch=pwr6, XLF: -O5 -q64 -qarch=pwr6 -qsmp=auto, OSCAR: -O5 -q64 -qarch=pwr6 -qsmp=noauto

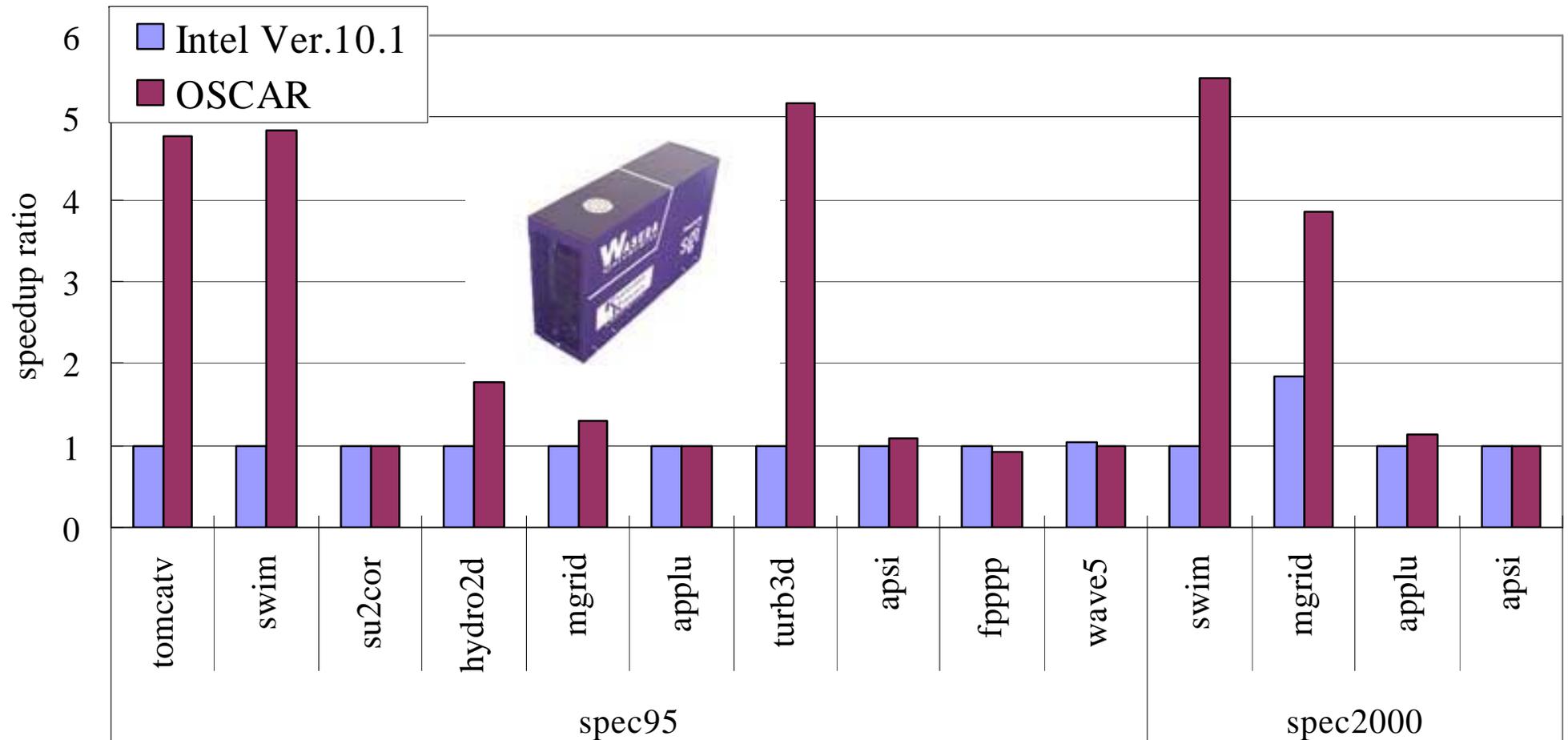
(Others) Sequential: -O5 -qarch=pwr6, XLF: -O5 -qarch=pwr6 -qsmp=auto, OSCAR: -O5 -qarch=pwr6 -qsmp=noauto

インテル クアッドコアXeonプロセッサ上での 早稲田大学 OSCARコンパイラの性能



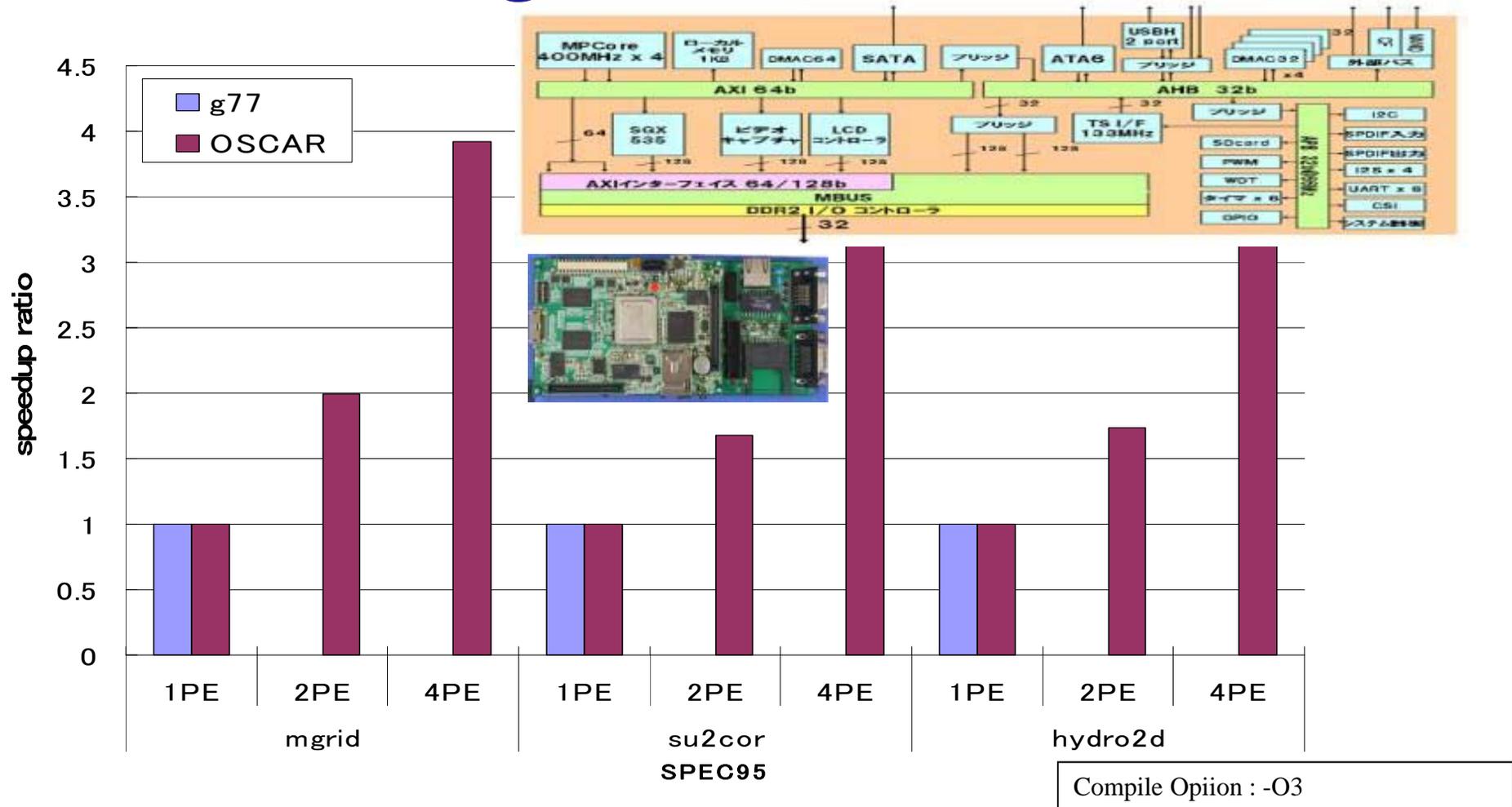
OSCAR コンパイラが生成するOpenMP並列化コードはインテルコンパイラ ver.10.1の性能をインテル・マルチコア上で2.09 倍向上

インテルMontvaleマルチコアを用いた 16 コアSGI Altix 450 デスクサイドサーバ上での OSCAR コンパイラの性能



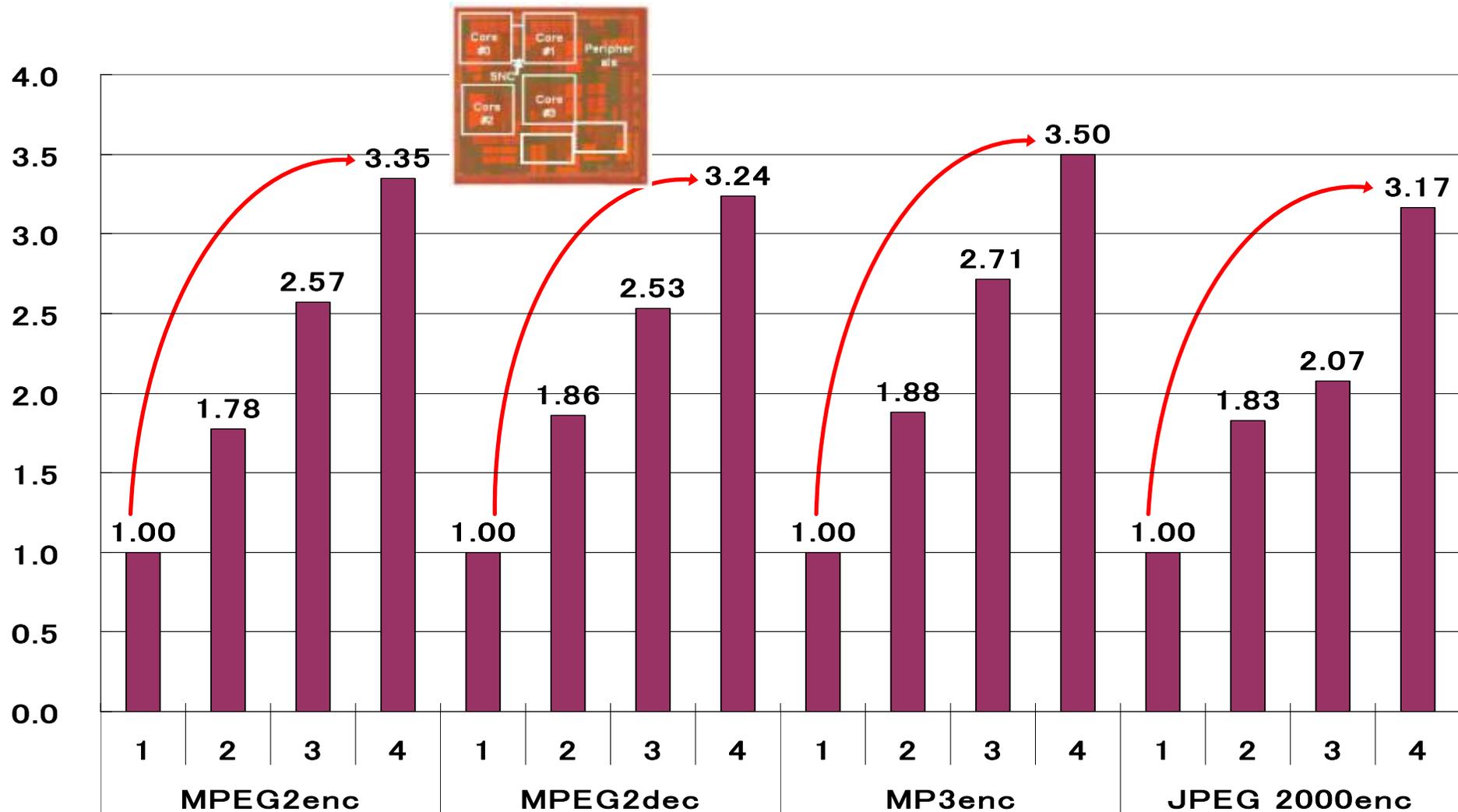
OSCAR コンパイラが生成するOpenMPコードはインテル Itanium
Compiler revision 10.1の性能を 2.32 倍向上

Performance of OSCAR compiler on NEC NaviEngine(ARM-NEC MPcore)



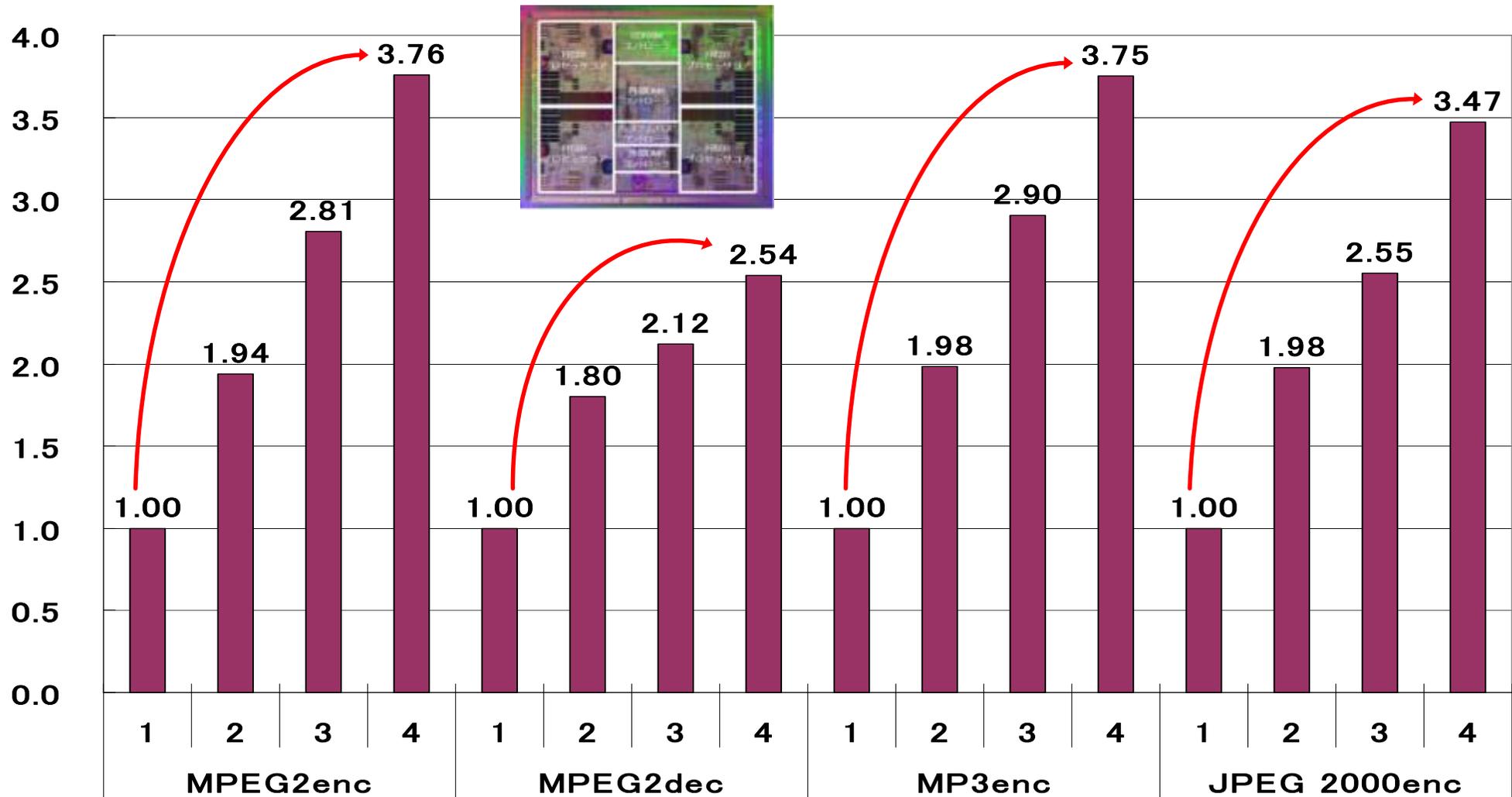
- OSCAR compiler gave us 3.43 times speedup against 1 core on ARM/NEC MPCore with 4 ARM 400MHz cores

Performance of OSCAR Compiler Using the Developed API on 4 core (SH4A) OSCAR Type Multicore



3.31 times speedup on the average for 4cores against 1core

Performance of OSCAR Compiler Using the multicore API on Fujitsu FR1000 Multicore



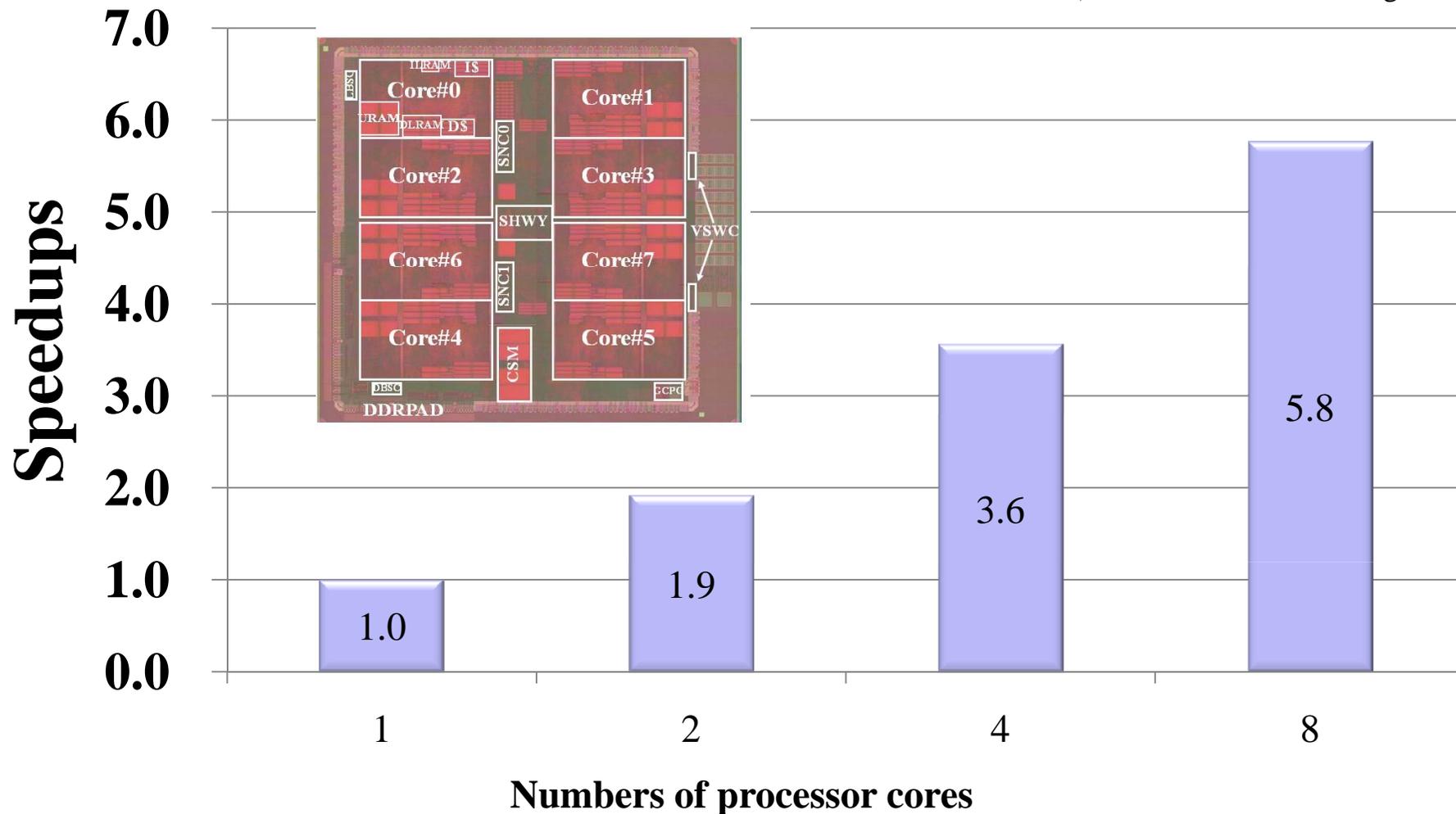
3.38 times speedup on the average for 4 cores against a single core execution

Processing Performance on the Developed Multicore Using Automatic Parallelizing Compiler

Speedup against single core execution for audio AAC encoding

25

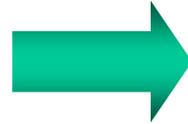
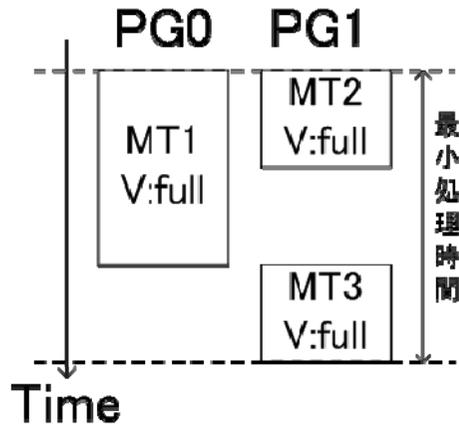
*) Advanced Audio Coding



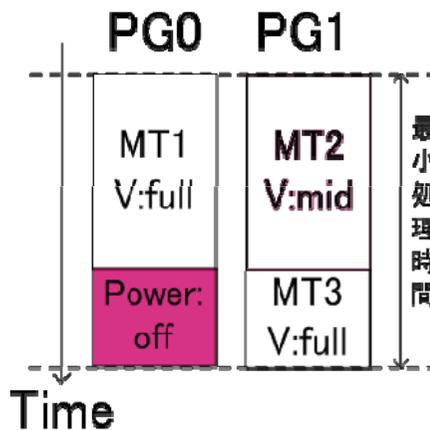
周波数電圧 (FV) 制御と電源制御による低消費電力化

処理ユニット負荷不均衡時の電源・周波数電圧制御

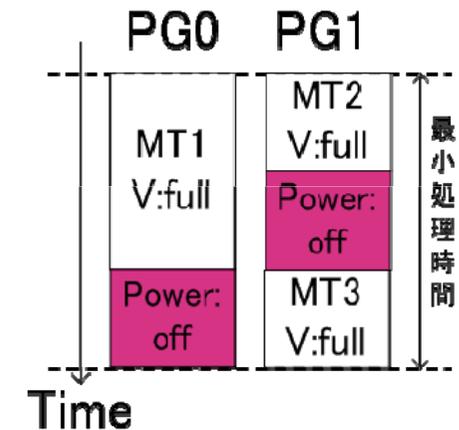
スケジューリング結果



FV制御

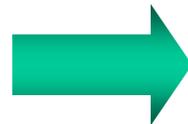
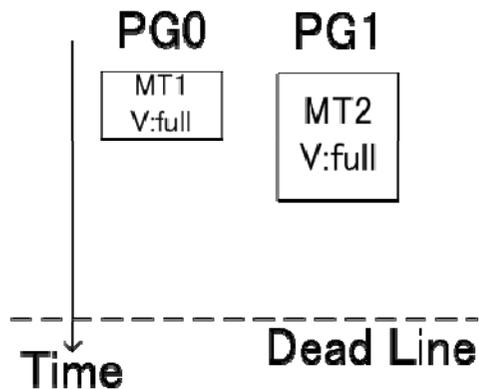


電源制御

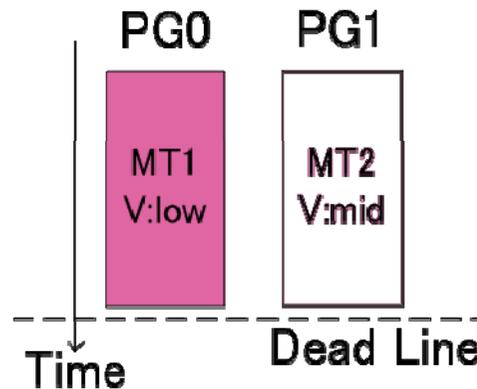


デッドライン制約を考慮した電源・周波数電圧制御

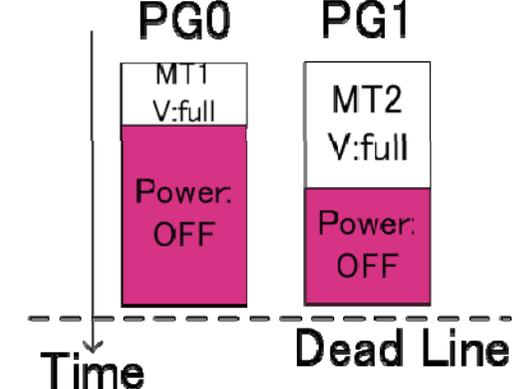
スケジューリング結果



FV制御



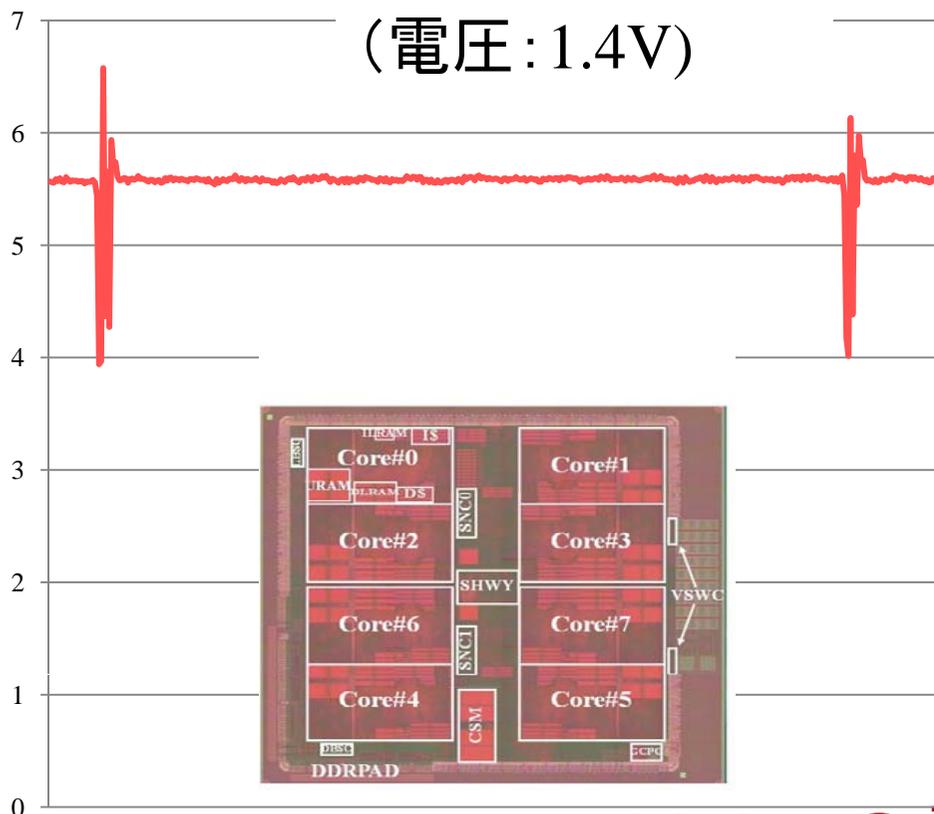
電源制御



音楽圧縮におけるコンパイラ周波数/電圧・電源制御 による開発チップ上での消費電力削減効果

セキュアオーディオ圧縮(AACエンコード+AES暗号化)処理を8コアで実行時の消費電力

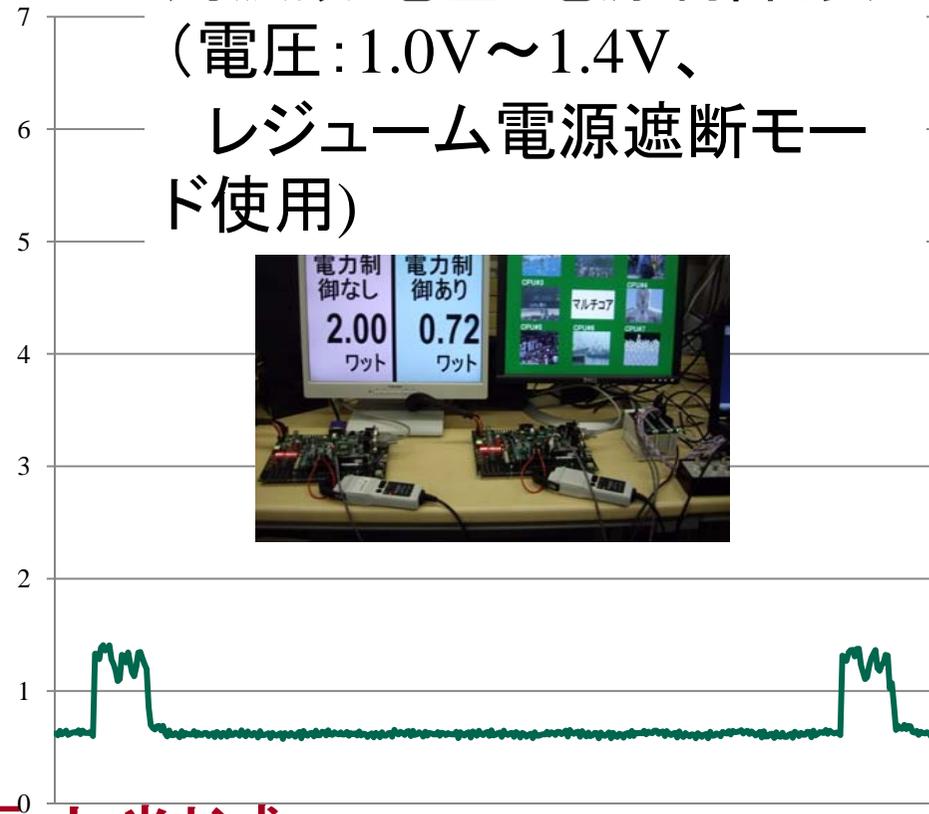
電力制御なし
(電圧:1.4V)



平均電力
5.68 [W]

88.3%の電力削減

周波数/電圧・電源制御あり
(電圧:1.0V~1.4V、
レジューム電源遮断モード使用)

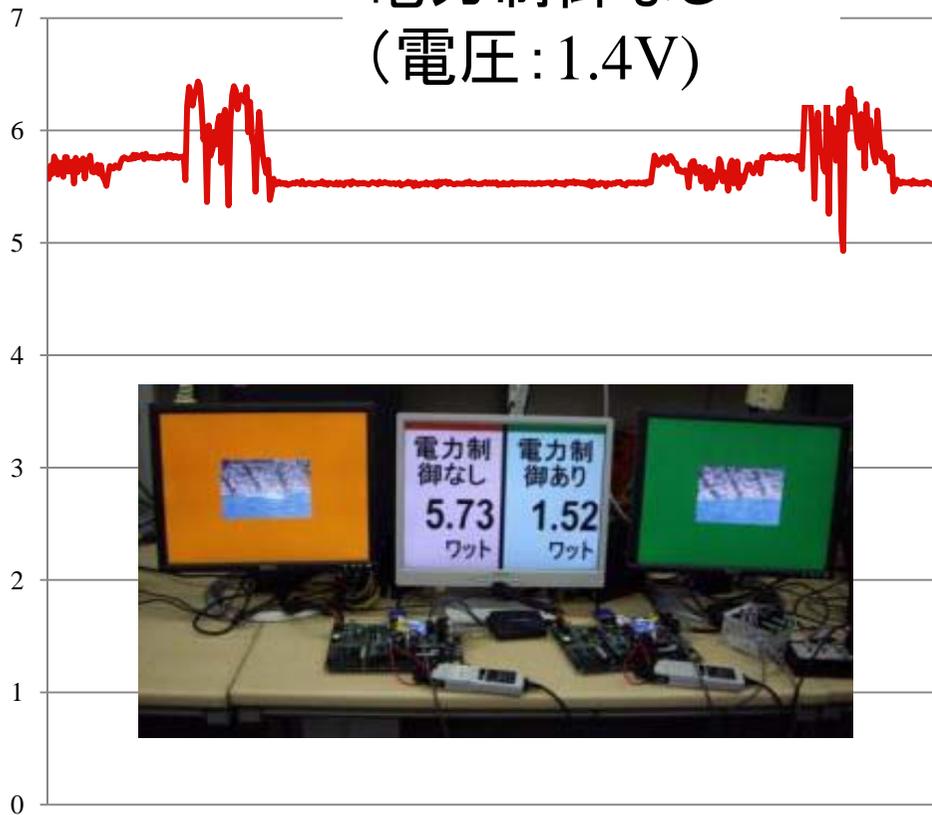


平均電力
0.67 [W]

画像表示におけるコンパイラ周波数/電圧・電源制御 による開発チップ上での消費電力削減効果

動画表示(MPEG2デコード処理)を8コアで実行時の消費電力

電力制御なし
(電圧:1.4V)



平均電力
5.73 [W]

73.5%の電力削減

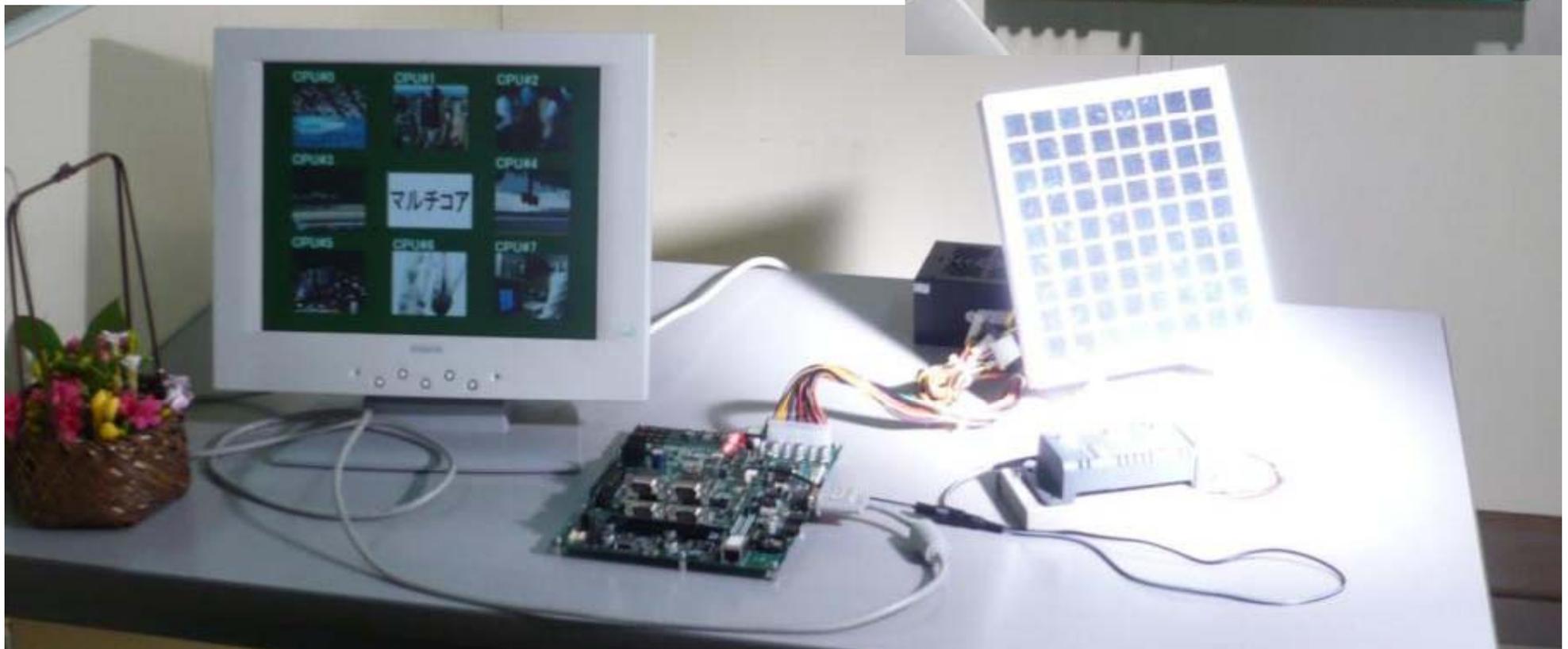
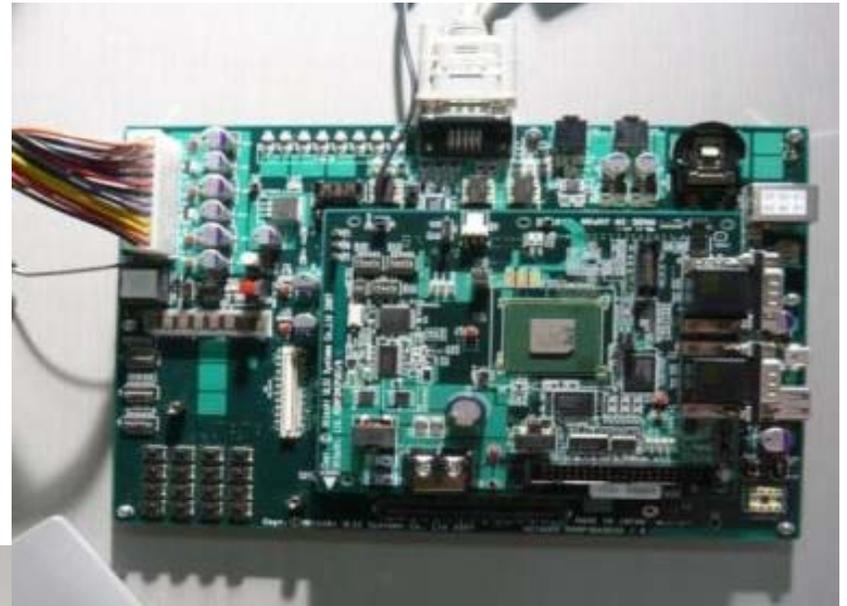
周波数/電圧・電源制御あり
(電圧:1.0V~1.4V、
レジューム電源遮断モード
使用)



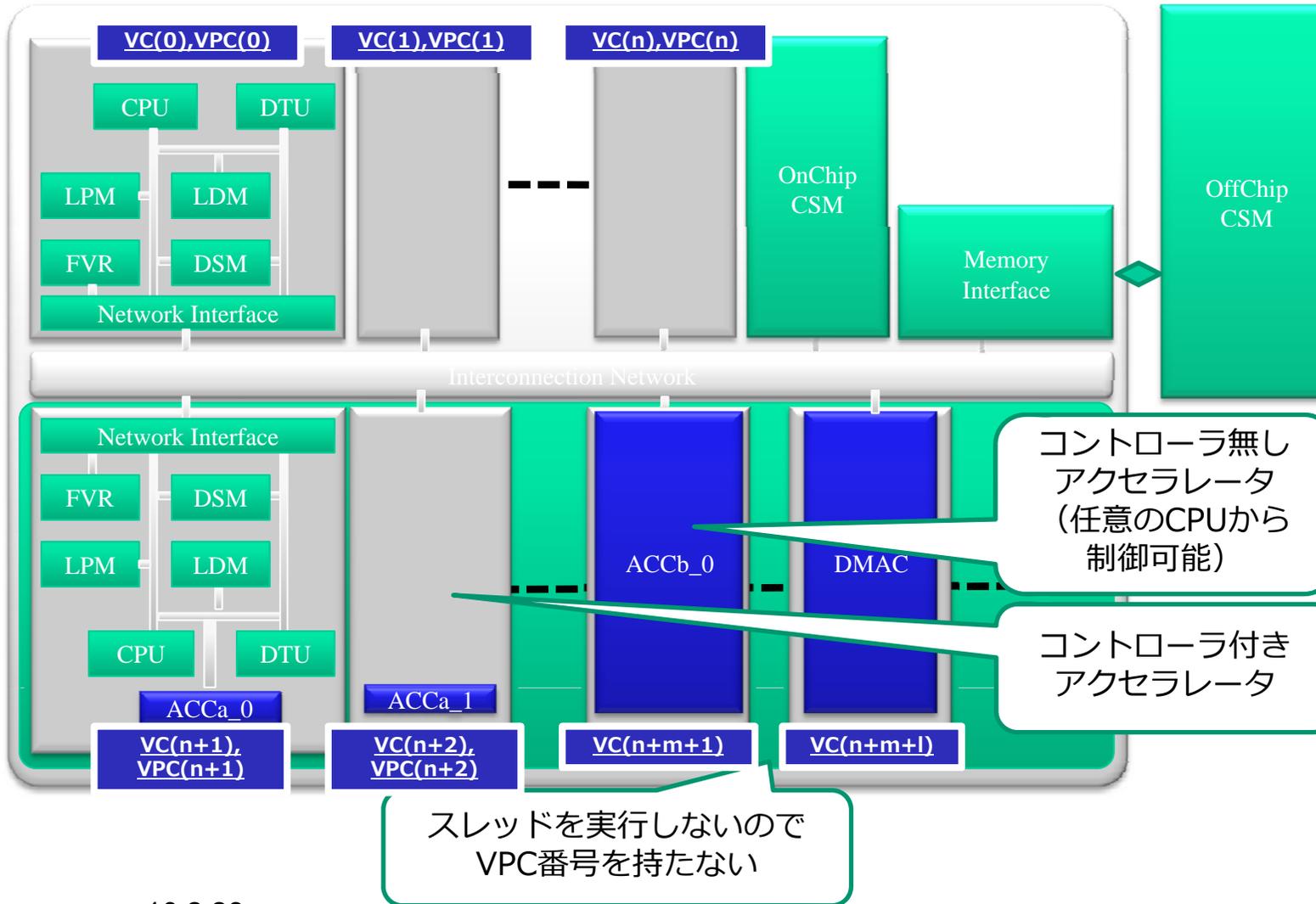
平均電力
1.52 [W]

ソーラパネル駆動可能な 低消費電力高性能マルチコア RP2(SH4A 8コア集積)

- クリーンエネルギーで駆動可
 - 電力供給が困難な場所での使用可能
 - 災害時でも使用可能



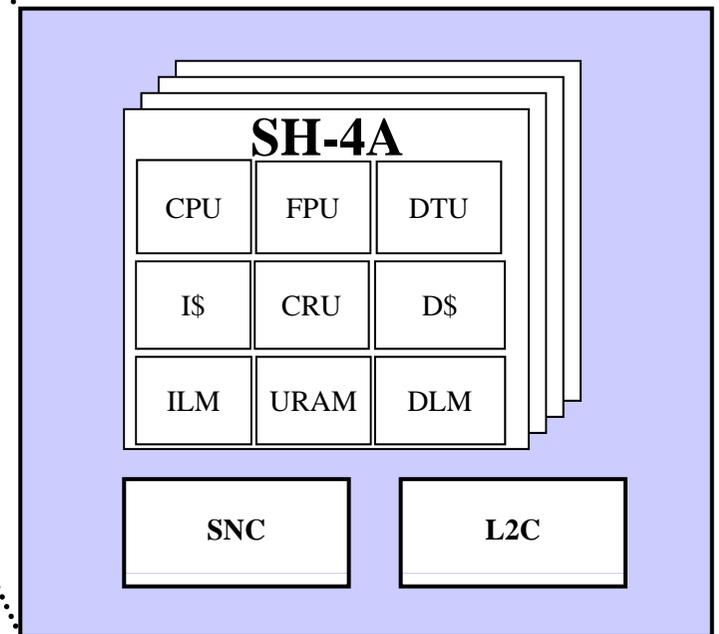
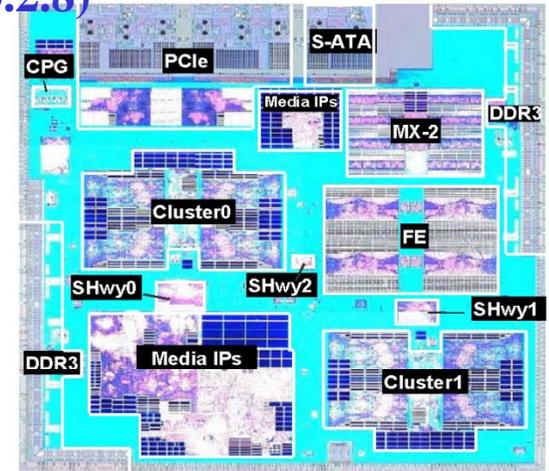
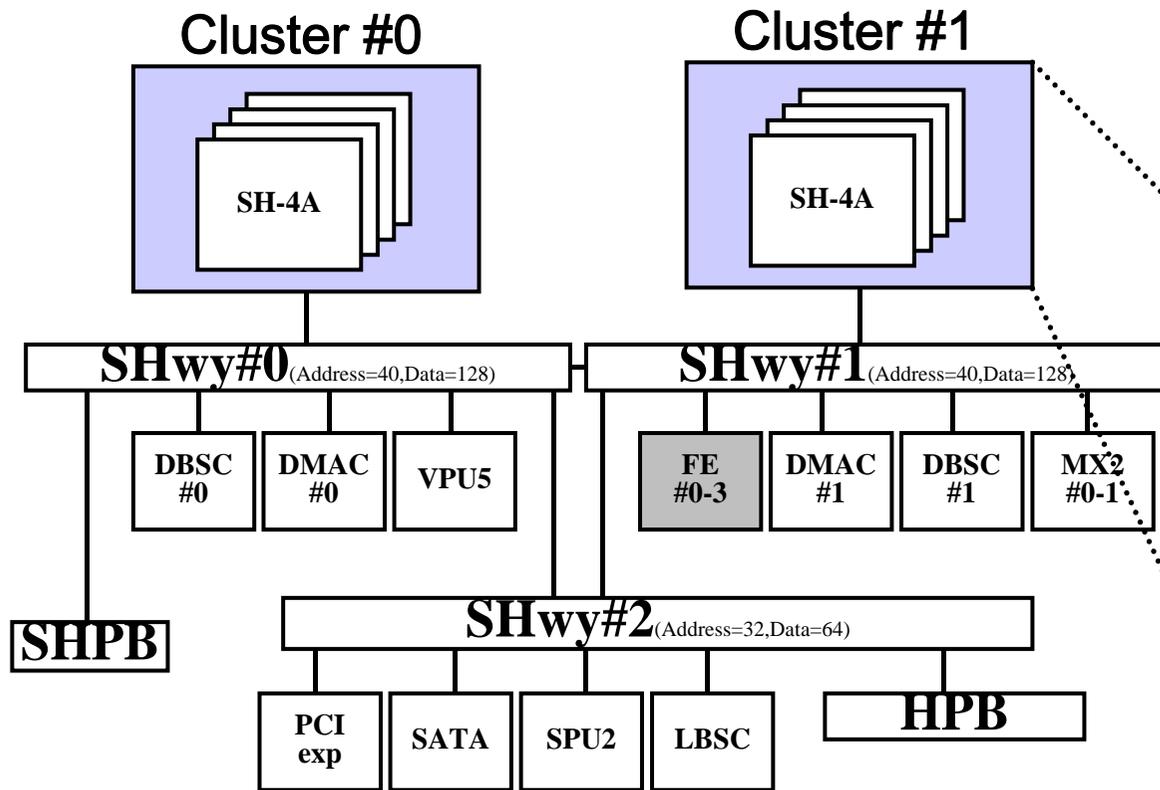
OSCAR API-Applicable ヘテロジニアスマルチコアアーキテクチャ



- DTU
 - Data Transfer Unit
- LPM
 - Local Program Memory
- LDM
 - Local Data Memory
- DSM
 - Distributed Shared Memory
- CSM
 - Centralized Shared Memory
- FVR
 - Frequency/Voltage Control Register

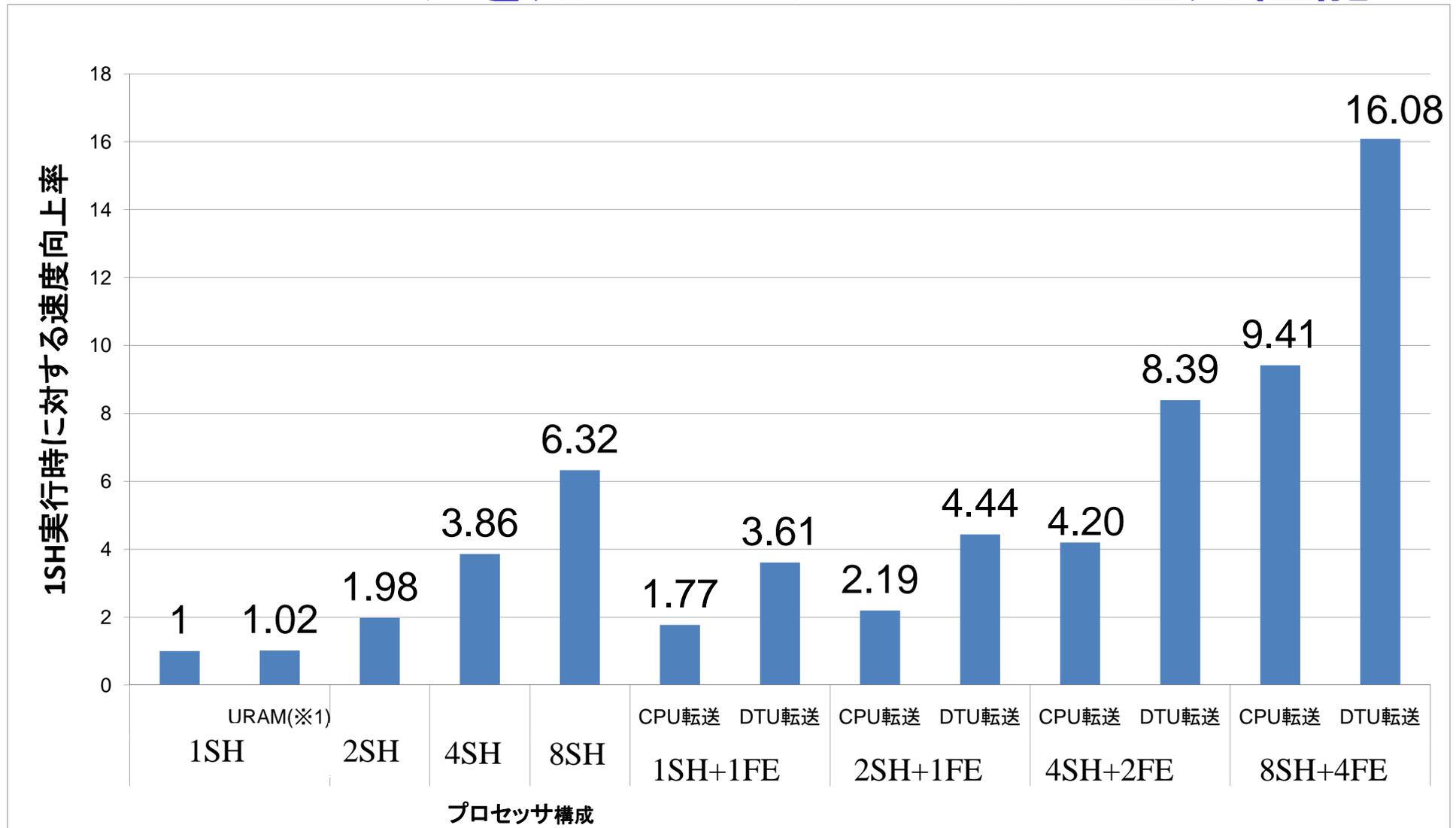
新規開発ヘテロジニアスマルチコアRP-X

ISSCC2010 Processorセッションにて発表(2010.2.8)



ルネサステクノロジ・日立・東工大・早稲田により開発

RP-XでのOSCAR コンパイラ/APIを用いた AACエンコーダを用いたヘテロジニアス並列性能



マルチコアからメニーコアへ

■ 組込からスパコンまで高性能・低消費電力化

➤ 情報家電用マルチコア

カーナビ, 携帯電話, ゲーム, デジタルTV, DVD

IBM/ Sony/ Toshiba Cell, Fujitsu FR1000, P
anasonic Uniphier, NEC/ARM MPCore/MP211/NaviEngine
Renesas 4 core RP1, 8 core RP2, 15core Hetero RP-X

**Tilera Tile64, SPI Storm-1(16 VLIW cores),
Plurality HAL (64-256 cores)**

➤ PC,サーバ

Intel Quad Xeon, Core 2 Quad, Nehalem(8core), 80 core,

Larrabee(32core), SCC (48 core)

AMD Quad Core Opteron, Phenom

➤ WSs, Deskside & Highend Servers

IBM Power 7(8cores): BlueWaters(HPCS)16 PFLOP(2011)

Cycrops64 (160 cores), Sun Rock (16 cores), Rainbow Falls (16 cores), Fujitsu SPARC64 VIII fx (8 cores)

➤ スーパーコンピュータ

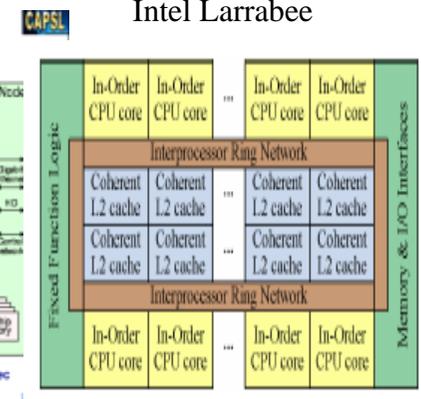
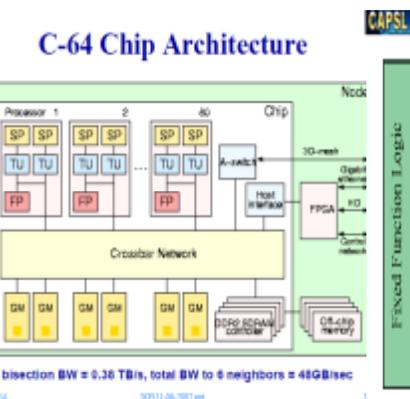
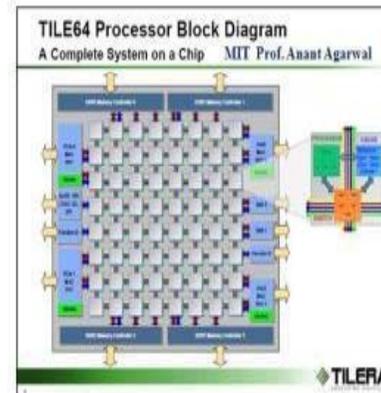
IBM 低消費電力マルチコアベースBG/P PowerPC450 (4 cores), BG/Q (8-16cores) 20PFLOPS, 6MW (2011-12)

■ 低消費電力,アプリケーションソフトの充実,短期間システム開発,低コスト,高機能化が市場競争力決定

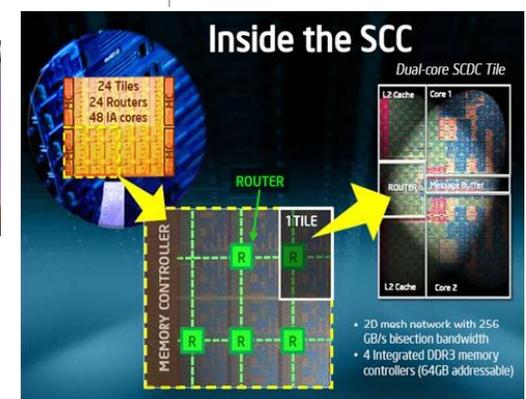
<例>携帯電話,ゲーム,自動車,サーバ

■ 自動並列化コンパイラ協調型メニーコアプロセッサ必要

ルネサス, 日立, 東工大
早大 RP-X



IBM
Power7
1TFLOPS
Module



低消費電力メニーコアプロセッサ・システム

<目的>

- CO₂排出量削減による低炭素社会実現への貢献
- 低消費電力高性能メニーコアプロセッサの導入による高度IT機器の高付加価値化による産業競争力の強化

<内容>

下記項目に関して世界をリードするための目標性能、費用・期間を考慮した実現可能性の検証を行う。

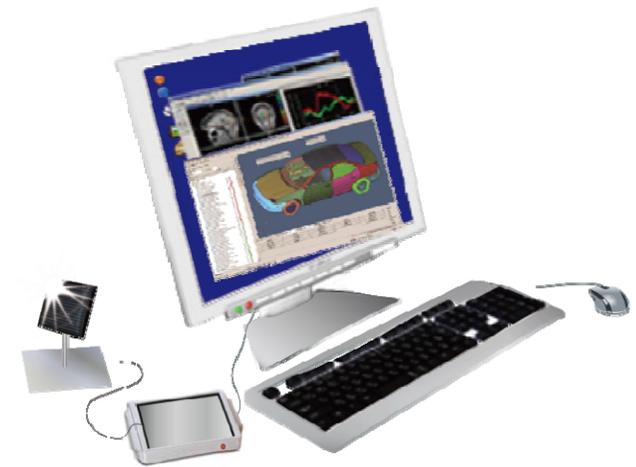
- 太陽電池駆動・自然空冷(ファン無し)
超低消費電力64-128コア集積メニーコアプロセッサ
- メニーコアをベースとしたシステム:サーバ・情報家電
 - クールサーバ(静か・ホコリ無し・コンパクト)
医療現場で使い易い画像処理用サーバ、
データセンター電力大幅削減可

➤ 自動並列化コンパイラ

- 電力・ソフトウェア開発期間の大幅削減:数分で自動並列化:高い国際競争力
- 異なる企業開発のマルチコア間でのアプリケーションの共用
 - <OSCAR API: Application Programming Interface並列化コンパイラで各社メニーコアを使用可能に>

日立,富士通,ルネサス,東芝, NEC

- 次世代オンチップネットワークアーキテクチャ及び標準的なインターフェイス



スーパーコンピュータ

グリーンコンピューティングシステム研究開発センターの研究開発

①メニーコア, コンパイラ

(笠原博徳研究室、木村啓二研究室、大附辰夫研究室、戸川望研究室)

- ・低消費電力のメニーコアプロセッサ
- ・メニーコア用並列化コンパイラ
- ・メニーコア・アーキテクチャ自動設計技術

②クールサーバー

(笠原博徳研究室、木村啓二研究室)

- ・メニーコアを用いた低消費電力サーバー

③情報家電

(笠原博徳研究室、木村啓二研究室)

- ・メニーコア用API
(アプリケーション・プログラム・インターフェイス)

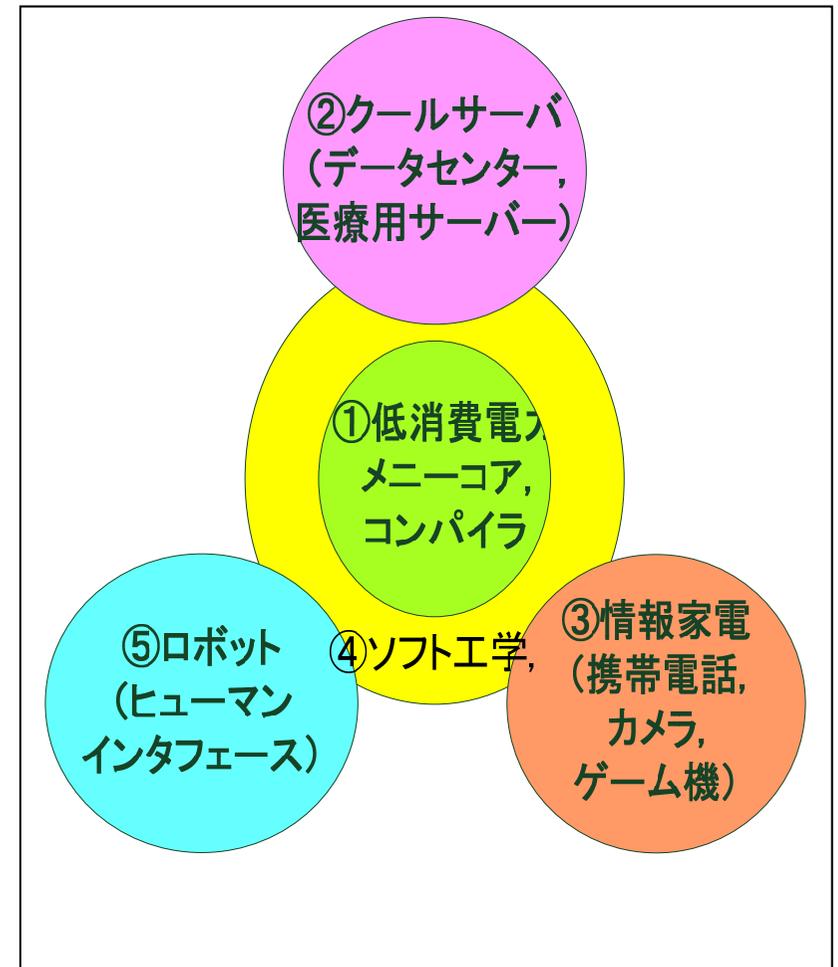
④ソフトウェア工学

(深澤良彰研究室、鷺崎弘宜研究室)

- ・メニーコア用ソフトウェアの高信頼化・低消費電力化

⑤ロボット(小林哲則研究室、白井克彦研究室)

- ・メニーコアを用いた高利便性のヒューマン・インタフェースの開発。



各詳細テーマ・参加研究室は研究開発の進展状況等により柔軟に見直す予定。

COMMUNICATIONS OF THE ACM

TRUSTED INSIGHTS FOR COMPUTING'S LEADING PROFESSIONALS

[Home](#) » [News](#) » [Japanese Researchers Downplay Super CPU Effect](#) » [Full Text](#)

ACM TECHNEWS

Japanese Researchers Downplay Super CPU Effect

ZDNet Asia

September 30, 2009



Waseda University Professor Hironori Kasahara says that Japanese researchers are developing a software standard for multicore processors that target different application areas than Intel's processors.
Credit: Information Processing Society of Japan

embedded systems, [such as those used in] automobiles," Kasahara says. "Our targets are for consumer electronics and real-time embedded systems like cell phones, digital television sets, car navigation systems, robotics, and automobiles."

Kasahara denies that the new project is a threat to Intel, arguing that its processor focus is different and that the team is not interested in standardizing hardware. However, he says that if his research proposal is approved, he would want to develop a test microprocessor by 2012 that uses the parallelizing compiler and API.

From *ZDNet Asia*

Japanese researchers led by Waseda University computer scientist Hironori Kasahara will spend the next year planning for a project to develop a new software standard for multicore processors. The researchers will use Kasahara's energy-saving software to study multicore processors in the hopes of creating a universal standard for a wide range of technological equipment, including cell phones and global positioning systems. If the research team's three-year research proposal is approved, they will develop multicore processor architectures: a "parallelizing compiler with power reduction capabilities," and an application programming interface (API).

"We are developing a software de facto standard or API for multicore processors for consumer electronics and real-time

- ACCJ Journal - <http://accjournal.com> -

American Chamber of Commerce in Japan (ACCJ)

Controlling The Flow

Posted By [ACCJ Journal](#) On February 28, 2010 @ 1:00 am In [Features](#) | [No Comments](#)

Kasahara recently presented a multi-core chip using this software technology decoding an MPEG video at full speed, running off a solar cell, and sipping a miserly 1.5W of electricity. Running side-by-side with this is the same hardware configuration, doing the same job, but without the power-saving software. More than four times as much electricity is necessary to do the same job, and as a bonus, the chip runs cooler. Even former Prime Minister Yasuo Fukuda himself made it a point to view a demonstration of the OSCAR-equipped test chips.

The combination of cool running and low power consumption has important implications for dedicated devices, including, for example, implanted medical devices, where replacement of batteries can become a major operation (pun intended).

However, one of the real power gluttons of the first few years of this century has been the data center. Racks of servers account for an ever-increasing slice of a nation's energy requirements, and just as important, the air-conditioning needed to keep the servers cool requires at least an equal amount of power.

If servers were (a) more frugal when not actually doing their job, and (b) ran cooler (these two goals are linked, happily), then data centers would be more energy efficient (as well as probably being more efficient in processing data) and the running costs would be reduced.

It should be noted that one such chip was produced by a consortium of manufacturers with some government assistance, leading to the mistaken report in one Japanese journal that the Japanese government was sponsoring a standard common hardware and software reference platform on which different manufacturers could base their devices. This report got picked up and spread around the world, resulting in the defection of at least and Kasahara is happy to put the record straight on this issue



[3] Former Prime Minister Yasuo Fukuda (April 10, 2009) ©Cabinet

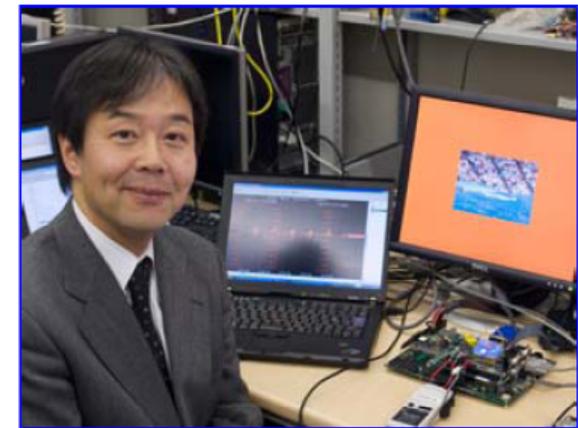
Kasahara's work has won him international recognition and awards, somewhat dispelling the less than favorable image of Japanese software that is sometimes perceived as non-innovative and lagging behind the innovations coming from Silicon Valley and the West in general.

As he points out, though, his work has been based around slow and steady progress rather than a sudden burst of inspiration. While this is not necessarily an exclusively Japanese trait (remember Edison's remarks about genius, perspiration and inspiration), it does not match the popular perception of computing in which lightning-fast developments take place.

Kasahara's work has won him international recognition and awards, somewhat dispelling the less than favorable image of Japanese software that is sometimes perceived as non-innovative and lagging behind the innovations coming from Silicon Valley and the West in general.

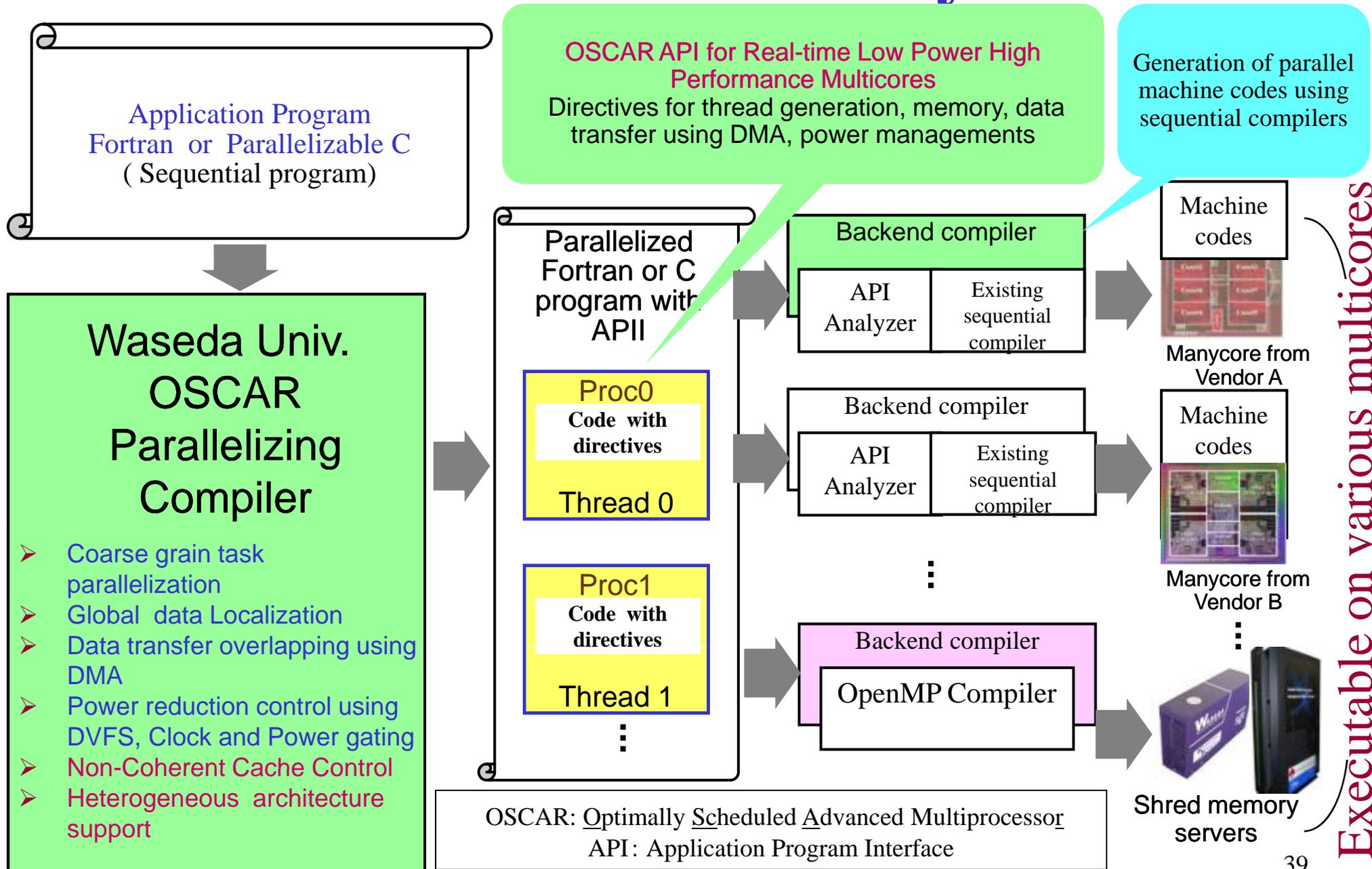
As he points out, though, his work has been based around slow and steady progress rather than a sudden burst of inspiration. While this is not necessarily an exclusively Japanese trait (remember Edison's remarks about genius, perspiration and inspiration), it does not match the popular perception of computing in which lightning-fast developments take place.

However, the long-term effects of Kasahara's work will almost certainly have a greater overall effect on the way we live, and the way in which we interact with our environment as they become more widely adopted than many of the more seemingly glamorous "instant" developments in this field.

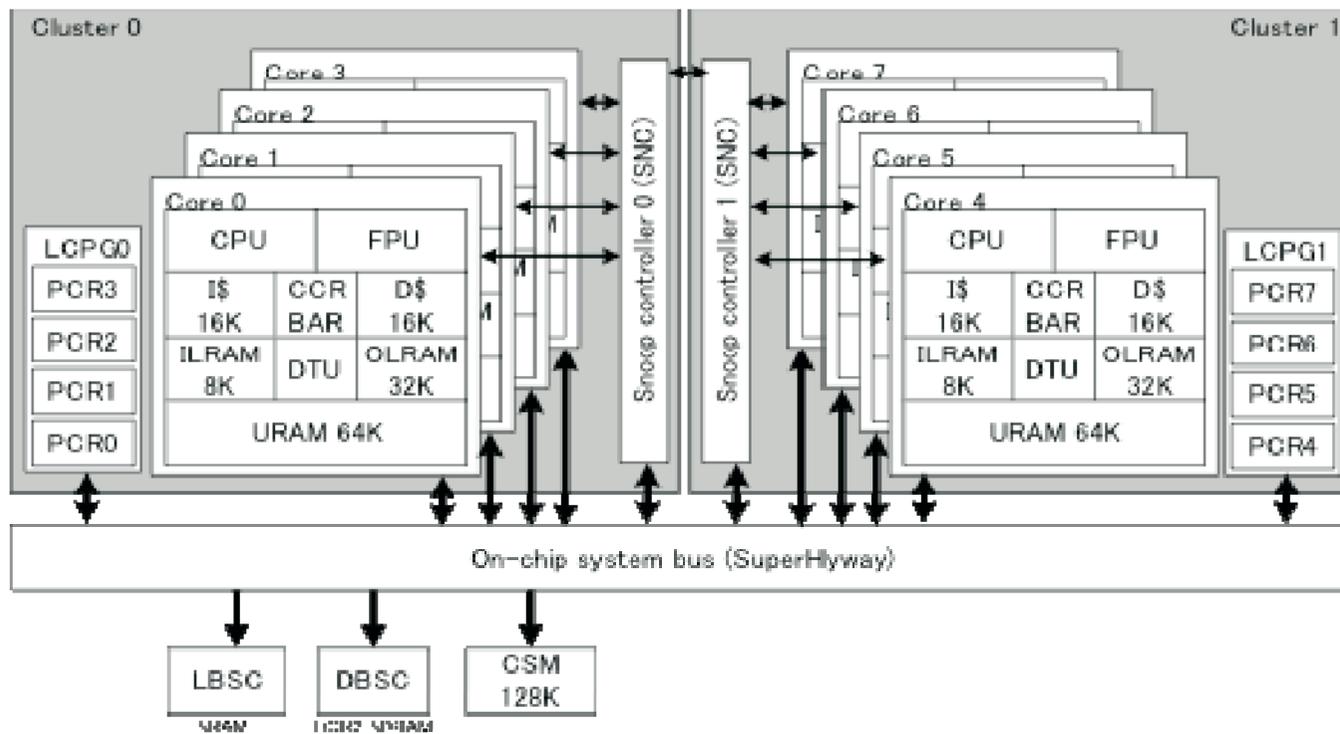


[4] Professor Hironori Kasahara at his laboratory. Photo by Hugh Ashton

OSCAR API for Manycores



リアルタイム情報家電用低消費電力マルチコア RP2 (8コア) Renesas/Hitachi/Waseda

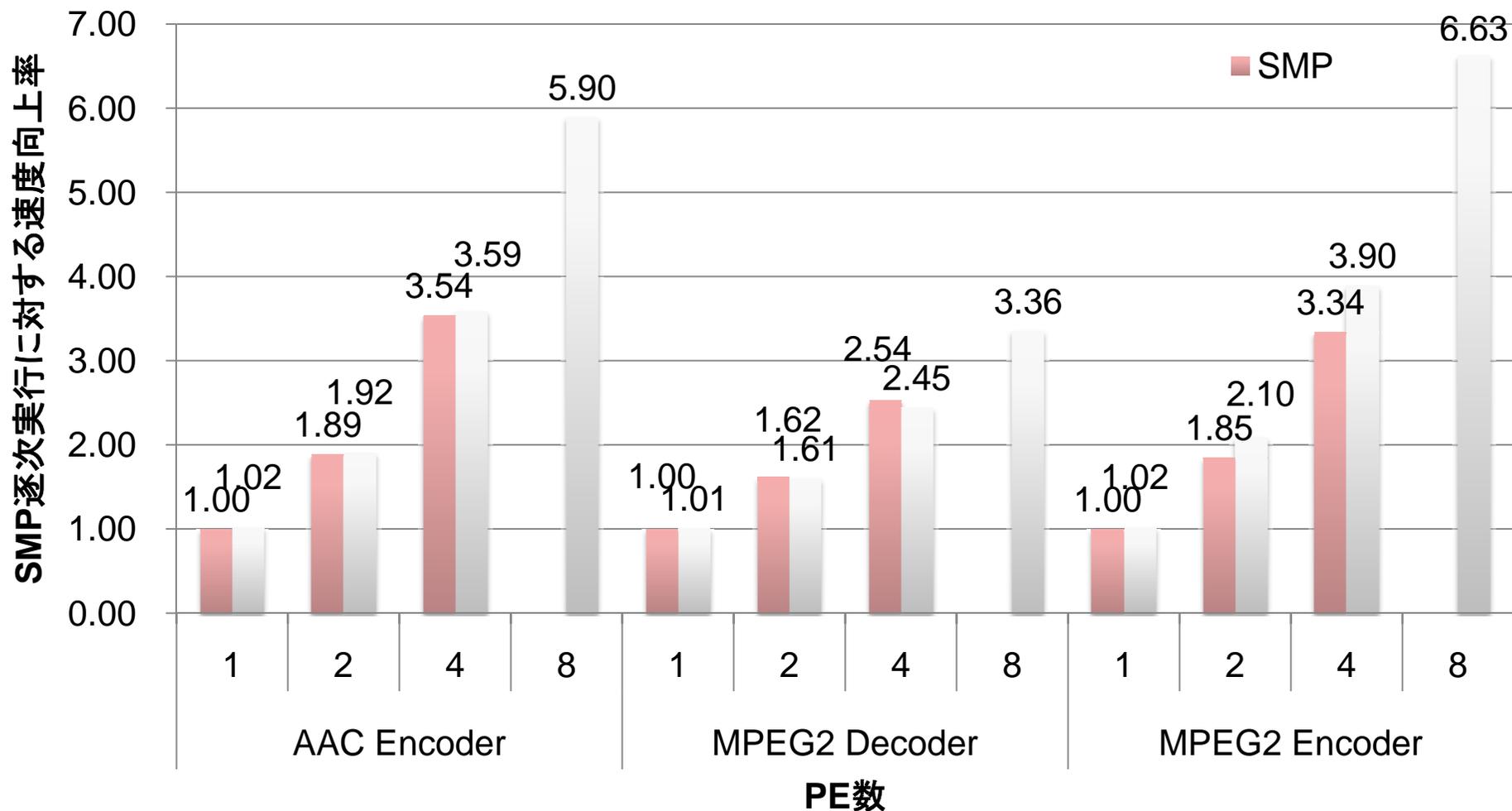


Process Technology	90nm, 8-layer, triple-Vth, CMOS
Chip Size	104.8mm ² (10.61mm x 9.88mm)
CPU Core Size	6.6mm ² (3.36mm x 1.96mm)
Supply Voltage	1.0V–1.4V (internal), 1.8/3.3V (I/O)
Clock frequency	600MHz, 300MHz, 150MHz, 75MHz
Power Domains	17 (8 CPUs, 8 URAMs, common)

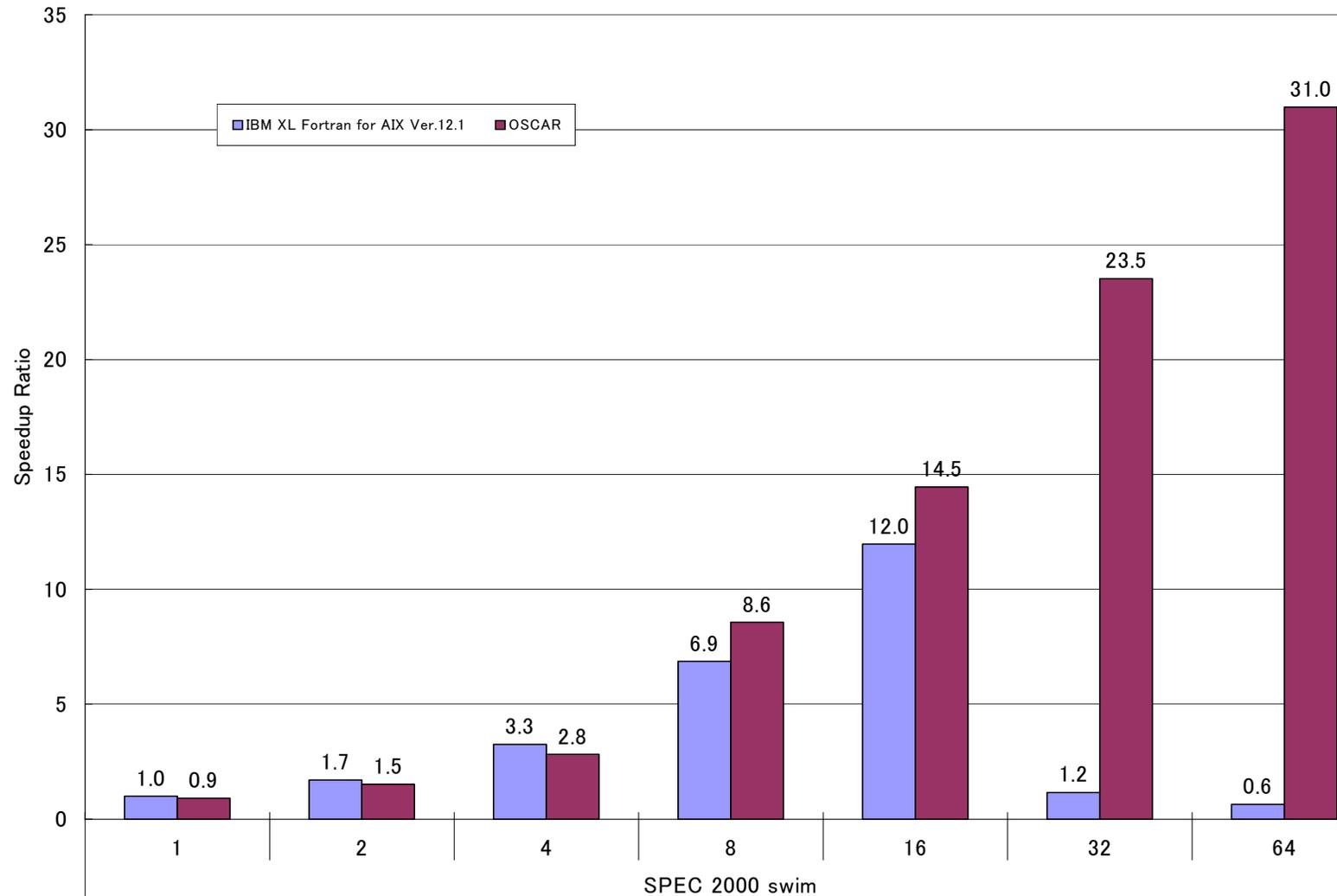
M. Ito, et al., "An 8640 MIPS SoC with Independent Power-off Control of 8 CPU and 8 RAMS by an Automatic Parallelizing Compiler", ISSCC2008

クラスタ間ではハードウェアはコヒーレンスを維持しない
 → コンパイラでソフトウェアコヒーレンス制御

RP2上でのコンパイラによるソフトウェアコピー レンシ制御手法及びメニーコア用APIの検討



Performance of OSCAR Compiler on IBM p6 595 Power6 (4.2GHz) based 64-core SMP Server



Compile Option:

Sequential: -O5 -bmaxdata:64000000000 -q64 -qarch=pwr6

XLF: -O5 -qsmp=auto -bmaxdata:64000000000 -q64 -qarch=pwr6

OSCAR: -O5 -qsmp=noauto -bmaxdata:64000000000 -q64 -qarch=pwr6

グリーン・コンピューティング・システム研究開発センター 概要

<目標>

太陽電池で駆動可能で
冷却ファンが不要な

超低消費電力・高性能

メニーコアプロセッサ*のハードウェア、
ソフトウェア、応用技術の研究開発

*1チップ上に多数のプロセッサコアを集積する
次世代マルチコアプロセッサ



<産学連携>

富士通, 日立, ルネサス,
東芝, NEC 等

<波及効果>

超低消費電力メニーコア

➢ CO₂排出量削減

➢ サーバ国際競争力強化

➢ 我が国の産業利益を支える

情報家電, 自動車の高付加価値化



太陽電池駆動・超低消費電力高性能コンピュータの研究開発

研究開発の目的

低炭素・安全安心社会実現への貢献

- ▶ **太陽電池駆動可能超低消費電力・高性能コンピュータ**
 - ▶ 自然冷却(ファン不要) :: 他国の追従不可な低消費電力
 - ▶ クラウドサーバ、スパコンの数十MWの電力消費を1/10以下へ削減
- ▶ **メニーコアを用いたIT機器全体で2025年CO₂排出量1000万トン減/年**
- ▶ **高度IT機器・自動車産業等の世界競争に勝つ技術の獲得**
- ▶ **ソフトウェア生産性**
 - ▶ 従来数ヶ月を要したプログラム並列化を、数分に短縮し生産性向上
→ 情報家電の短製品開発サイクルに対応し低コストで優位化製品を開発
- ▶ **携帯電話からスパコンまでの高付加価値化(情報家電:数十兆、サーバ:1兆円市場)**
 - ▶ 産業利益を支える情報家電、自動車、クラウドサーバ、スパコン等高付加価値製品を持続的に創出するメニーコアプロセッサシステム技術の開発

研究開発技術

- ▶ **太陽電池駆動可能超低消費電力ハードウェア**
 - ▶ メニーコアプロセッサ、太陽電池駆動コンパクトサーバ、消費電力を1/10以下に抑えるクラウドサーバの試作
- ▶ **高性能・低消費電力ソフトウェア**
 - ▶ 世界最高性能の自動並列化・世界唯一の自動電力制御機能を実現したマルチコア用OSCARコンピュータをベースとしたメニーコア及びメニーコアを多数接続したサーバ用コンパイラの試作
 - ▶ 並列プログラム記述標準OSCAR APIの開発
- ▶ **環境・安全安心・産業競争力強化用アプリケーションソフトウェア**
 - ▶ 地球環境シミュレーション、クリーンエネルギー、新デバイス、自動車設計、航空機設計、医療画像処理、情報家電

冷却ファン不要の超低消費電力
メニーコアプロセッサ

OSCAR
Many-core
Chip

太陽電池駆動可能
で医療現場でも使
える静音・衛生的
なコンパクトサーバ

消費電力
を1/10以
下に抑え
るグリー
ン・クラ
ウドサー
バ、スパ
コン

ソフトの並列
化を数ヶ月か
ら数分に短縮
する世界最高
性能自動並
列化コンパイ
ラ

実行時の
電力を1/4
以下に
抑える世
界初のソ
フト制御
技術

クリーンエネルギー技術

高性能デバイ
ス開発

新太陽電池材料

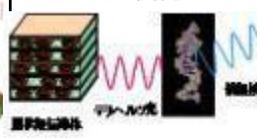
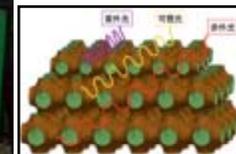
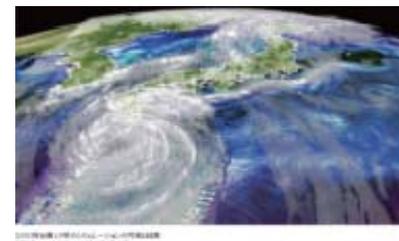
テラヘルツ発振
超伝導素子

高付加価値情報家電創出

衝突解析(自動車安全設計)

安全安心に向けた地球環境シミュレーション

津波伝播シミュレーション



産官学連携研究開発・実用化(波及効果)



就職先の例

2005年度: 日立, 東芝, 松下, NTTデータ, 野村総研, トレンドマイクロ

2006年度: 日立, 東芝, 松下, ソニー, NEC, 山武, 野村総研, 富士通研, 農林中金, 読売新聞

2007年度: 東芝, 松下電器, ソニー, 日立, Intel, 日本テレビ, 関西電力, アクセンチュア

2008年度: ソニー, 日立, NEC, パナソニック, NTTデータ, 野村総研, キヤノン

2009年度: 日立(2名), 富士通(2名), デンソー, コナミ, ルネサス, NEC

研究設備 大学研究室としては世界最高レベルの計算機環境

IBM最新の高性能サーバP6-595(64コア), SGI ALTIX450(64コア), IBM P550 8プロセッサコアデスクサイドサーバ39台, デスクサイドスパコンSGI Altix450 CC-NUMAサーバ7台(Intel Montvale16コア) IBM pSeries690 24プロセッサHigh End Server, Intel, AMD Quad Core, PC, 今後携帯電話, カーナビ, カメラ, デジタルTV等に搭載される各種マルチコアボード (日立・ルネサス・早大RP1(4core), RP2(8core), RPX(15 core Hetero) 富士通FR1000, 東芝・ソニー・IBM Cell, NEC・ARM MPCore)

海外連携: スタンフォード大, イリノイ大, パデュー大, カリフォルニア大, ライス大, カタルーニャ大, ライデン大, リヨン大, 中国科学院, 台湾大学, ITRI, NASA JPL, IBMワトソン研, Sun, SGI, Intel, AMD等



まとめ

- 世界初のコンパイラ協調型 高性能・低消費電力・リアルタイム情報家電向け4コア(RP1),8CPUコア(RP2), 15コアヘテロ(RPX)マルチコアを試作
- 8コアRP2チップでは、8個のプロセッサとメモリの独立電源遮断・動作周波数制御(1/2,1/4,1/8,0)・電圧制御(1.4V,1.2V,1.0V)可能。
 - 総合科学技術会議:8画面までの動画像を表示し、標準半導体と比べ
 - 8画面表示時 1/14に電力削減 マルチコア: 2.5W,標準半導体:35W
 - 1画面表示時1/50に電力削減 マルチコア: 0.5W, 標準半導体:25W
- 世界最高処理性能かつ世界初の電力制御を実現したOSCAR自動並列化コンパイラの開発に成功(動的電力、今後の微細化で問題となるリーク電力も削減)
 - 自動並列化によりAACエンコーダを8プロセッサで5.8倍の高速化
 - IBM(Power6), Intel(SGI Altix450 最新Itanium2 Montvale16コア, Quad-core Xeon)上で各社コンパイラの性能を2倍以上向上
 - 世界初の電力制御に成功し、オーディオAACエンコードで88%、動画像MPEG2エンコードで74%の電力削減:太陽電池にて駆動可能
- 従来の手動並列化では数週間単位の時間を要した並列アプリケーション作成を、各社のマルチコア用にコンパイラによりAPIを用いて数秒単位で作成
- 今後:情報家電・自動車統合制御系・クールサーバ(グリーンIT)・スパコン