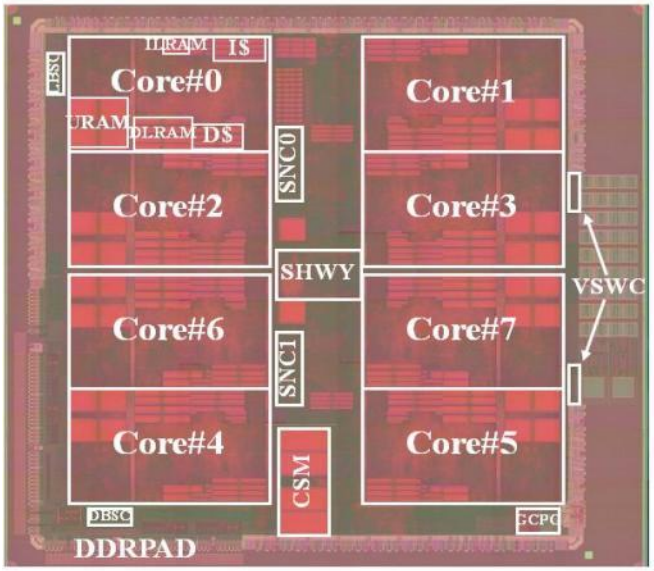
低耗電多核心處理器及軟體技術

經濟産業省・NEDO「半導體應用晶片」
2005年度–2007年度
「即時資訊家電用
多核心技術研究開發事業」成果

早稲田大學理工學術院基幹理工學部資訊理工學科　教授
早稲田大學尖端・多核心・處理器研究所　所長
IEEE Computer Society Board of Governors
笠原博德
kasahara@waseda.jp
URL: http://www.kasahara.cs.waseda.ac.jp/

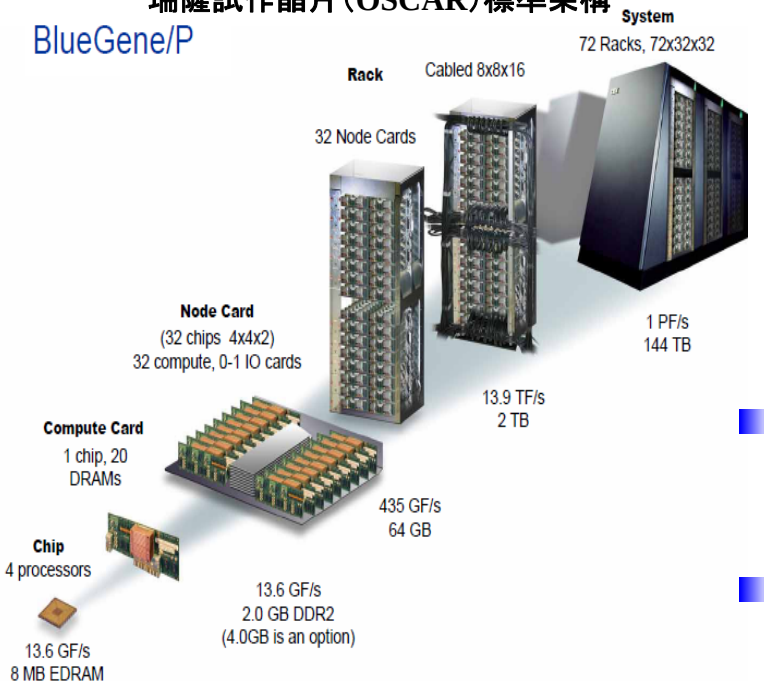
早稲田大學技術説明會，2009/03/.21 @ 台灣

多核心Everywhere時代



NEDO即時資訊家電用多核心計劃

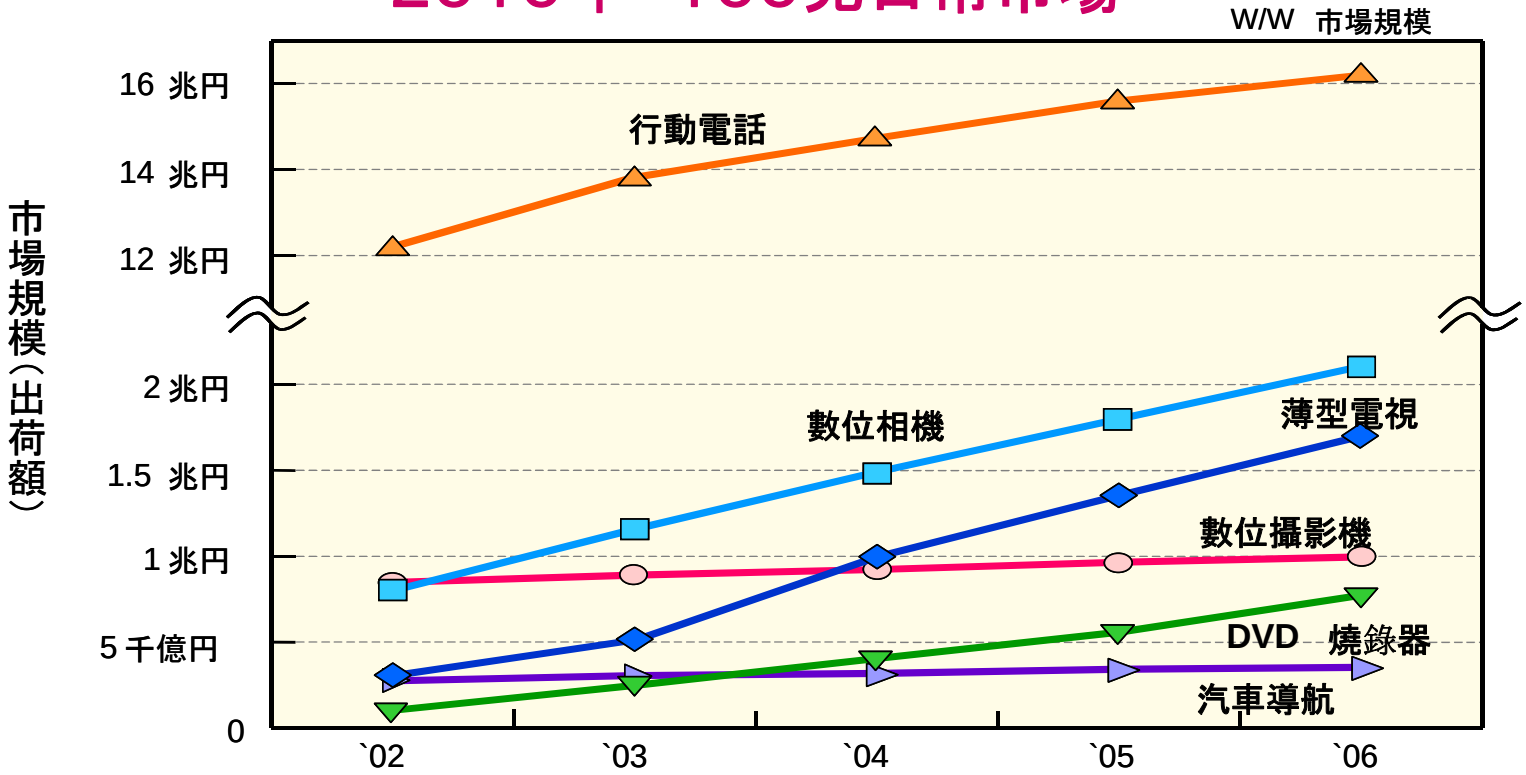
瑞薩試作晶片(OSCAR)標準架構



- **崁入式處理器到超級電腦**
  - **資訊家電用多核心**
    汽車導航、行動電話、遊戲機、數位電視TV, DVD
    IBM/ Sony/ Toshiba Cell, Fuijtsu FR1000, Panasonic
    Uniphier, NEC/ARM MPCore/MP211/NaviEngine
    Renesas SH multi-core SHX3(4 core RP1, 8 core RP2)
    Tilera Tile64, SPI Storm-1(16 VLIW cores)
  - **PC,伺服器**
    Intel Quad Xeon, Core 2 Quad, Montvale, Nehalem(8core),
    80 core, Larrabee(32core)
    AMD Quad Core Opteron, Phenom
  - **WSs, Deskside & Highend Servers**
    IBM Power4,5,5+,6, HPCS 實効性能1PFLOP(Power7),
    Sun Niagara(SparcT1,T2), Rock
    超級電腦
    地球模擬器, 2002年3月完成, 5120向量處理器：
    40TFLOPS
    IBM Blue Gene/L: 360TFLOPS, 2005,低耗電多核心架構
    128K processor chips, BG/Q 20PFLOPS (2011)
    Blue Waters (2011年7月實効性能１PFLOPS：Power7)
- **應用軟體十分充足、系統開發期間短、低成本、低耗電、高機能決定了市場競争力**
  <例>行動電話、遊戲、自行車
- **必須具有自動並列化編輯器協調型多核心處理器**

即時資訊家電引領市場

2010年　100兆日幣市場



	‘03	‘07	年平均成長率%
數位相機　（M台）	49	76	12
數位　TV（M台）	6	27	45
DVD 燒錄器（M台）	3.6	33	74
PC 用 DVD（記録型）（M台）	27	114	43
行動電話　（M台）	490	670	8
汽車用 半導體　（B$）	14.0	20.9	11

2005.5.11
來自NEDO藍圖報告會
電子・資訊技術開發部
「技術開發戰略」

NEDO即時資訊家電用多核心技術

<目的> 為加強DVD、數位電視、汽車導航、携帯電話等即時資訊家電領域，具有優質產品之處理器技術國際競争力

<研究期間>2005年7月～2008年3月

<內容> 確立具有以下特色之多核心·架構及編譯器技術

- 優良性價比
- 硬體·軟體開發時間短
- 低耗電
- 同一架構下能順應低端至高端產品
- 因應積體度提昇之性能擴充（因應複数半導體世代）
- 可共用於不同企業開發之多核心

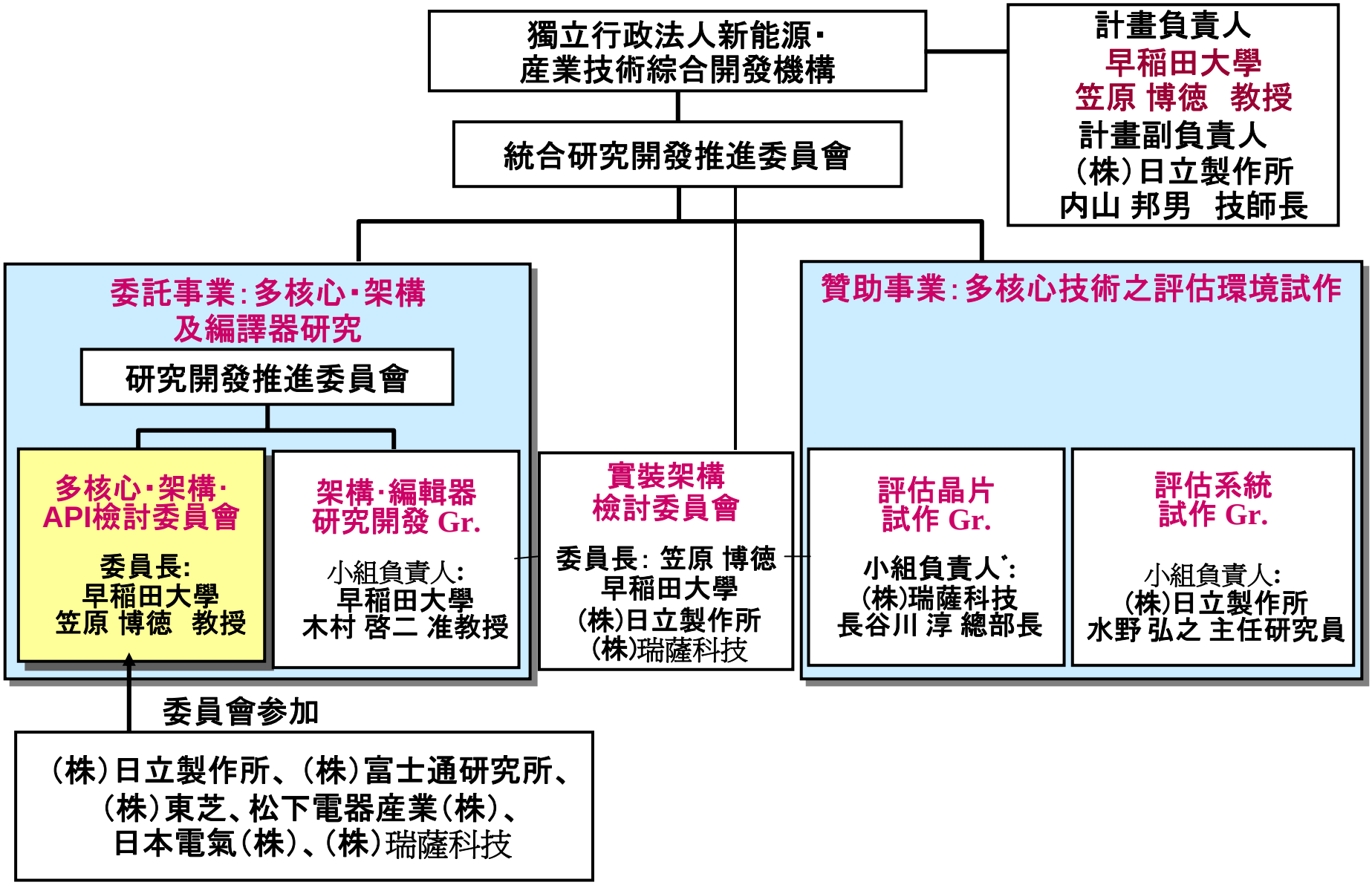
<API：Application Programming Interface並列化編譯器與各多核心連接>

日立,富士通,瑞薩,東芝,松下,NEC

<與PC用途處理器之目的不同>

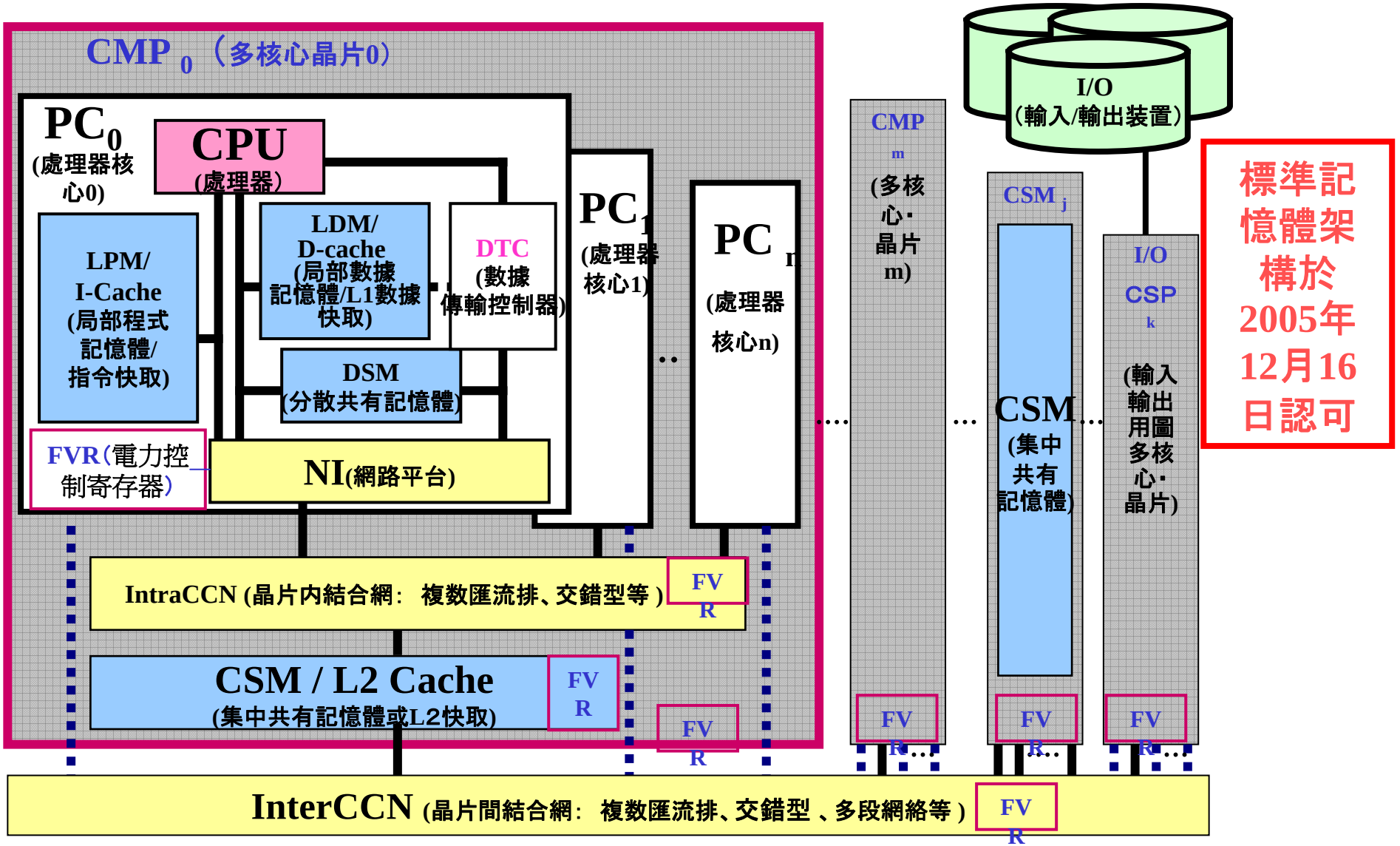
即時處理結構·可自然冷却之低耗電性

即時資訊家電用多核心技術研究開發實施體制



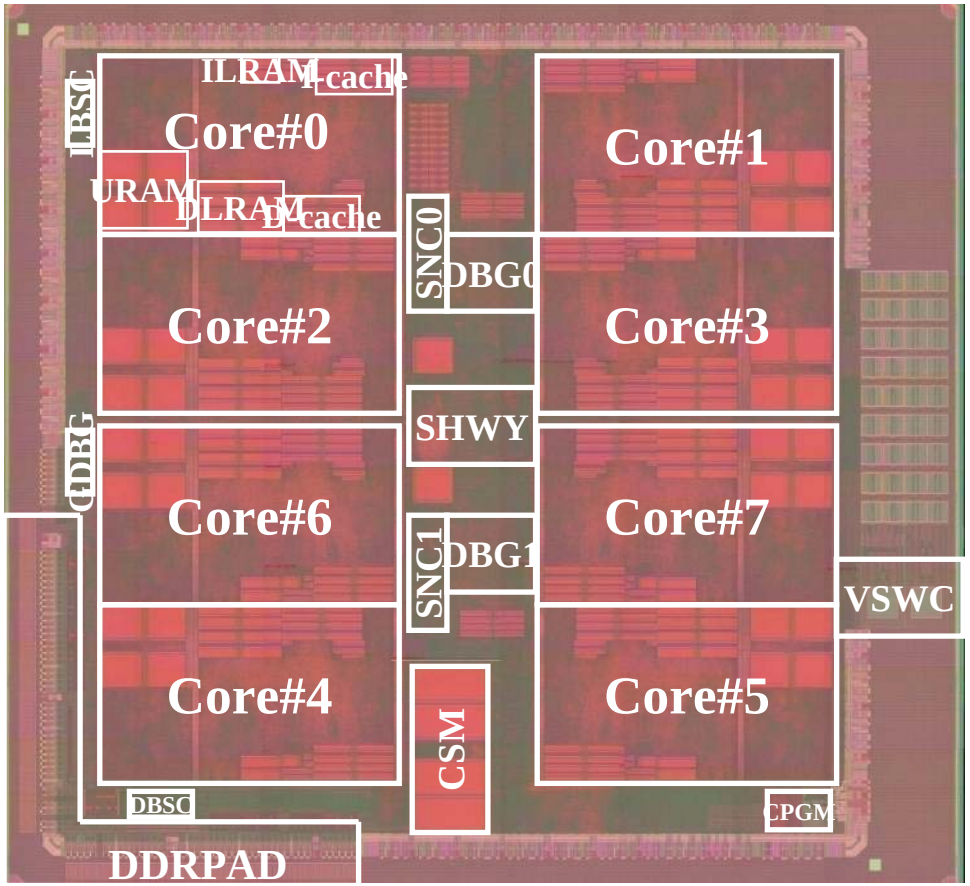
標準記憶體架構及認可之OSCAR多核心

- 局部記憶體
- 分散共有記憶體
- 集中共有記憶體(晶片內·外)
- DTC(高機能DMAC)
- 電力控制用FVR



標準記憶體架構於2005年12月16日認可

RP2　8核心搭載多核心LSI



8核心積體多核心LSI晶片照片

晶片諸元

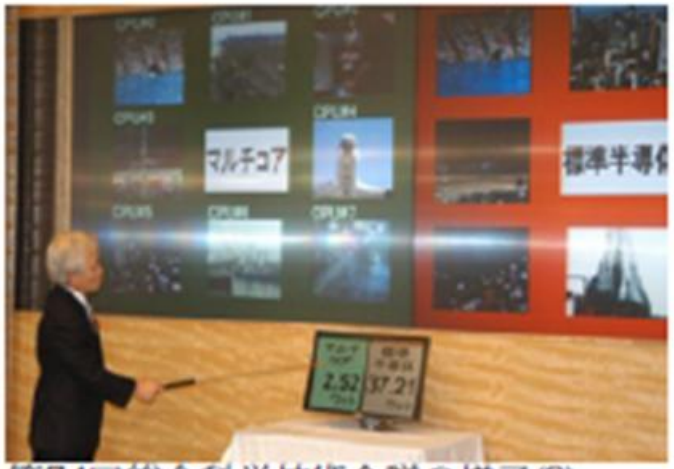
製程	90nm CMOS, 8層メタル, 3種Vth
晶片尺寸	104.8mm² (10.61mm x 9.88mm)
電源電壓	1.0V-1.4V(核心), 1.8/3.3V(I/O)
動作頻率	600MHz
CPU性能	8640 MIPS (Dhrystone 2.1)
FPU性能	33.6 GFLOPS
低電力控制	・每個CPU能獨立變頻 ・停止CPU核心時脈之睡眠模式 ・ 停止CPU核心部份時脈之快取記憶體一致性 可持續之休眠模式 ・停止CPU核心電源供應之全電源切斷模式 ・停止URAM以外CPU核心電源 供應之繼續電源 切斷模式

ISSCC08發表: ISSCC08 論文番号4.5, M.ITO, et al., “An 8640 MIPS SoC with Independent Power-off Control of 8 CPUs and 8 RAMs by an Automatic Parallelizing Compiler”

Demo of NEDO Multicore for Real Time Consumer Electronics at the Council of Science and Engineering Policy on April 10, 2008

第74回総合科学技術会議【平成20年4月10日】

第74回総合科学技術会議の様子(1)



第74回総合科学技術会議の様子(2)

第74回総合科学技術会議の様子(3)

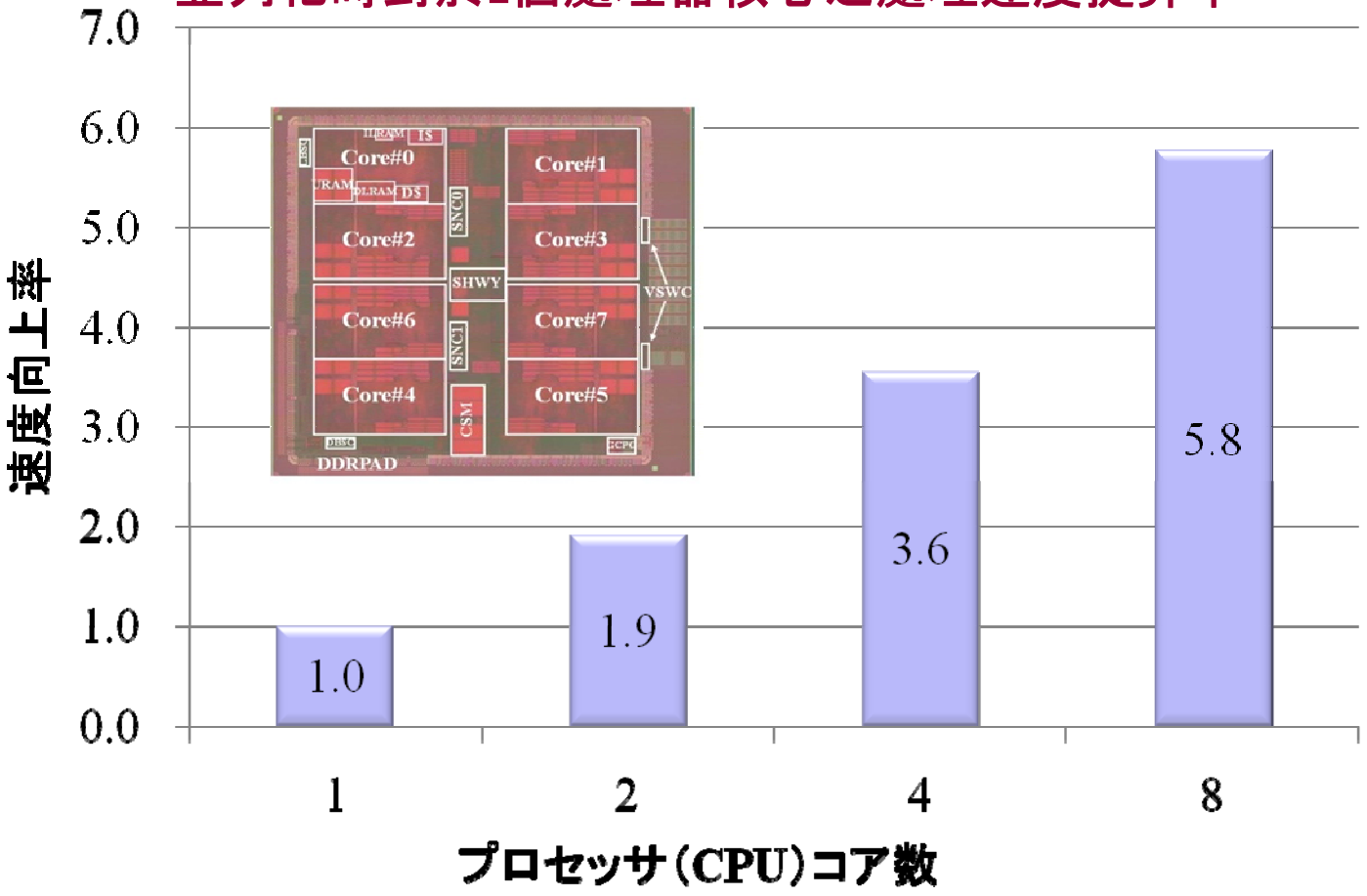
第74回総合科学技術会議の様子(4)

CSTP Members

Prime Minister:
Mr. Y. FUKUDA
Minister of State for Science, Technology and Innovation Policy:
Mr. F. KISHIDA
Chief Cabinet Secretary:
Mr. N. MACHIMURA
Minister of Internal Affairs and Communications :
Mr. H. MASUDA
Minister of Finance :
Mr. F. NUKAGA
Minister of Education, Culture, Sports, Science and Technology:
Mr. K. TOKAI
Minister of Economy,Trade and Industry:
Mr. A. AMARI

開發多核心・晶片時
使用自動並列化編譯器之處理速度

音頻壓縮(AAC*編碼)處理(多媒體處理)
並列化時對於1個處理器核心之處理速度提昇率

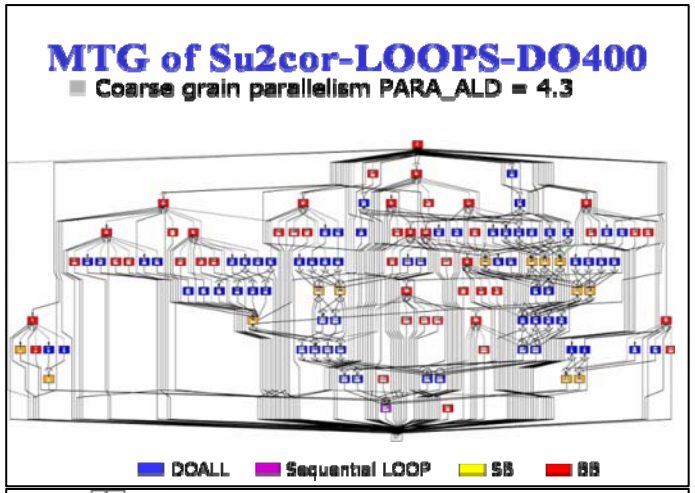


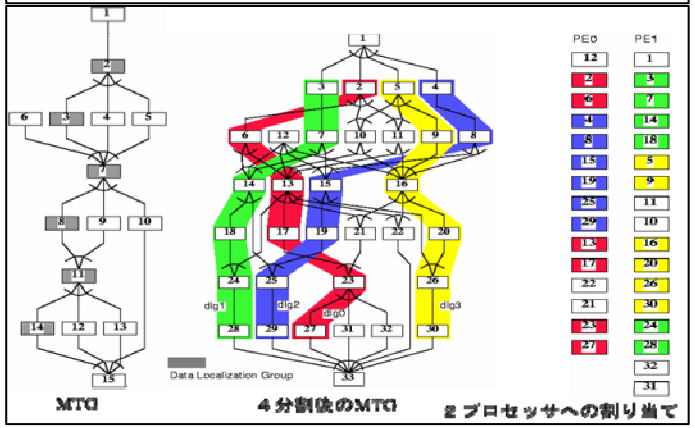
*) Advanced Audio Coding:根據ISO標準 規格化的音聲壓縮方式

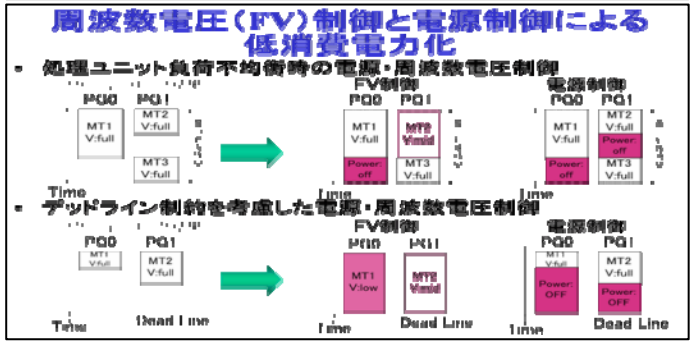
引領全球之多核心用編譯器技術

處理器高速化解決了3大技術課題

1. 半導體積體度提昇(可使用之電晶體數增大)所造成之速度提昇率鈍化
   - 粗粒度任務並列化、迴圈平行化、近細粒度並列化之利用程式全域並列性多粒度並列化功能，相較於傳統之指令等級並列性能選出更大並列性、藉由複數多核心達到速度提昇
2. 儲存牆問題
   - 編譯器透過局部記憶體數據分割配置、DMA編譯器之任務執行及部份重疊數據傳輸，讓記憶體存取‧數據傳輸之傳輸開銷最小化
3. 耗電增大使得速度加快出現鈍化
   - 透過編輯器之低耗電控制功能應用，藉由細微的頻率‧電壓控制‧電源切斷，以降低耗電

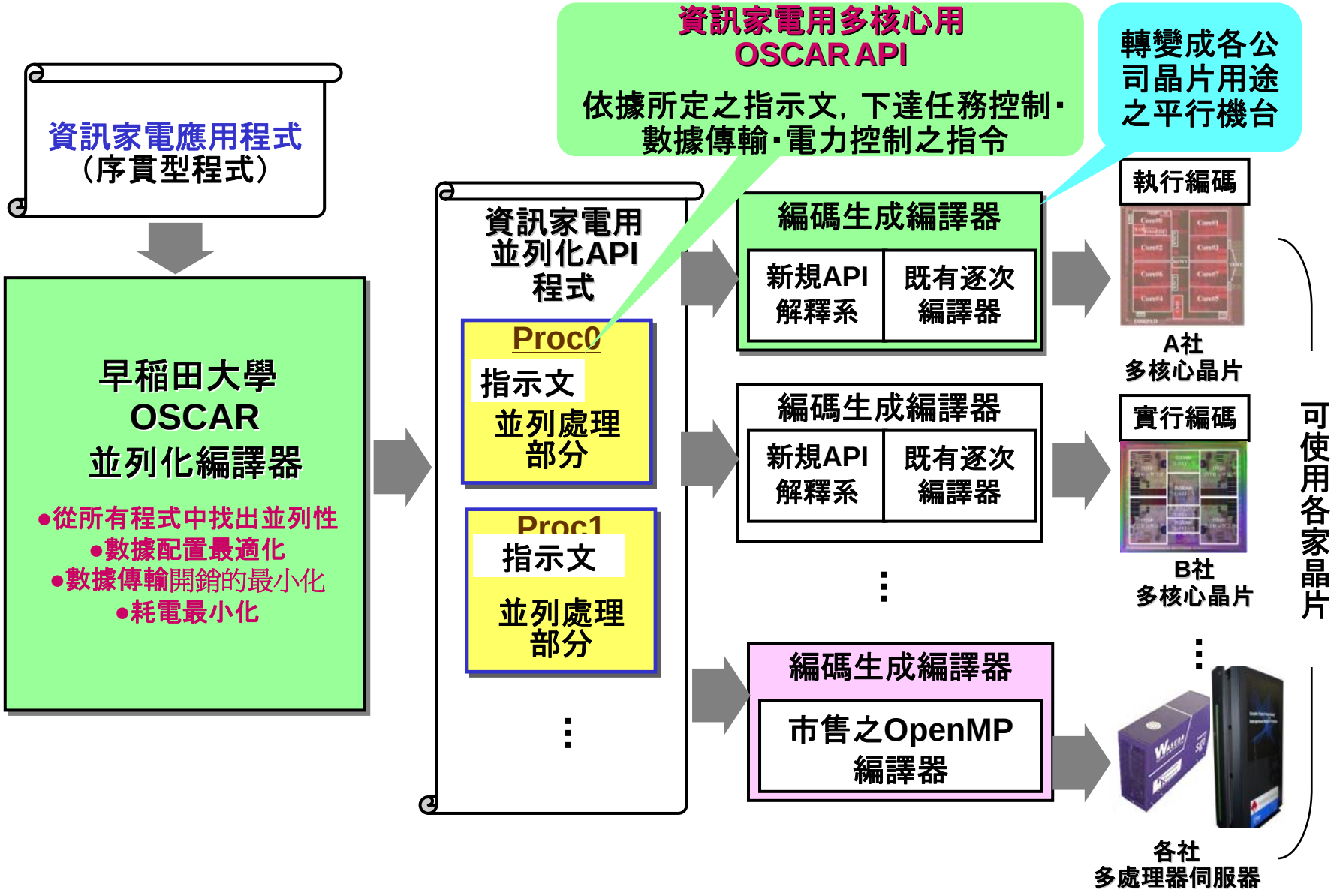






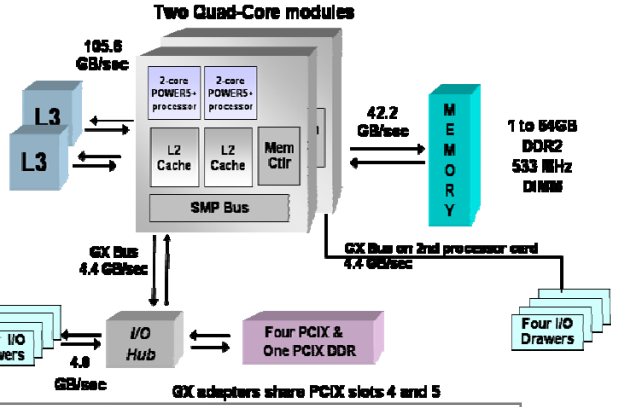
採用OSCAR API之編輯･執行流程

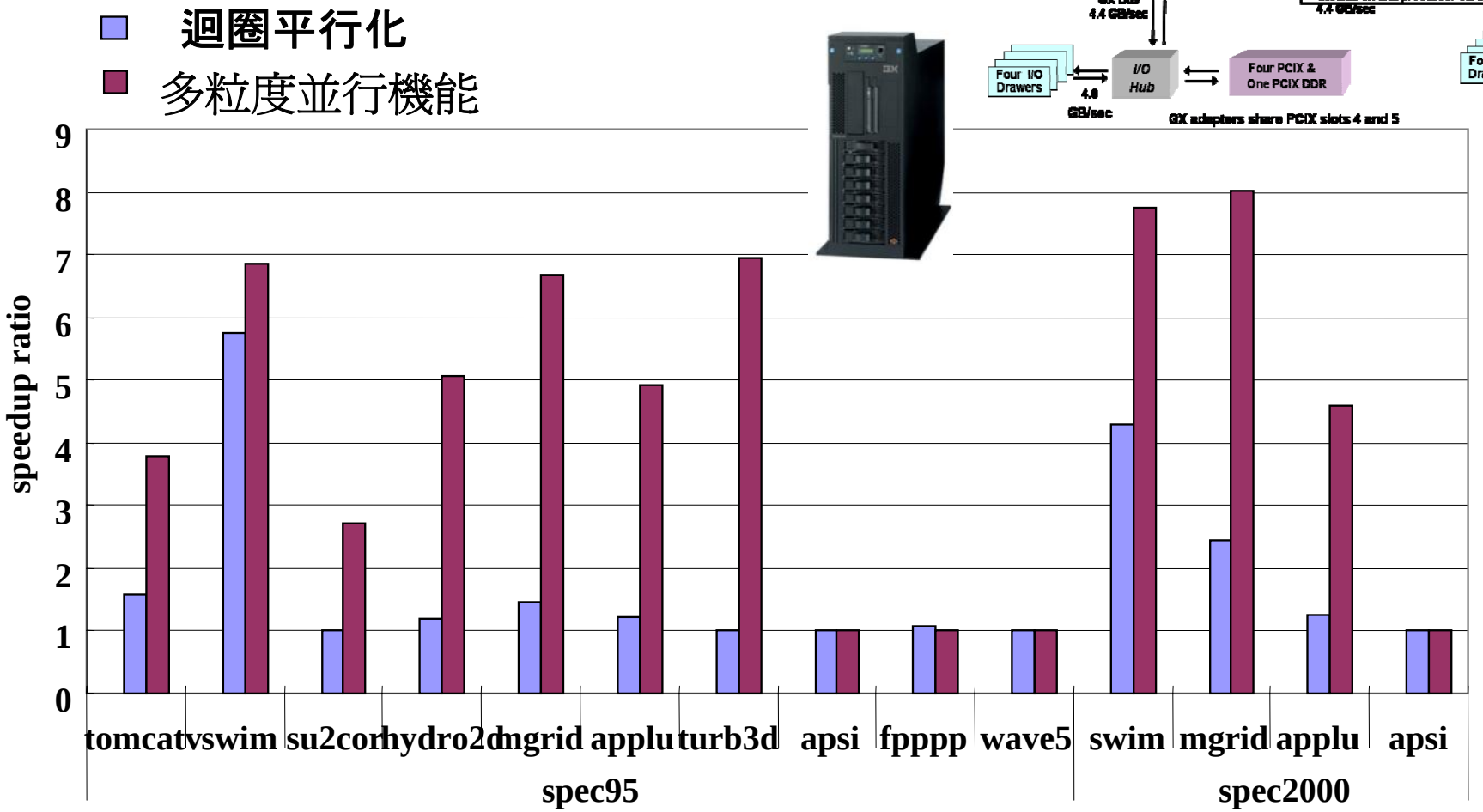
API：Application Programming Interface



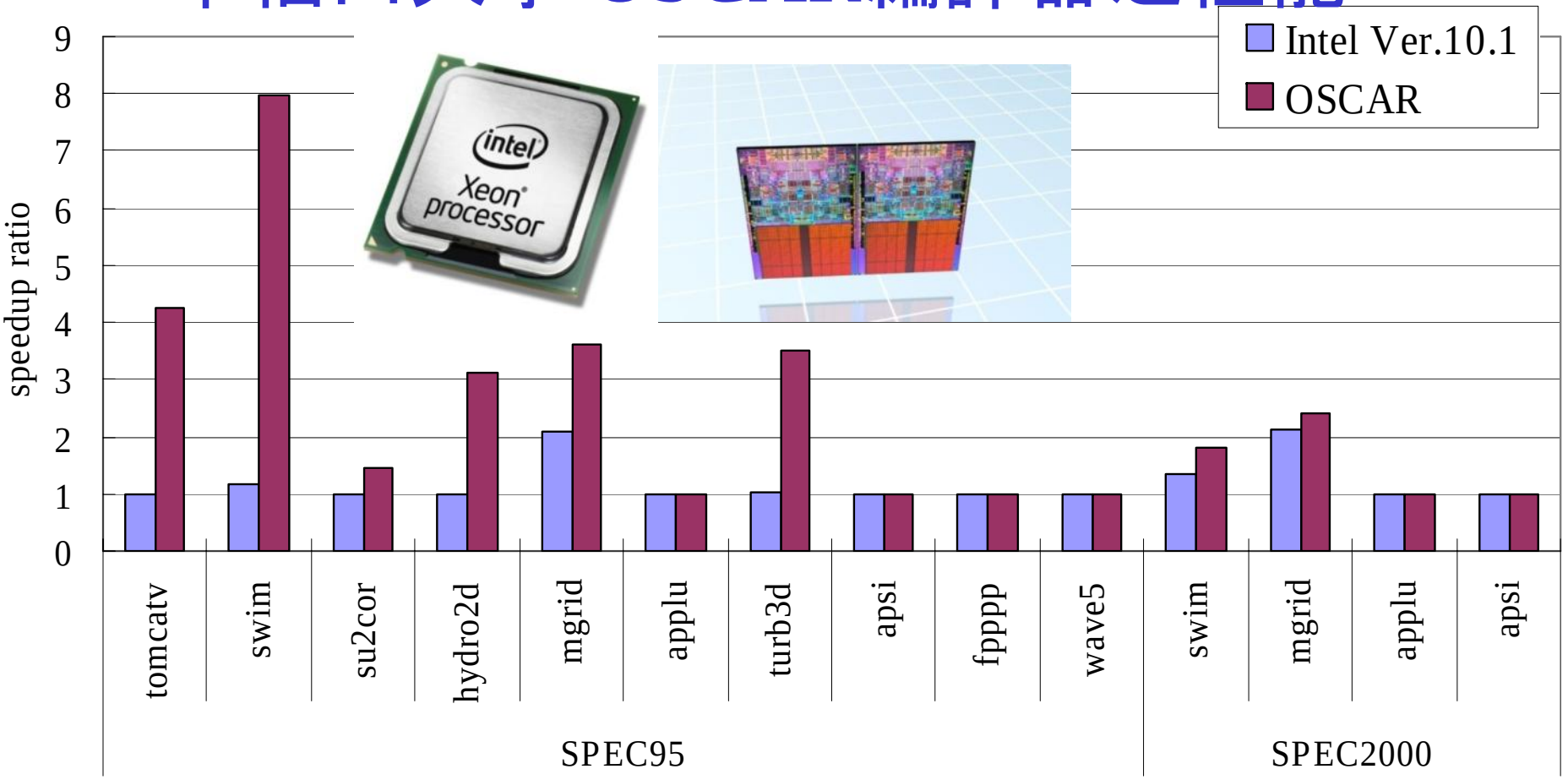
IBM伺服器p550q上，OSCAR並列化編譯器之性能

8處理器核心‧多處理器系統上，
相較於傳統之迴圈平行化，可達2.7 倍之高速化



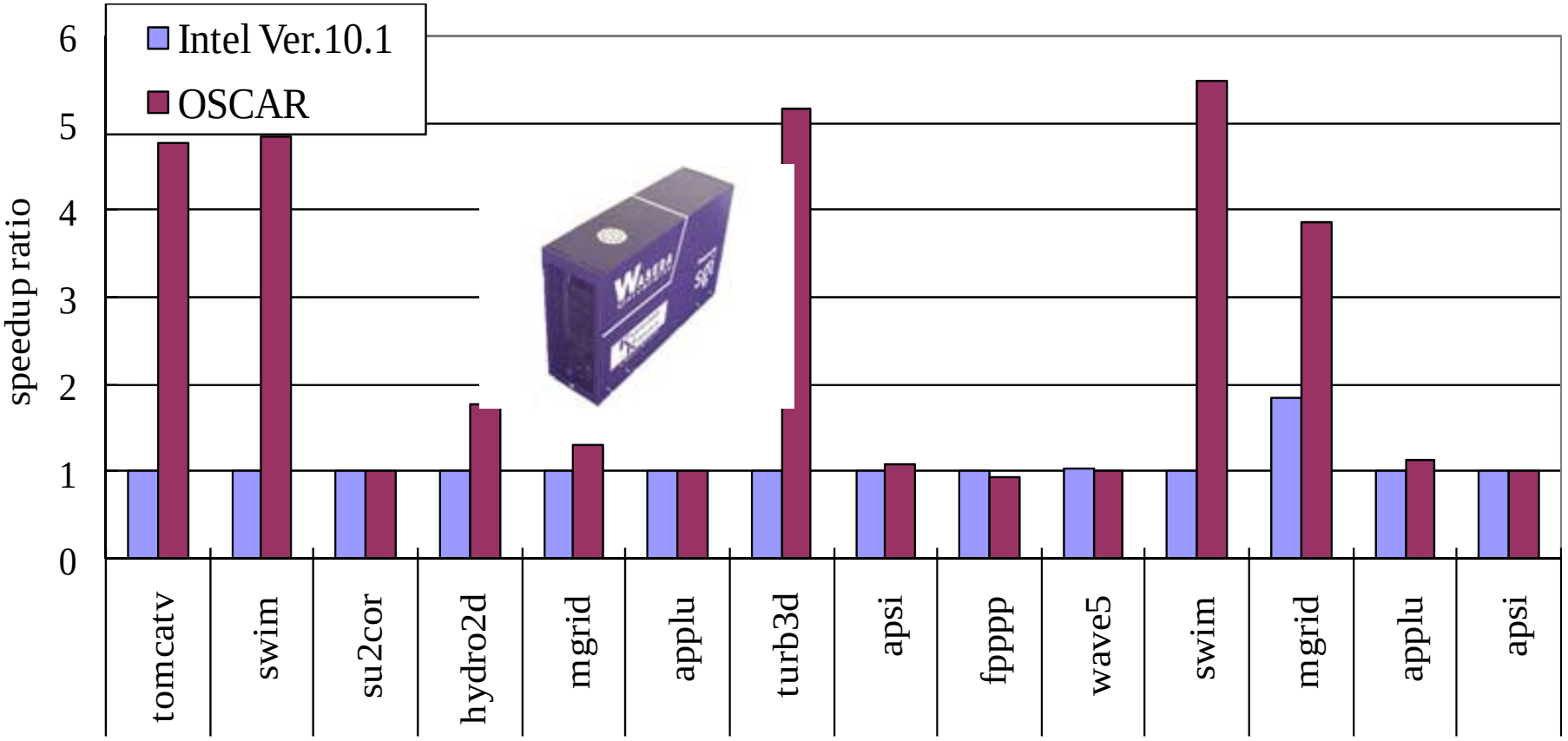


英特爾四核心Xeon處理器上，早稻田大學 OSCAR編譯器之性能



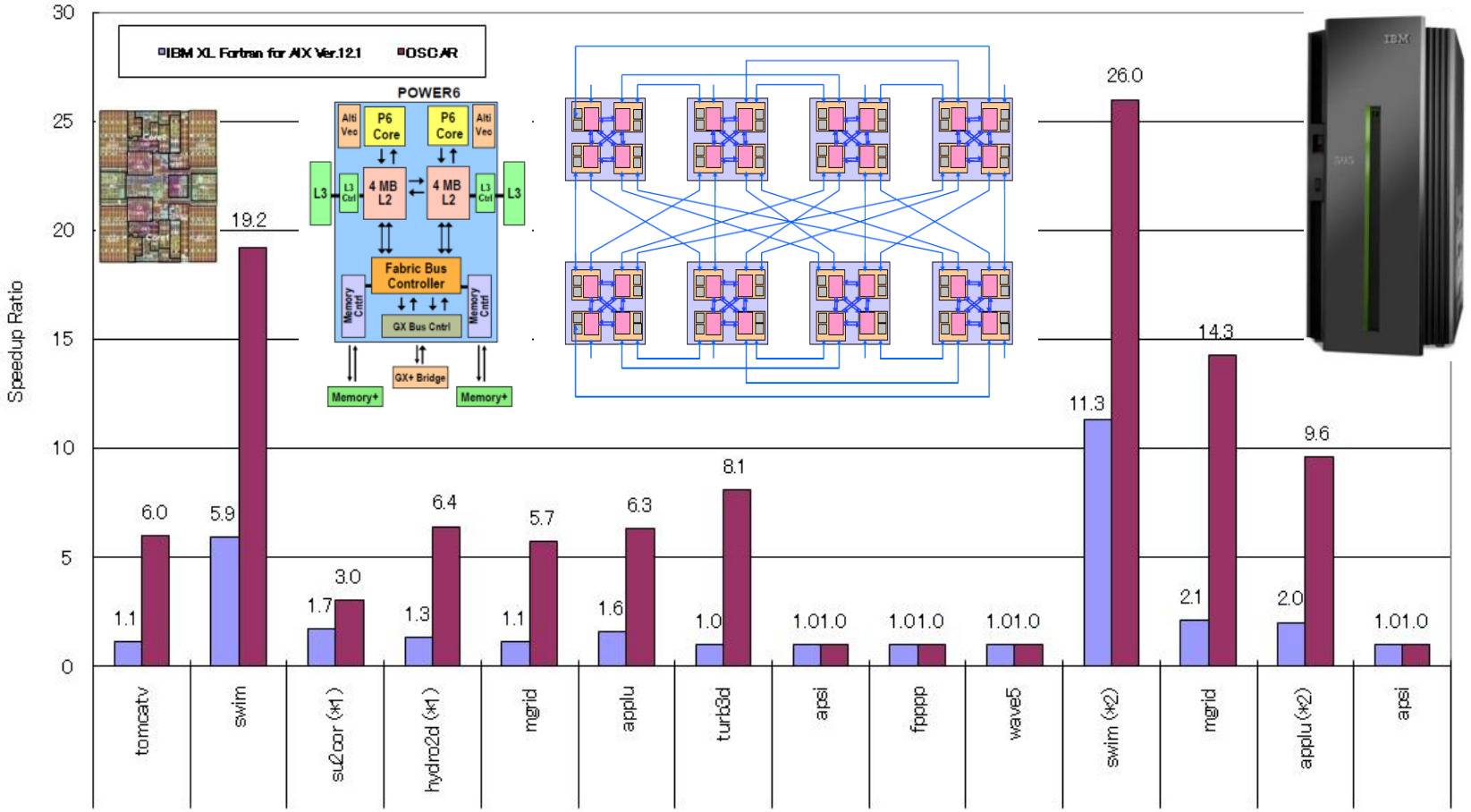
OSCAR編譯器所產生之OpenMP碼　比英特爾公司 安騰編譯器修訂版10.1　性能進步了 2.09倍

採用英特爾Montvale多核心 16 核心SGI Altix 450 於桌邊型伺服器之 OSCAR 編譯器性能



OSCAR編譯器所成生之OpenMP碼　比　intel (英特爾公司) 安騰編譯器修訂版10.1　性能進步了 2.32倍

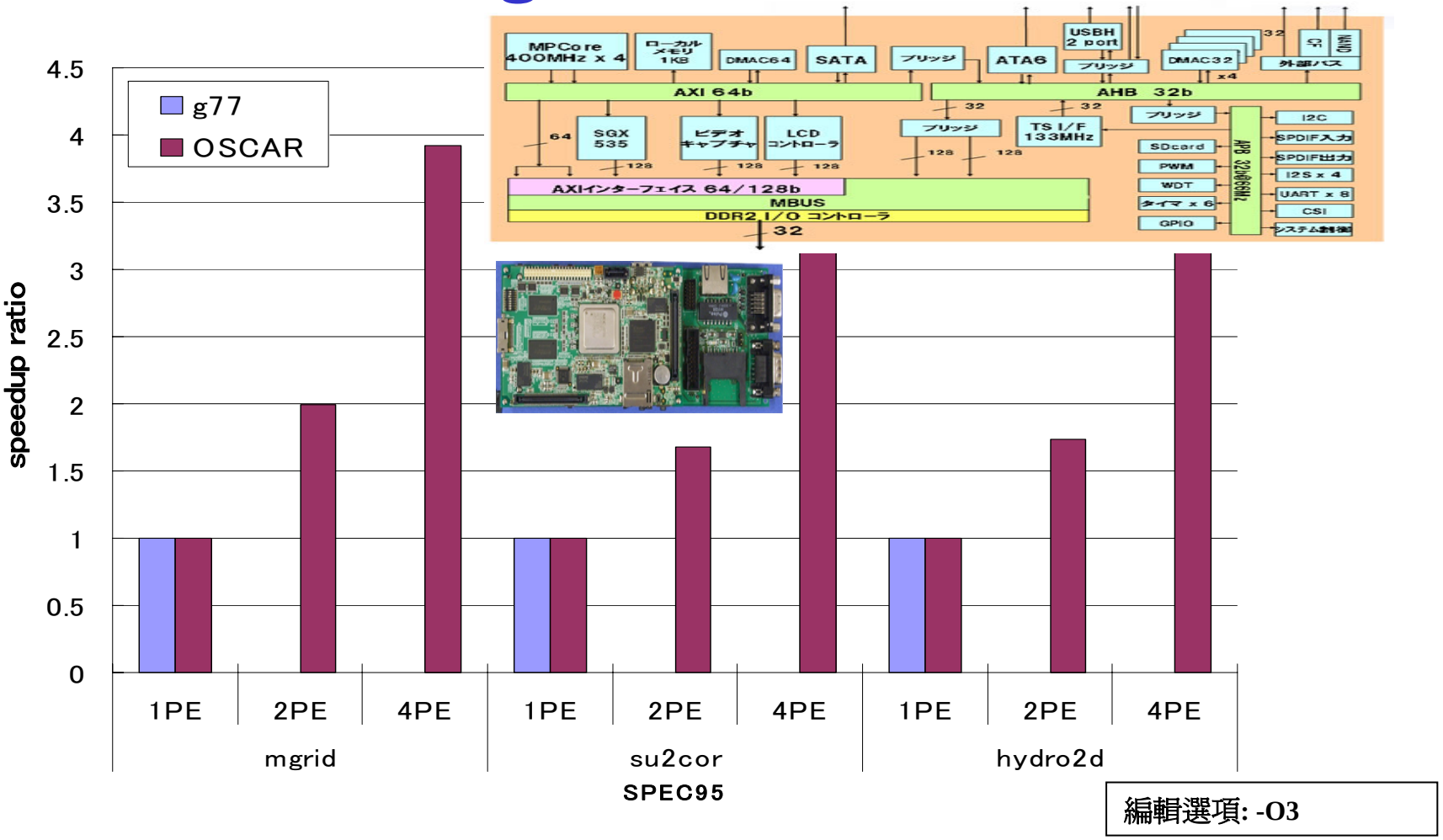
Performance of OSCAR Compiler on IBM p6 595 Power6 (4.2GHz) based 32-core SMP Server



OpenMP codes generated by OSCAR compiler accelerate IBM XL Fortran for AIX Ver.12.1 about 3.3 times on the average

Compile Option:
(*1) Sequential: -O3 –qarch=pwr6, XLF: -O3 –qarch=pwr6 –qsmp=auto, OSCAR: -O3 –qarch=pwr6 –qsmp=noauto
(*2) Sequential: -O5 -q64 –qarch=pwr6, XLF: -O5 –q64 –qarch=pwr6 –qsmp=auto, OSCAR: -O5 –q64 –qarch=pwr6 –qsmp=noauto
(Others) Sequential: -O5 –qarch=pwr6, XLF: -O5 –qarch=pwr6 –qsmp=auto, OSCAR: -O5 –qarch=pwr6 –qsmp=noauto

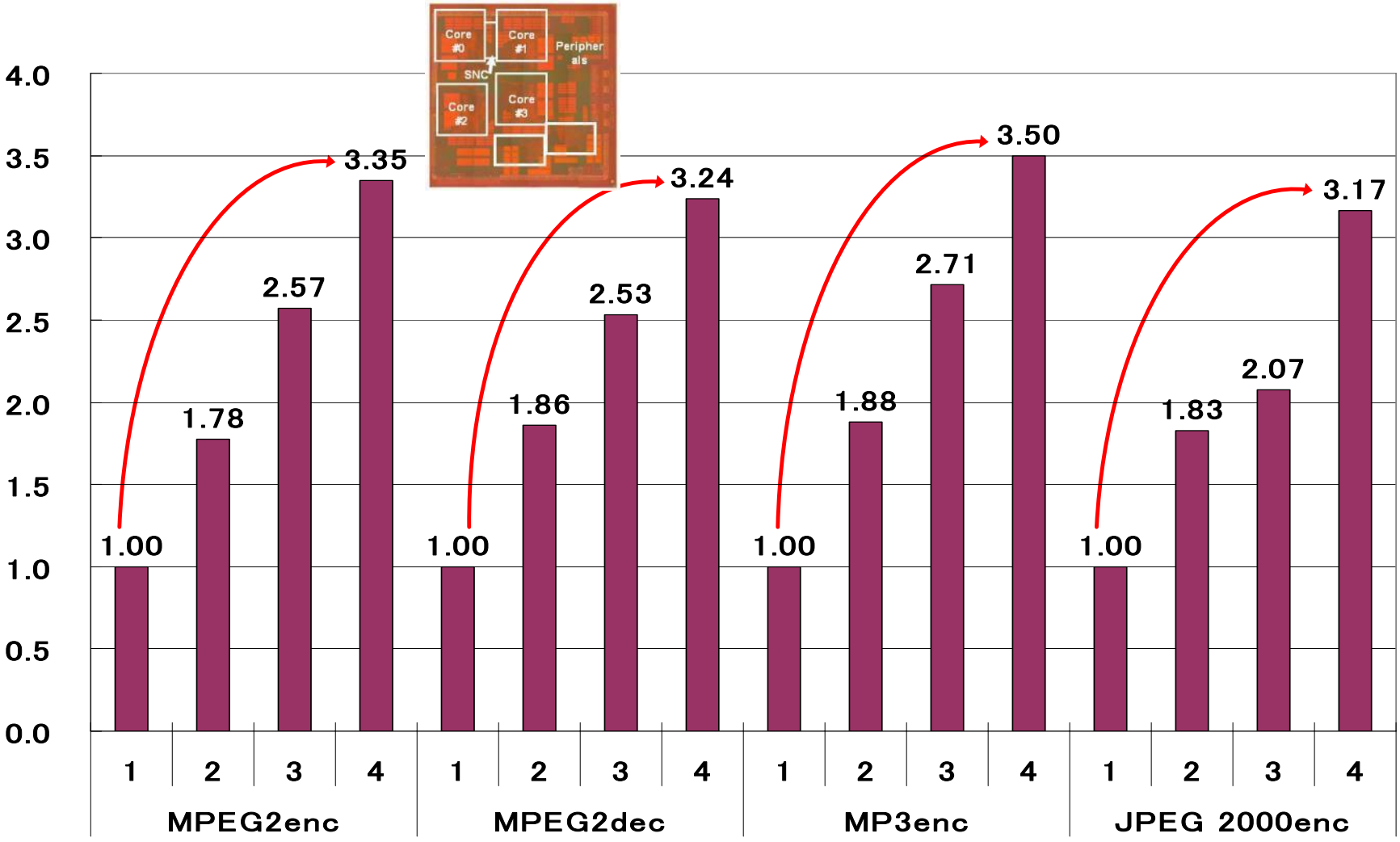
早稲田大學 OSCAR編譯器於 NEC NaviEngine上之並列處理性能



編輯選項: -O3

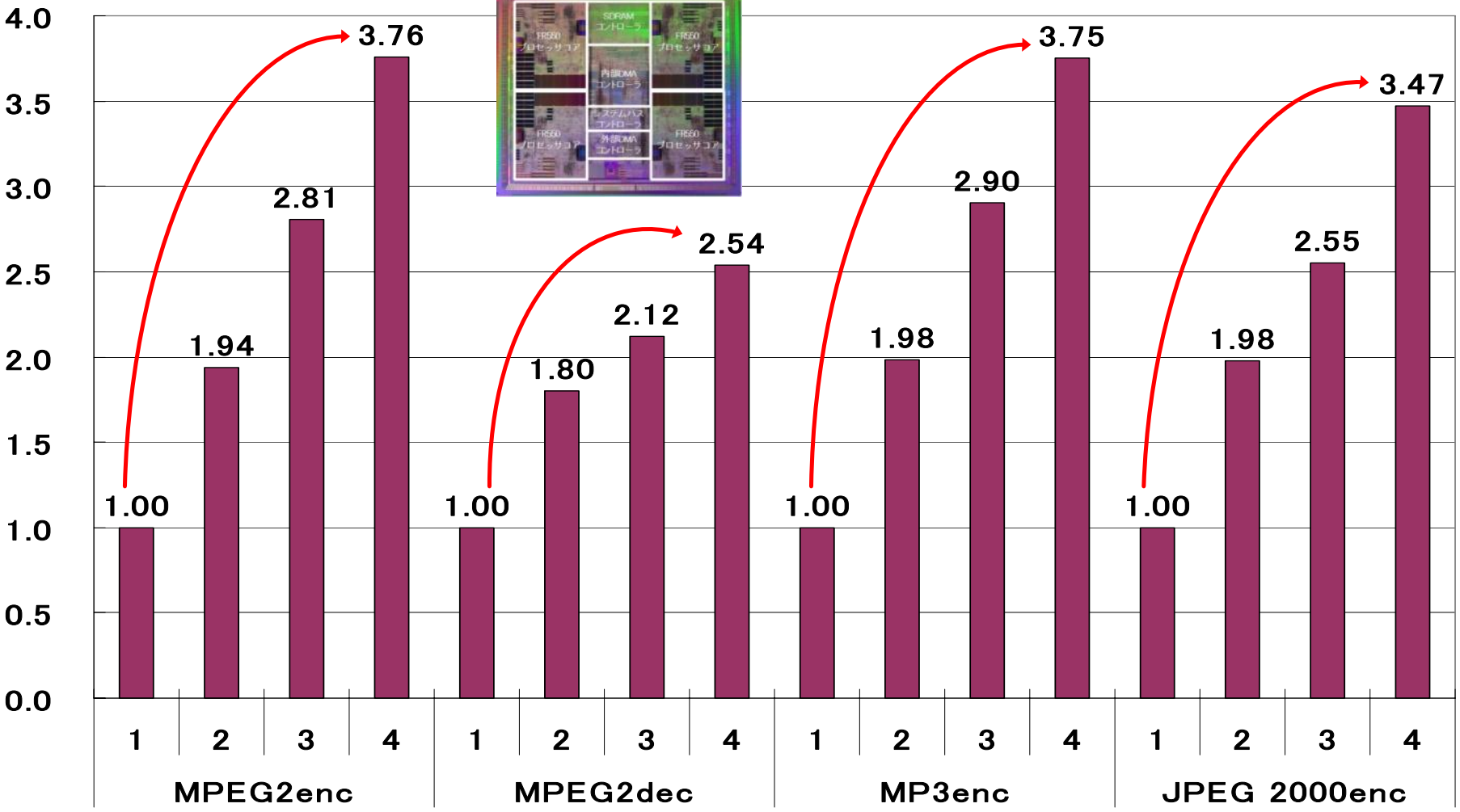
- OSCAR 編譯器於4核心ARM或NEC多核心上，
  相較於1核心，Spec CFP95　3程式平均速度提昇3.42倍

開發RP1多核心(4cores)上之並列化
使用編譯器之並列處理性能(速度提昇率)



相較於1個處理器，4個處理器之速度平均提昇3.31倍

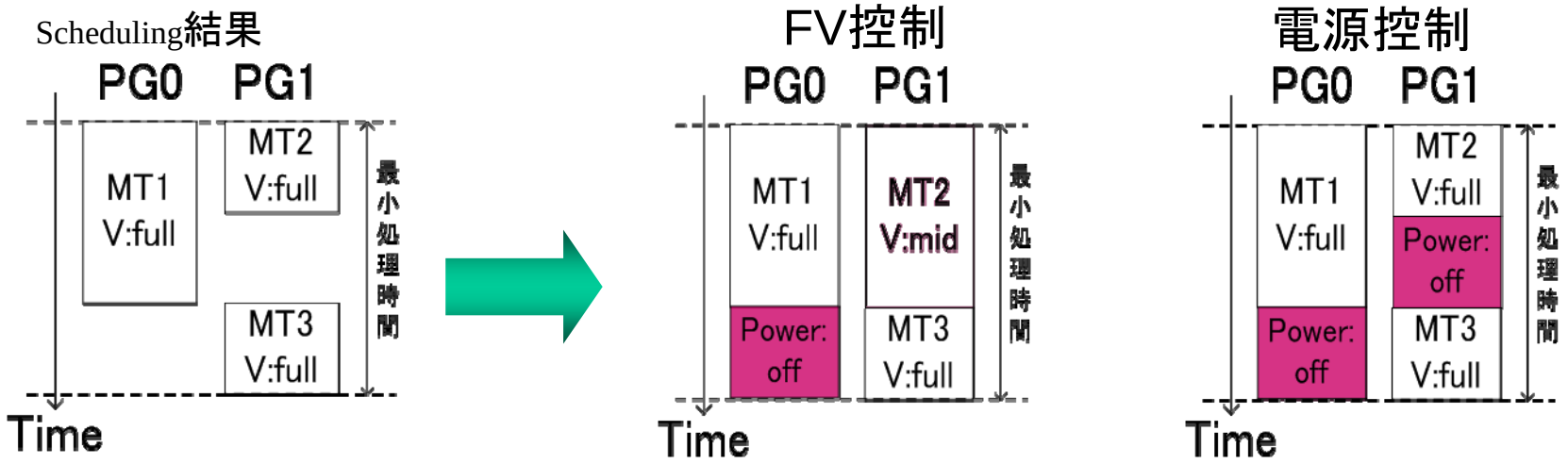
既有富士通 FR1000多核心上，OSCAR編譯器之並列化性能(策定API利用)



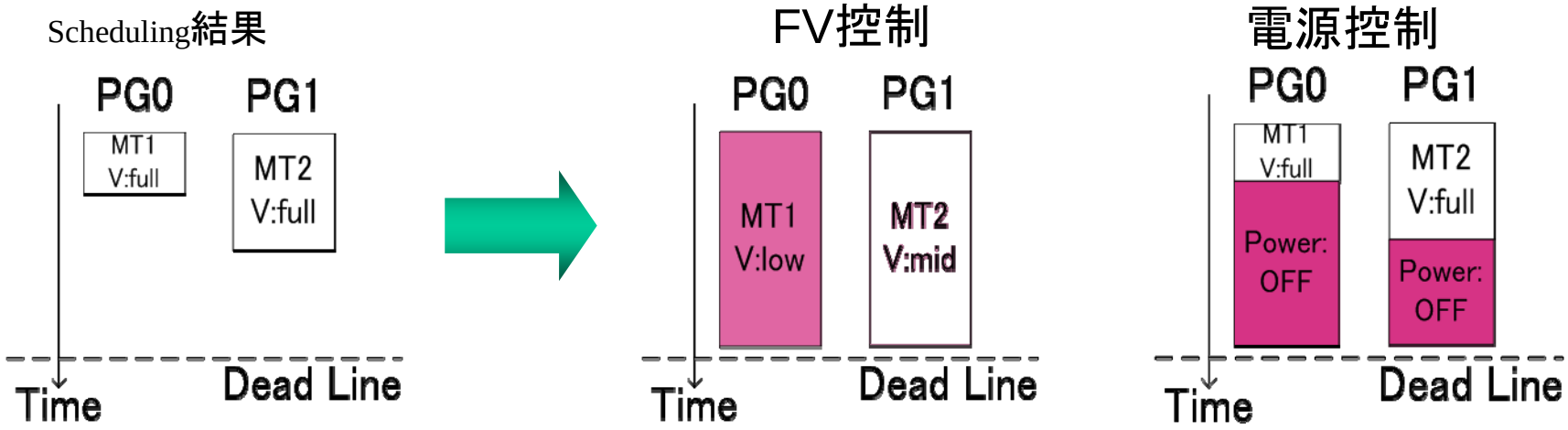
相較於1個處理器，4個處理器之速度平均提昇3.38倍

透過頻率電壓(FV)控制及電源控制降低耗電

- 處理單元發生負荷不均衡時之電源‧頻率電壓控制



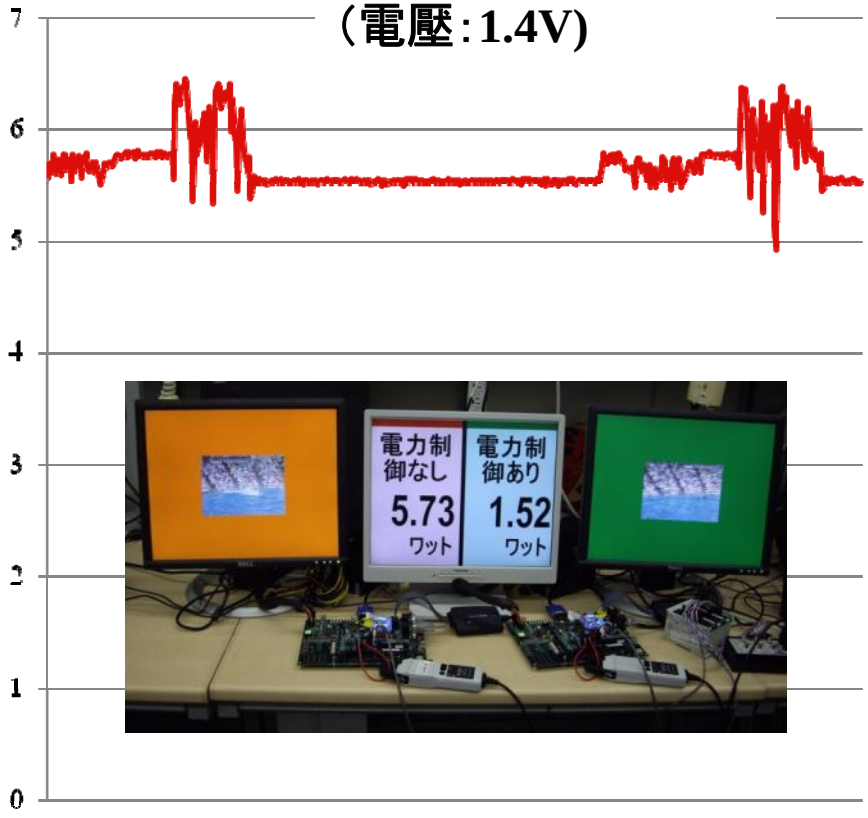
- 考量底限控制因素之電源‧頻率電壓控制



影像顯示上之編譯器頻率/電壓·電源控制讓開發晶片耗電降低

採用8核心進行動畫表示(MPEG2解碼處理)時之耗電

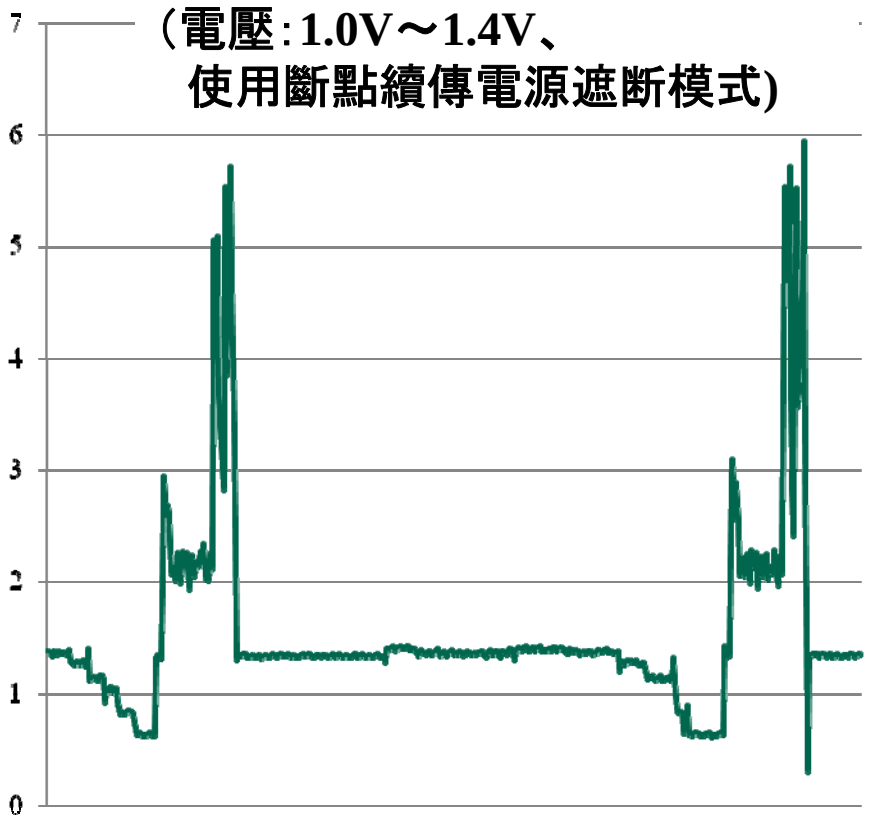
電力控制無
(電壓:1.4V)



平均電力
5.73 [W]

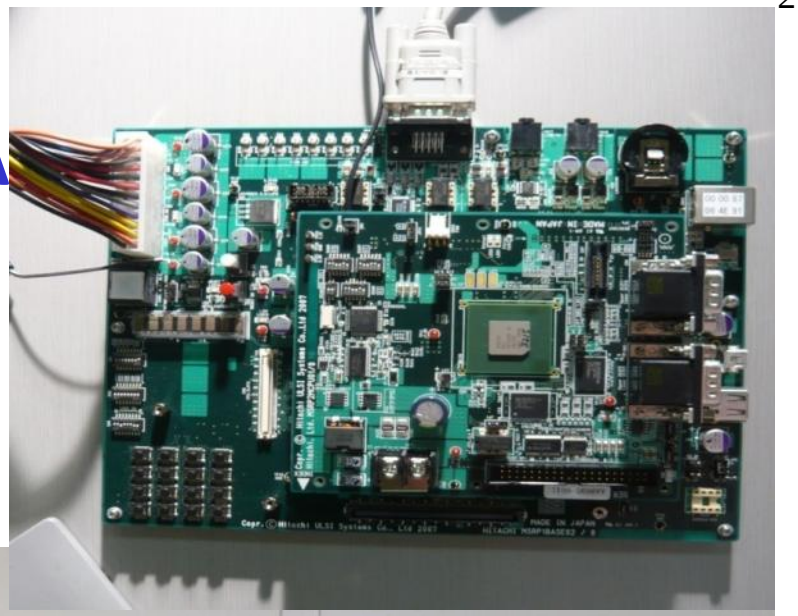
降低73.5%電力

頻率/電壓·電源控制有
(電壓:1.0V～1.4V、
使用斷點續傳電源遮斷模式)

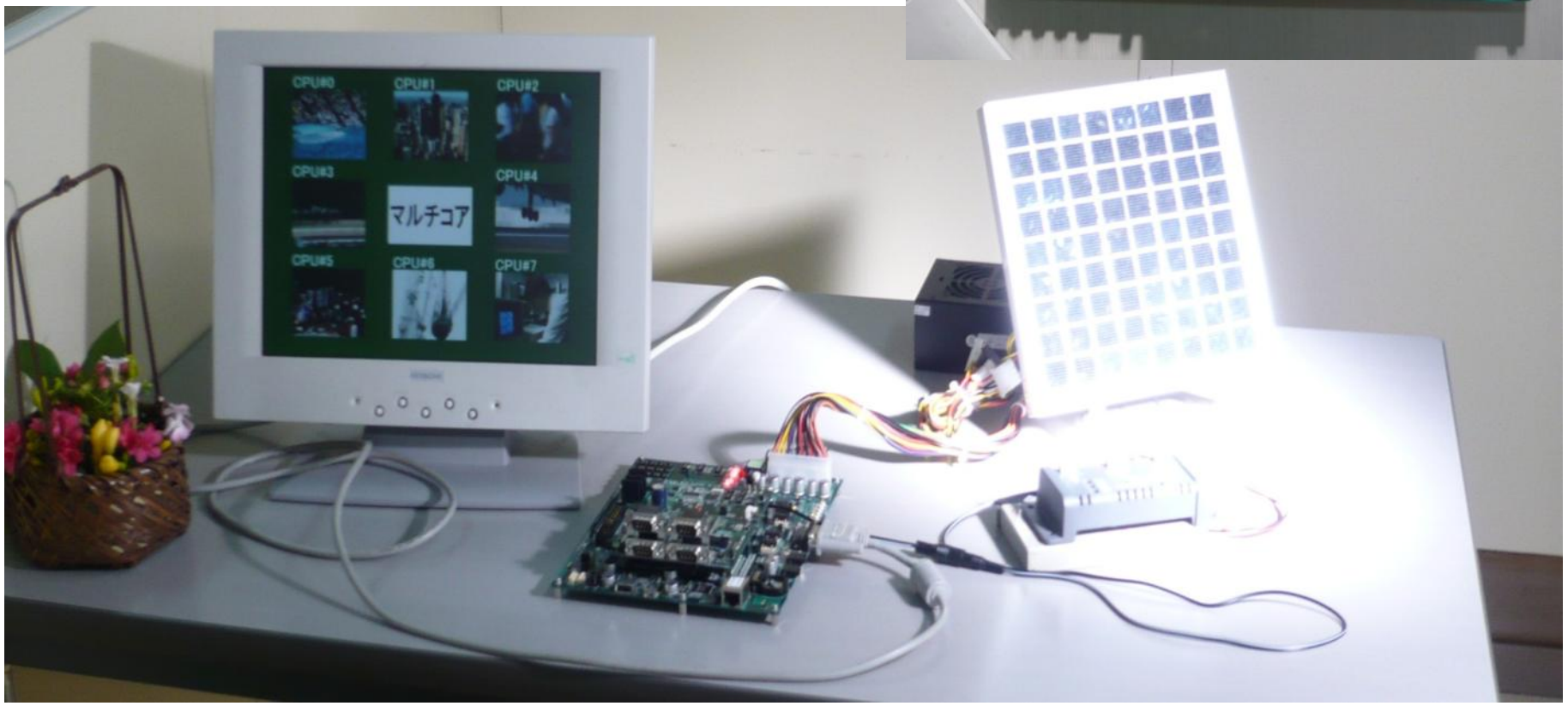


平均電力
1.52 [W]

可使用太陽能面板驅動之低耗電高性能多核心RP2(SH4A 8核心積集)



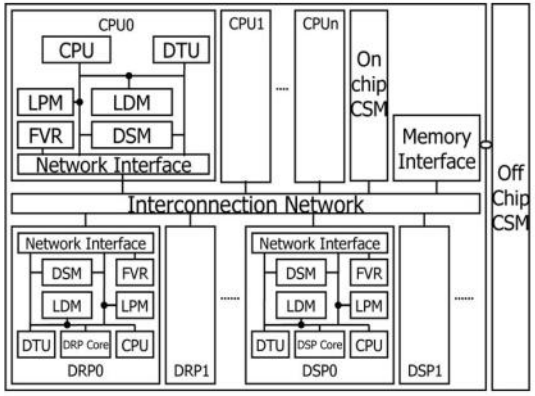
- 可透過綠能驅動
  - 可使用於電力供應困難之場所
  - 亦能於災害發生時使用



早大OSCAR異種多元核心(heterogeneous multicore)及編譯器

只需1／10動作頻率·1／90電力就能達到與汎用高性能處理器同等性能

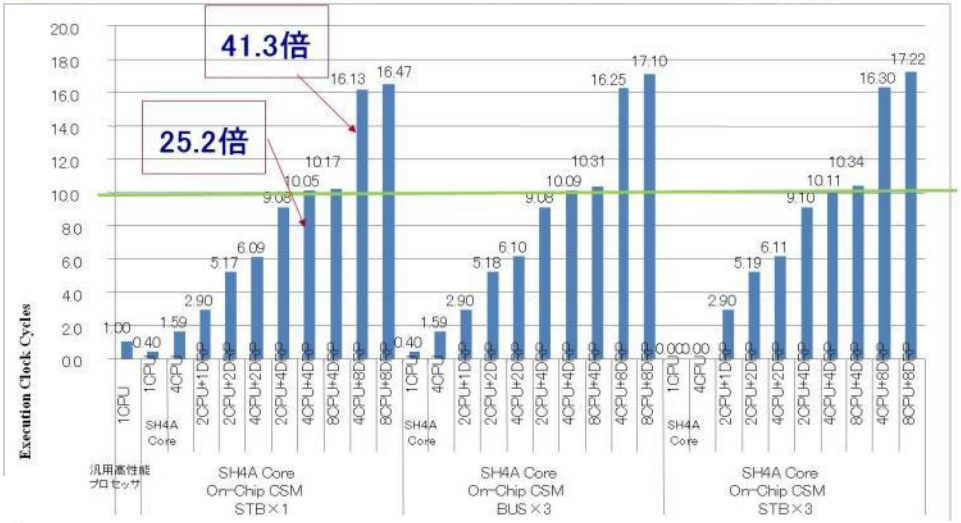
OSCAR Heterogeneous Multicore



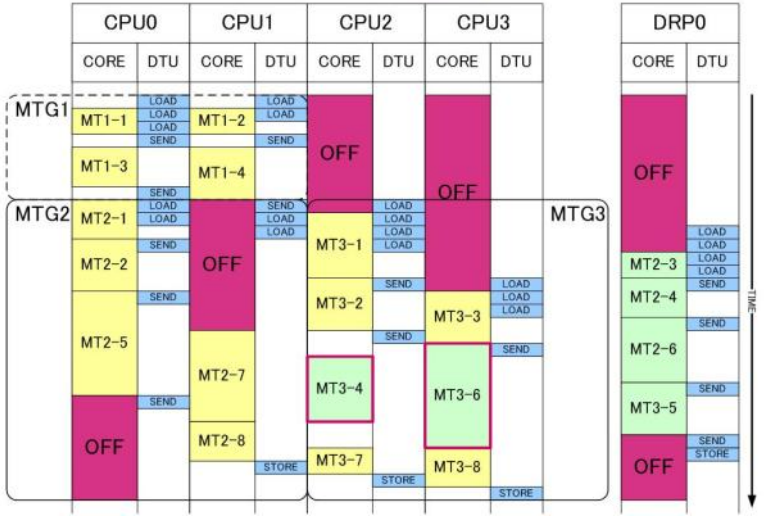
- OSCAR Type Memory Architecture
- LPM
  - Local Program Memory
- LDM
  - Local Data Memory
- DSM
  - Distributed Shared Memory
- CSM
  - Centralized Shared Memory
    - On Chip and/or Off Chip
- DTU
  - Data Transfer Unit
- Interconnection Network
  - Multiple Buses
  - Split Transaction Buses
  - CrossBar …

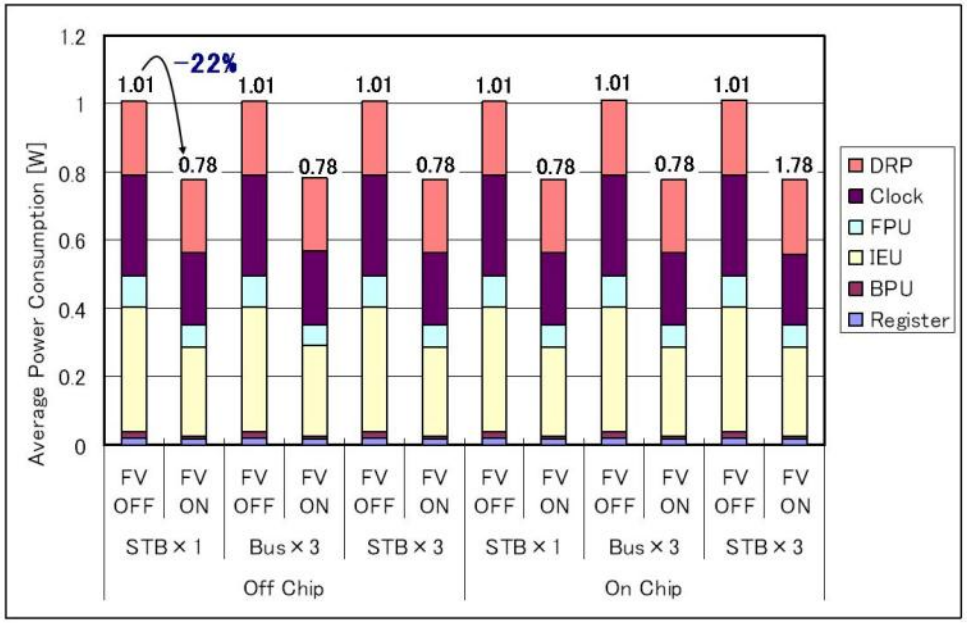
ヘテロジニアスマルチコア性能（オンチップ共有メモリ:4クロック）

汎用コア1台に対し、4汎用コア＋4アクセラレータで25.2倍の性能



An Image of Static Schedule for Heterogeneous Multi-core with Data Transfer Overlapping and Power Control





笠原博徳

参考

＜略歴＞

1980年早稲田大學理工學部電気工學科畢，1985年同大學院博士課程畢業(工學博士
1983年早稲田大學理工學部助理，　1985年日本學術振興會第1回特別研究員，
1985年加洲大學柏克萊EECS客員研究員.
1986年早稲田大學理工學部電気電子資訊工學科専任講師,1988年助理教授，
1989年－1990年伊利諾大學Center for Supercomputing R & D客員研究員，
1997年2003年起擔任資訊理工學科（電腦・網路工科）早稲田大學理工教授，
1987年IFAC World Congress第1回Young Author Prize，
1997年資訊學會坂井記念特別研究賞，2004年STARC共同研究賞.
2008年LSI of The Year 2nd Grand Prix, Intel Asia Academic Foram Best Research Award

＜主要學會活動＞

IEEE: Computer Society （CS）理事，IEEE CS Japan 委員長，IEEE東京支部理事，
IEEE Japan Council長期戦略委員會委員，IEEE SC（Supercomputing）07 Program Committee等
資訊處理學會：計算機架構研究會主查，　論文誌編集委HG主查，會誌編集委HWG主查，
ACM ：International Conference on Supercomputing(ICS)計畫委員
ENIAC50周年記念ICS 1996　Program Chair on Software.
其他超級電腦・並列處理相關眾多国際會議計畫委員.

＜各種委員等＞

経済産業省：資訊政策提言研討會(架構/HPC WG主查)，
千喜年計畫IT21”尖端並列化編輯器”計畫負責人，
浮點運算機／petaflops machine委員會委員，超先端電子基盤技術委員，business GRID評估委員
NEDO:コンピュータ戦略WG委員長，研究評估委員，“即時 資訊家電用多核心 “プロジェクトリーダ等
文部科學省:地球模擬中間評估委員，次世代超級電腦概念設計評估委員
JST:科學技術振興調整費GRAPE-DR運営委員,COINS運営委員，未來21領域顧問
内閣府:総合科學技術會議分野別推進戦略(報通信分野)軟體WG,研究開發基盤WG委員，
第5回産學官連携推進會議分科會演講者
東京電力學術評估委員，　日本EU協調會議科學技術圓桌會議日本代表等。

＜論文等＞查読付き論文167，招待講演76件（ 国際會議,國内學會,海外大學,Intel，Google等），研究會115件，
研討會 25件，媒體刊登 221件（ 新聞,TV，雜誌,Web新聞等），基本專利 8件(還有其他國際專利申請)