

低消費電力マルチコアプロセッサ とソフトウェア技術

経済産業省・NEDO「半導体アプリケーションチップ」
平成17年度-19年度
「リアルタイム情報家電用
マルチコア技術の研究開発事業」成果を含めて

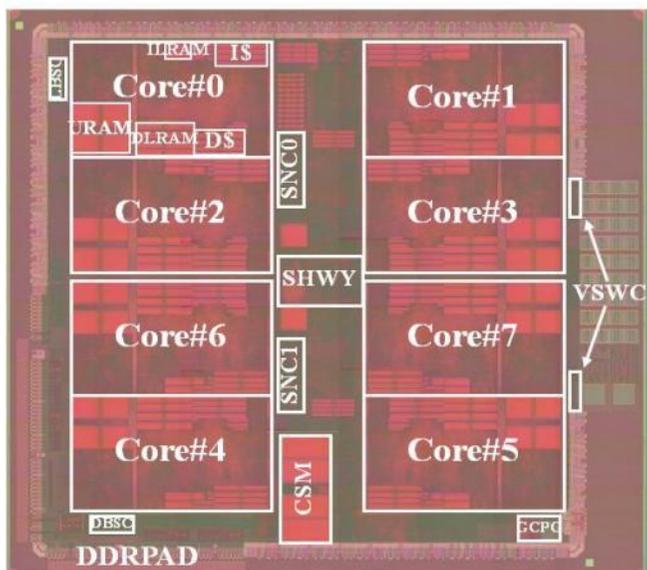
早稲田大学理工学術院基幹理工学部情報理工学科 教授
早稲田大学アドバンスト・マルチコア・プロセッサ研究所 所長
IEEE Computer Society Board of Governors

笠原博徳

kasahara@waseda.jp

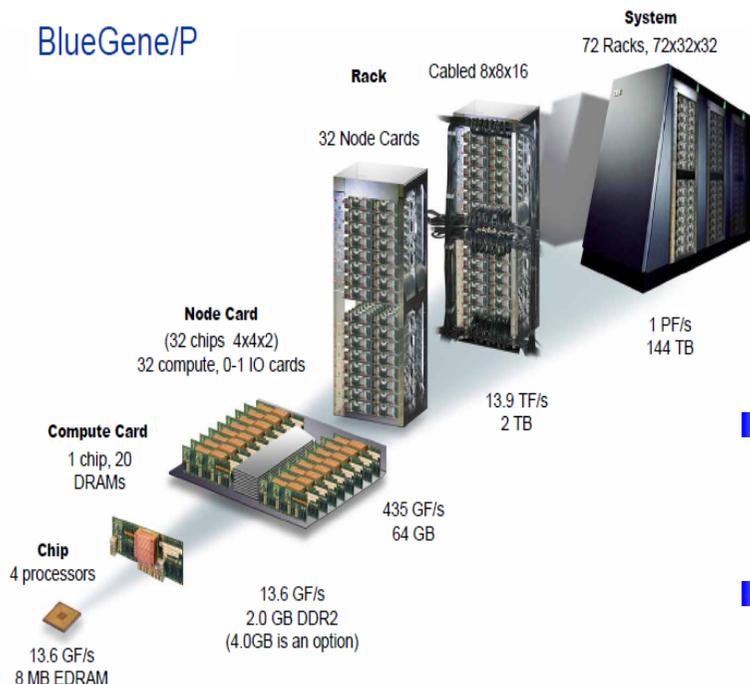
URL: <http://www.kasahara.cs.waseda.ac.jp/>

マルチコアEverywhereの時代



NEDOリアルタイム情報家電用マルチコアプロジェクト
ルネサス試作チップ(OSCAR)標準アーキテクチャ

BlueGene/P



■ 組み込みプロセッサからスパコンまで

➤ 情報家電用マルチコア

カーナビ, 携帯電話, ゲーム, デジタルTV, DVD

IBM/ Sony/ Toshiba Cell, Fujitsu FR1000, Panasonic

Uniphier, NEC/ARM MPCore/MP211/NaviEngine

Renesas SH multi-core SHX3(4 core RP1, 8 core RP2)

Tilera Tile64, SPI Storm-1(16 VLIW cores)

➤ PC,サーバ

Intel Quad Xeon, Core 2 Quad, Montvale, Nehalem(8core),

80 core, Larrabee(32core)

AMD Quad Core Opteron, Phenom

WSs, Deskside & Highend Servers

IBM Power4,5,5+,6, HPCS 実効性能1PFLOP(Power7),

Sun Niagara(SparcT1,T2), Rock

➤スーパーコンピュータ

地球シミュレータ, 2002年3月完成, 5120ベクトルプロ

セッサ : **40TFLOPS**

IBM Blue Gene/L: **360TFLOPS**, 2005,低消費電力マルチコ

アベース128K processor chips, BG/Q 20PFLOPS (2011)

Blue Waters (2011年7月実効性能 1 PFLOPS : Power7)

■ アプリケーションソフトの充実,短期間システム開発,低

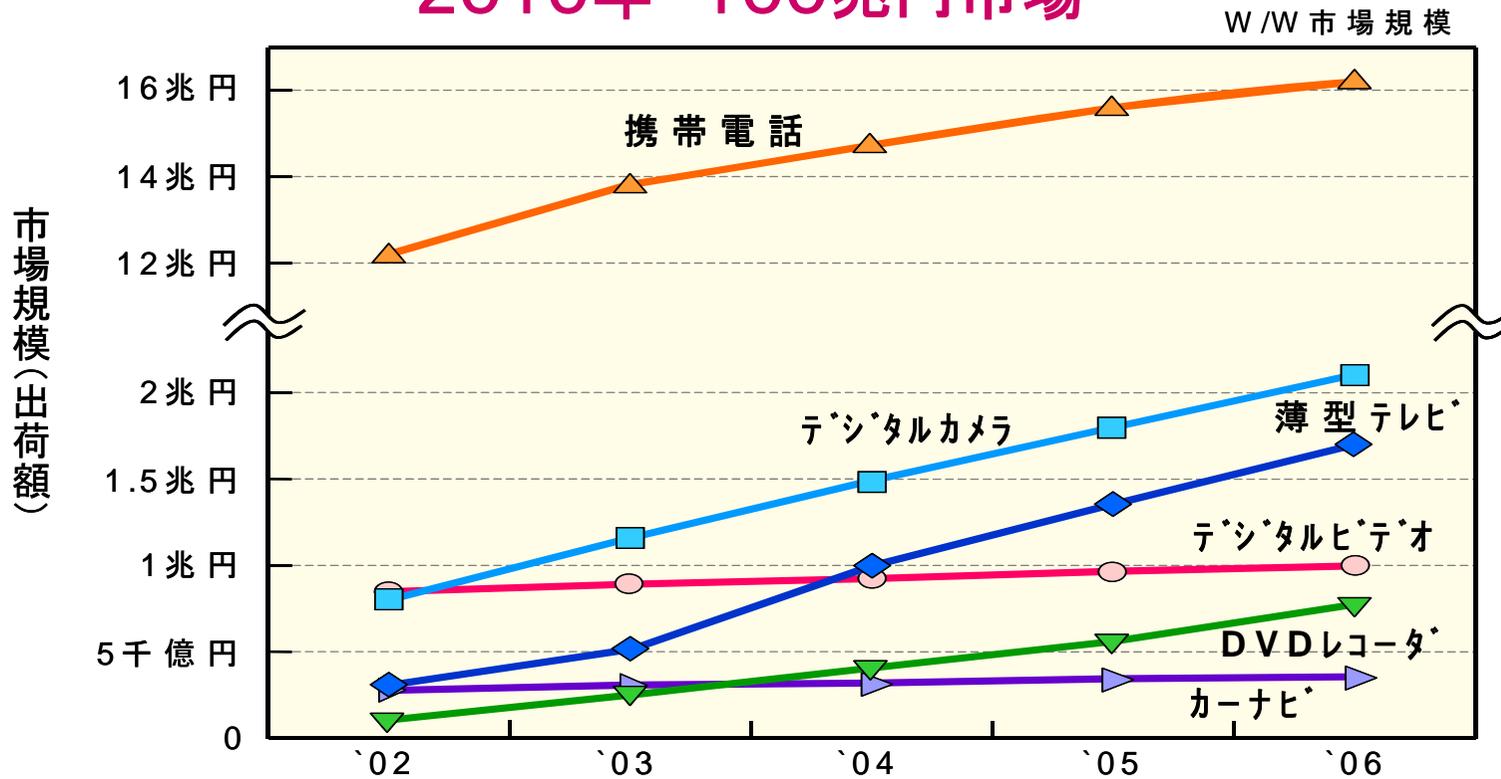
コスト, 低消費電力, 高機能化が市場競争力決定

<例>携帯電話,ゲーム,自動車

■ 自動並列化コンパイラ協調型マルチコアプロセッサ必要

リアルタイム情報家電が市場を牽引

2010年 100兆円市場



	'03	'07	年平均成長率%
デジタルスチルカメラ(M台)	49	76	12
デジタルTV(M台)	6	27	45
DVDレコーダ(M台)	3.6	33	74
PC用DVD(記録型)(M台)	27	114	43
携帯電話(M台)	490	670	8
自動車用半導体需要(B\$)	14.0	20.9	11

2005.5.11
 NEDOロードマップ報告会
 電子・情報技術開発部
 「技術開発戦略」より

NEDOリアルタイム情報家電用マルチコア技術

<目的> DVD,デジタルTV,カーナビ,携帯電話等リアルタイム情報家電における優位化製品創出を目指したプロセッサ技術の国際競争力強化

<研究期間>平成17年7月～平成20年3月

<内容> 下記特徴をもつマルチコア・アーキテクチャ及びコンパイラ技術の確立

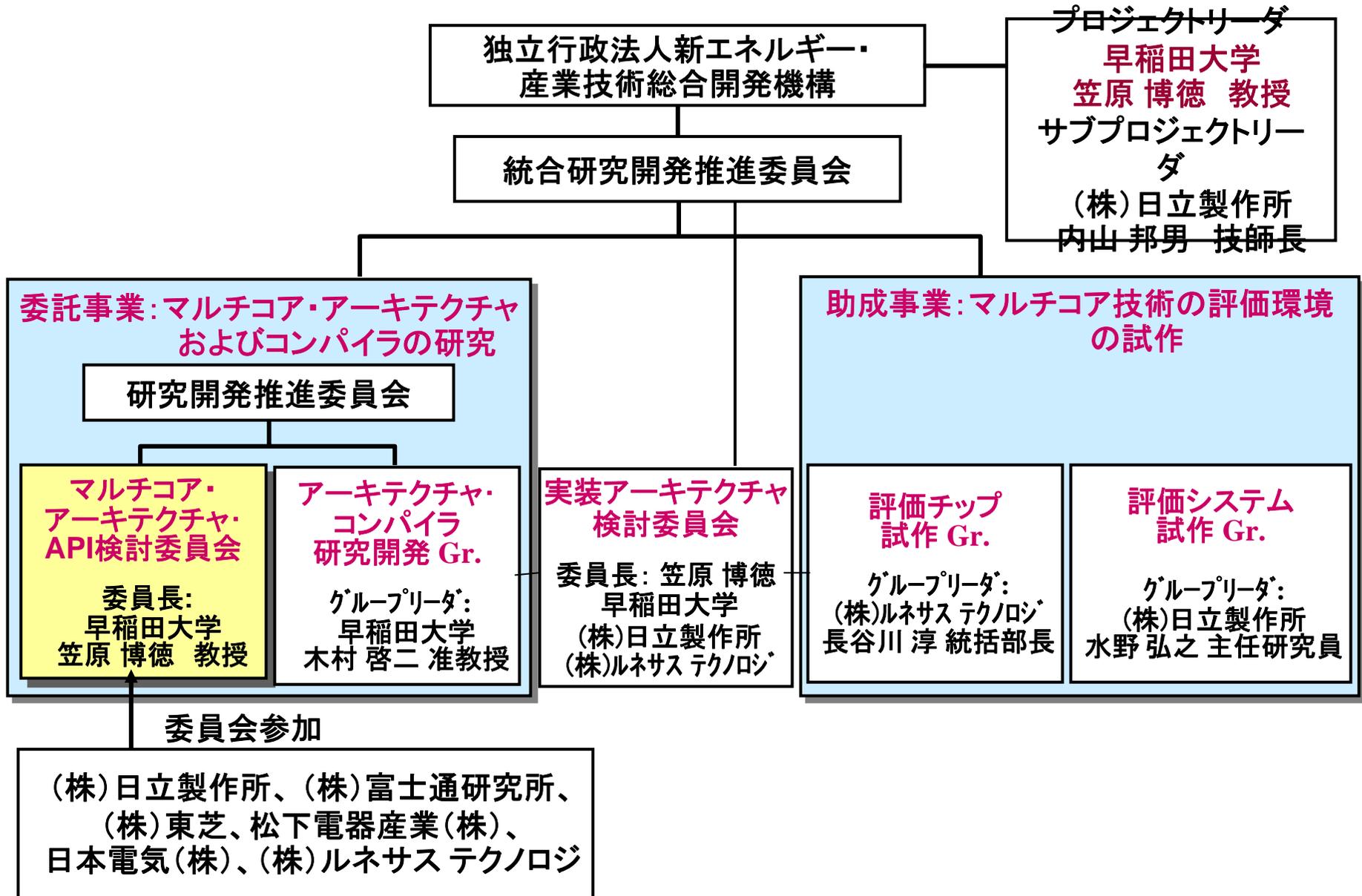
- ・優れた価格性能
- ・短ハードウェア・ソフトウェア開発期間
- ・低消費電力
- ・同一アーキテクチャでローエンドからハイエンド製品まで柔軟に対応
- ・集積度向上に対するスケーラブルな性能向上(複数半導体世代に対応)
- ・異なる企業開発のマルチコア間でのアプリケーションの共用
<API: Application Programming Interface並列化コンパイラと各マルチコアの接続>

日立,富士通,ルネサス,東芝,松下,NEC

<PC用プロセッサとの目的の違い>

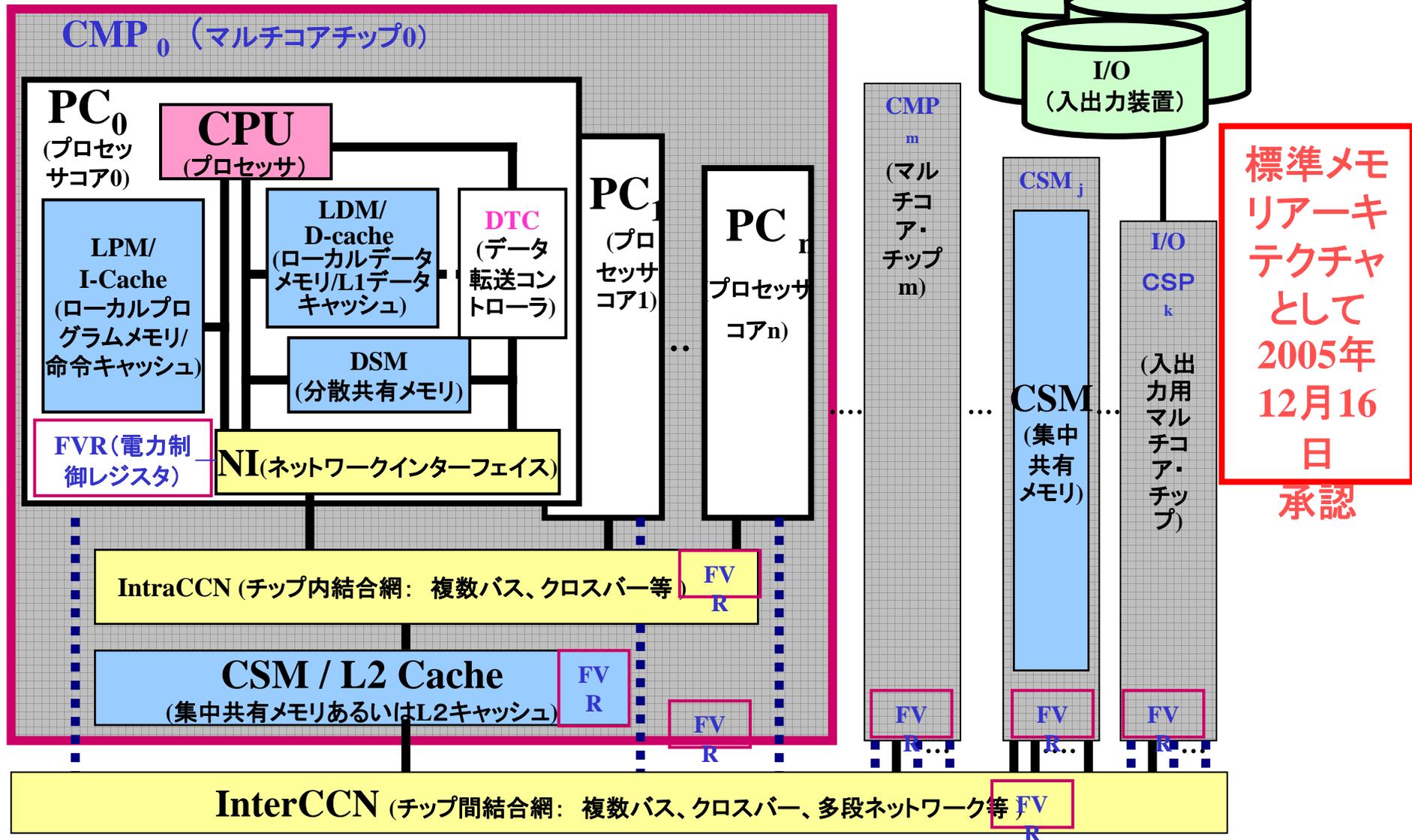
リアルタイム処理なアーキテクチャ・自然冷却可能な低消費電力性

リアルタイム情報家電用マルチコア技術研究開発実施体制



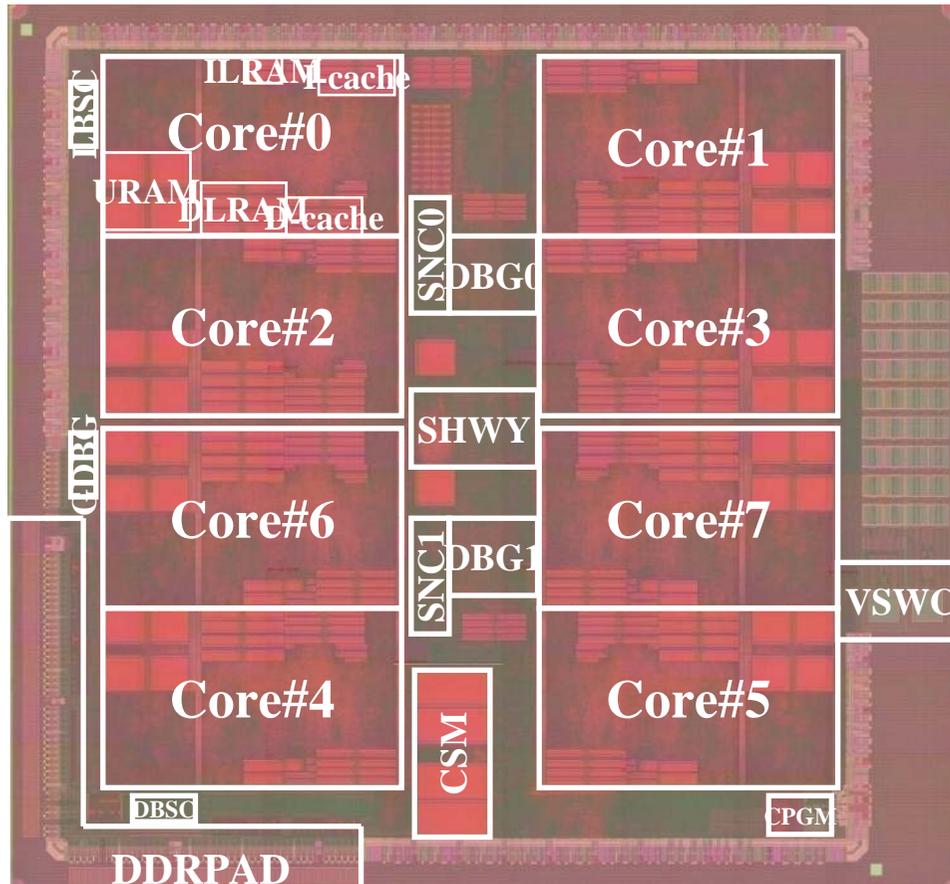
標準的メモリアーキテクチャと承認されたOSCARマルチコア

- ローカルメモリ
- 分散共有メモリ
- 集中共有メモリ(チップ内・外)
- DTC(高性能DMAC)
- 電力制御用FVR



RP2 8コア搭載マルチコアLSI

チップ諸元



8コア集積マルチコア LSI チップ写真

プロセス	90nm CMOS, 8層メタル, 3種Vth
チップサイズ*	104.8mm ² (10.61mm x 9.88mm)
電源電圧	1.0V-1.4V(コア), 1.8/3.3V(I/O)
動作周波数	600MHz
CPU性能	8640 MIPS (Dhrystone 2.1)
FPU性能	33.6 GFLOPS
低電力制御	<ul style="list-style-type: none"> ・CPU毎に独立した周波数変更 ・CPUコアのクロックを停止するスリープモード ・CPUコアの一部のクロックを停止するがキャッシュコヒーレンシ維持可能なライトスリープモード ・CPUコアの電源供給を停止するフル電源遮断モード ・URAM以外のCPUコアの電源供給を停止するレジューム電源遮断モード

ISSCC08発表: ISSCC08 論文番号4.5, M.ITO, et al., “An 8640 MIPS SoC with Independent Power-off Control of 8 CPUs and 8 RAMs by an Automatic Parallelizing Compiler”

Demo of NEDO Multicore for Real Time Consumer Electronics at the Council of Science and Engineering Policy on April 10, 2008

第74回総合科学技術会議【平成20年4月10日】



第74回総合科学技術会議の様子(1)



第74回総合科学技術会議の様子(2)



第74回総合科学技術会議の様子(3)



第74回総合科学技術会議の様子(4)

CSTP Members

Prime Minister:

Mr. Y. FUKUDA

**Minister of State for Science,
Technology and Innovation
Policy:**

Mr. F. KISHIDA

Chief Cabinet Secretary:

Mr. N. MACHIMURA

**Minister of Internal Affairs
and Communications :**

Mr. H. MASUDA

Minister of Finance :

Mr. F. NUKAGA

**Minister of Education,
Culture, Sports, Science and
Technology:**

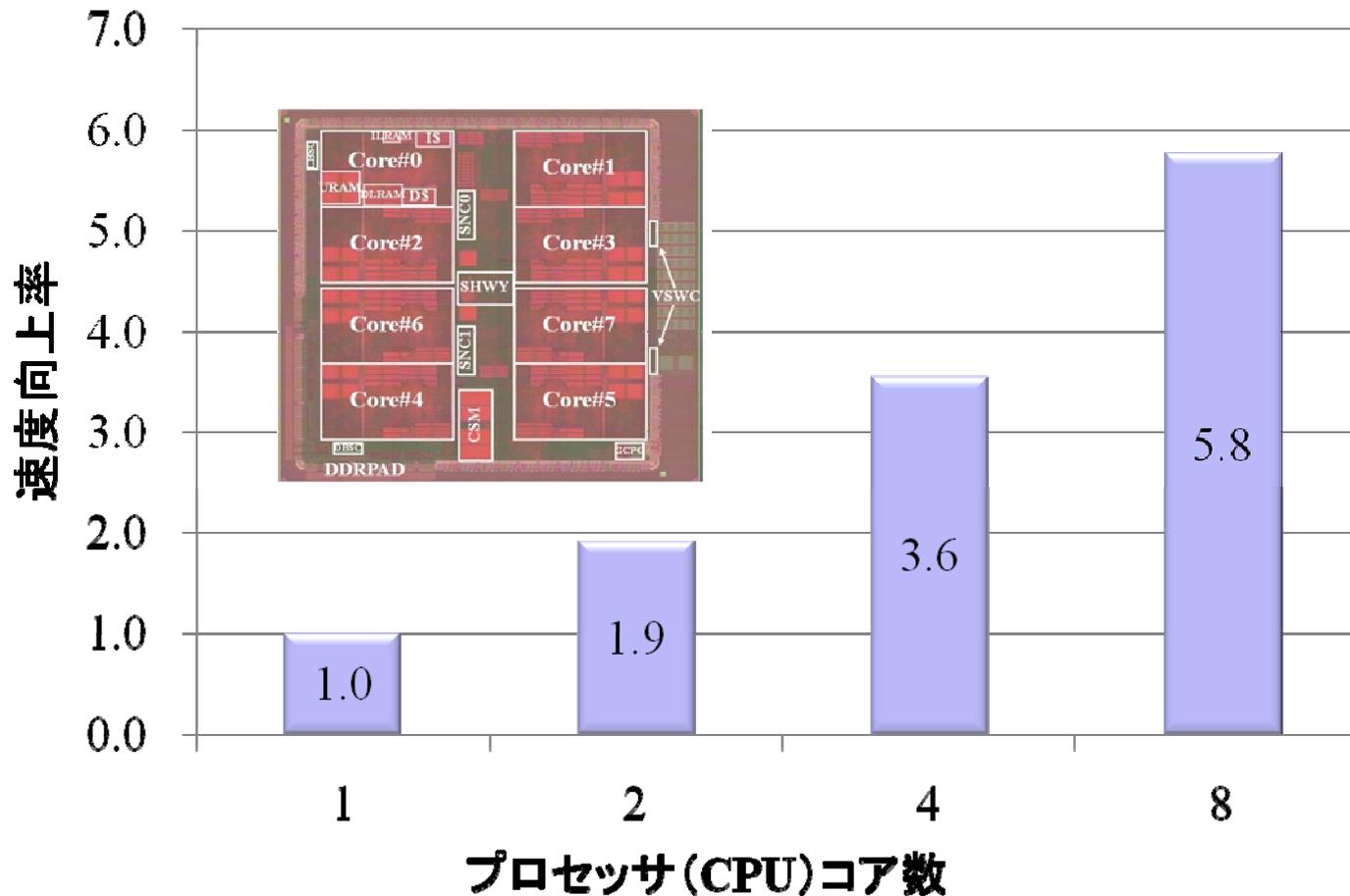
Mr. K. TOKAI

**Minister of Economy, Trade
and Industry:**

Mr. A. AMARI

開発マルチコア・チップ上での 自動並列化コンパイラを用いた処理速度

オーディオ圧縮(AAC*エンコード)処理(マルチメディア処理)
並列化時の1プロセッサコアに対する処理速度向上率



*) Advanced Audio Coding: ISOにおいて規格化された音声圧縮方式

世界をリードするマルチコア用コンパイラ技術

プロセッサ高速化における3大技術課題の解消

1. 半導体集積度向上(使用可能トランジスタ数増大)に対する速度向上率の鈍化

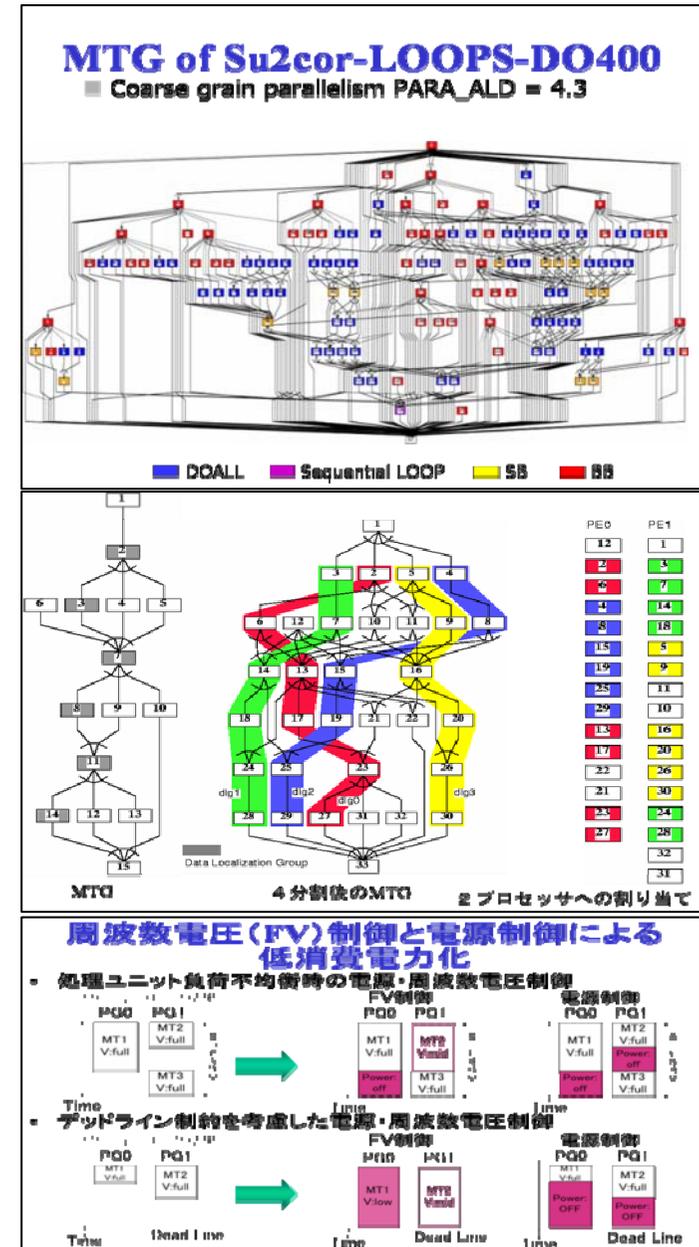
- 粗粒度タスク並列化、ループ並列化、近細粒度並列化によりプログラム全域の並列性を利用するマルチグレイン並列化機能により、従来の命令レベル並列性より大きな並列性を抽出し、複数マルチコアで速度向上

2. メモリウォール問題

- コンパイラによるローカルメモリへのデータ分割配置、DMAコントローラによるタスク実行とオーバーラップしたデータ転送によりメモリアクセス・データ転送オーバーヘッド最小化

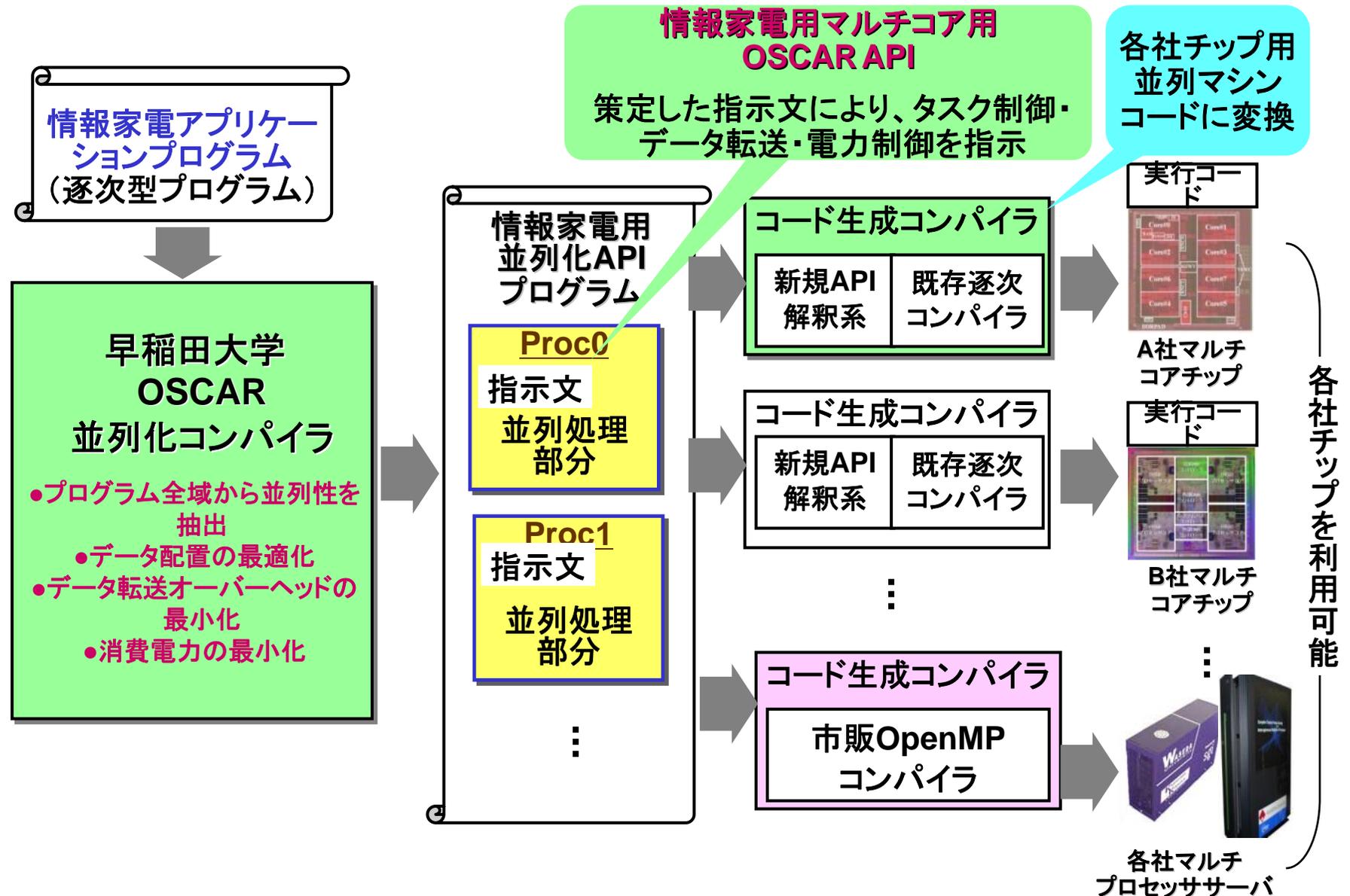
3. 消費電力増大による速度向上の鈍化

- コンパイラによる低消費電力制御機能を用いたアプリケーション内でのきめ細かい周波数・電圧制御・電源遮断により消費電力低減



OSCAR APIを用いたコンパイル・実行の流れ

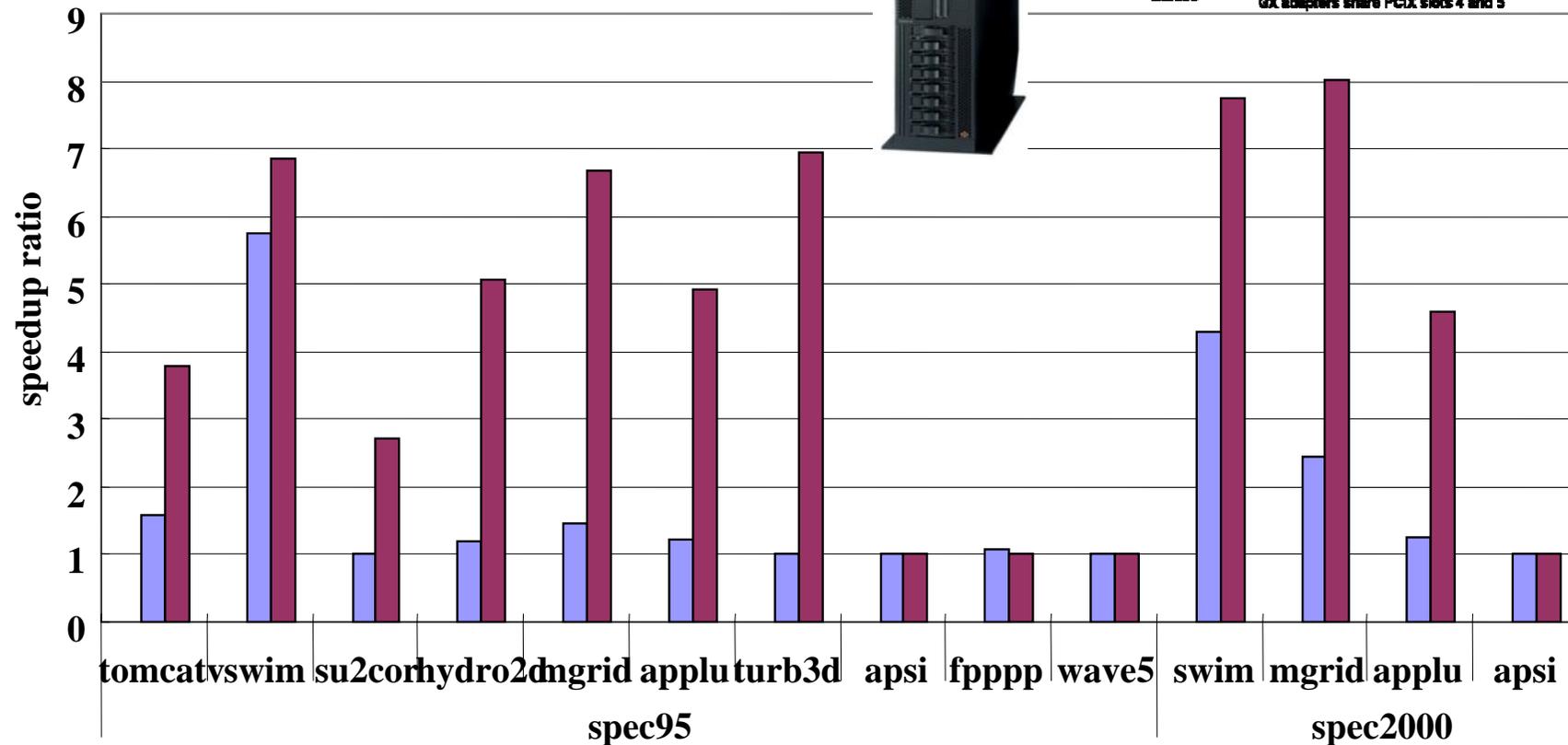
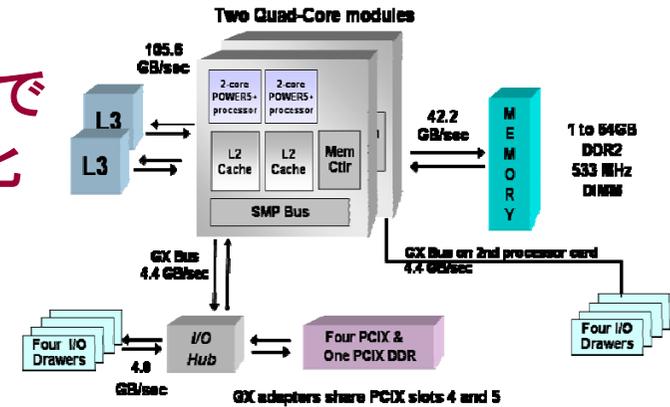
API: Application Programming Interface



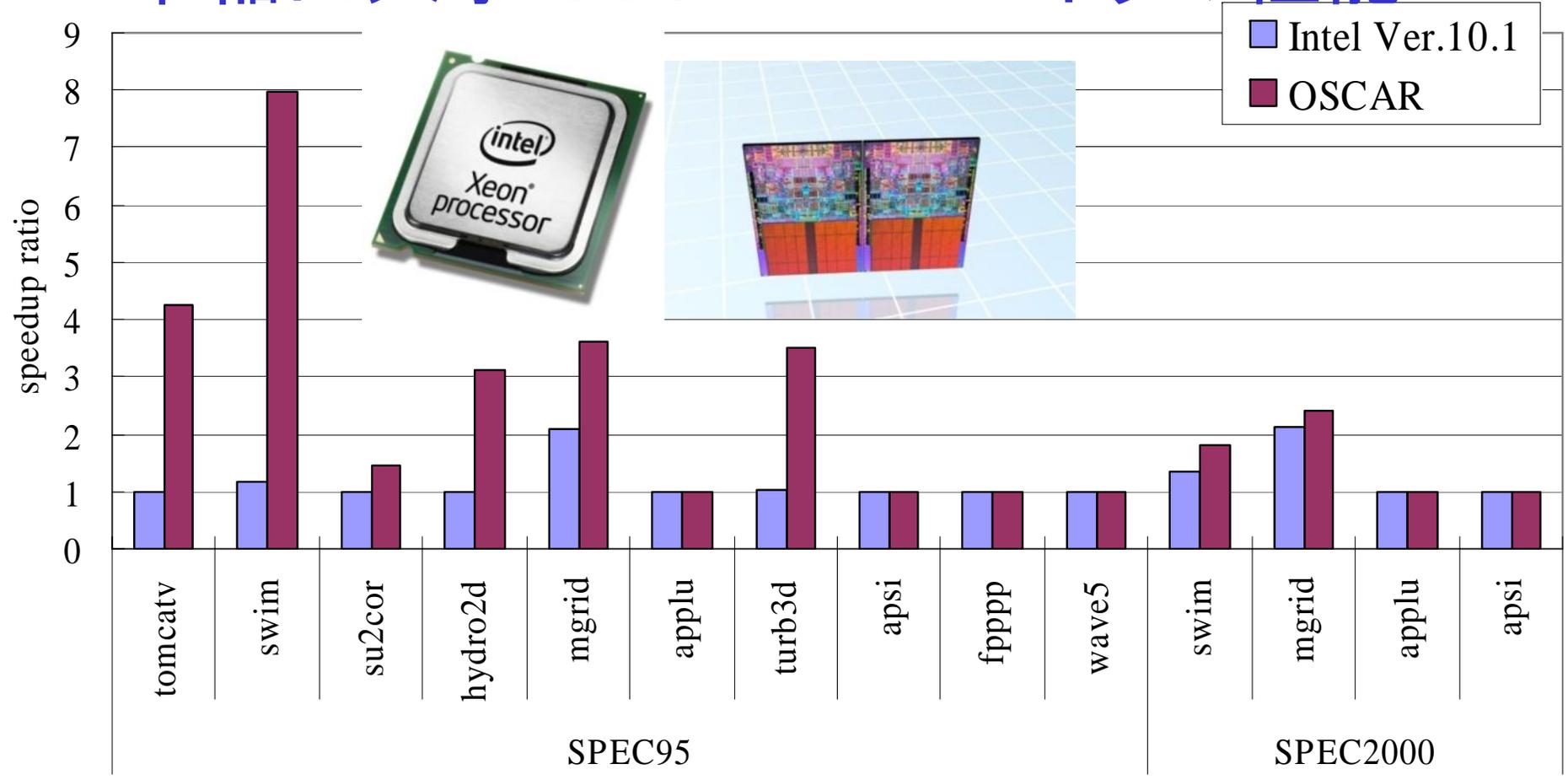
IBMサーバp550q上でのOSCAR並列化コンパイラの性能

8プロセッサコア・マルチプロセッサシステム上で
従来のループ並列化に対し、2.7倍の高速化

- ループ並列化
- マルチグレイン並列化

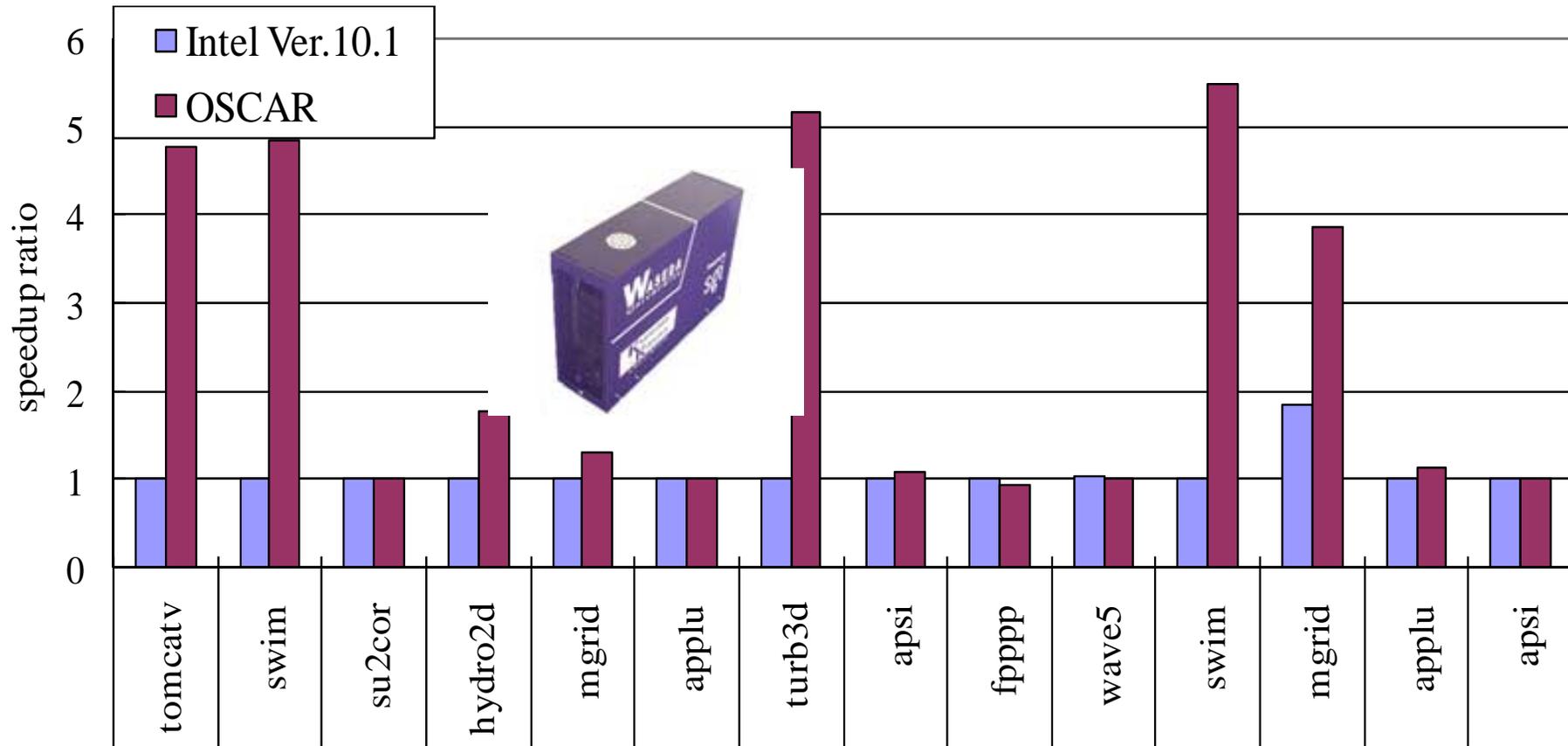


インテル クアッドコア Xeon プロセッサ上での 早稲田大学 OSCAR コンパイラの性能



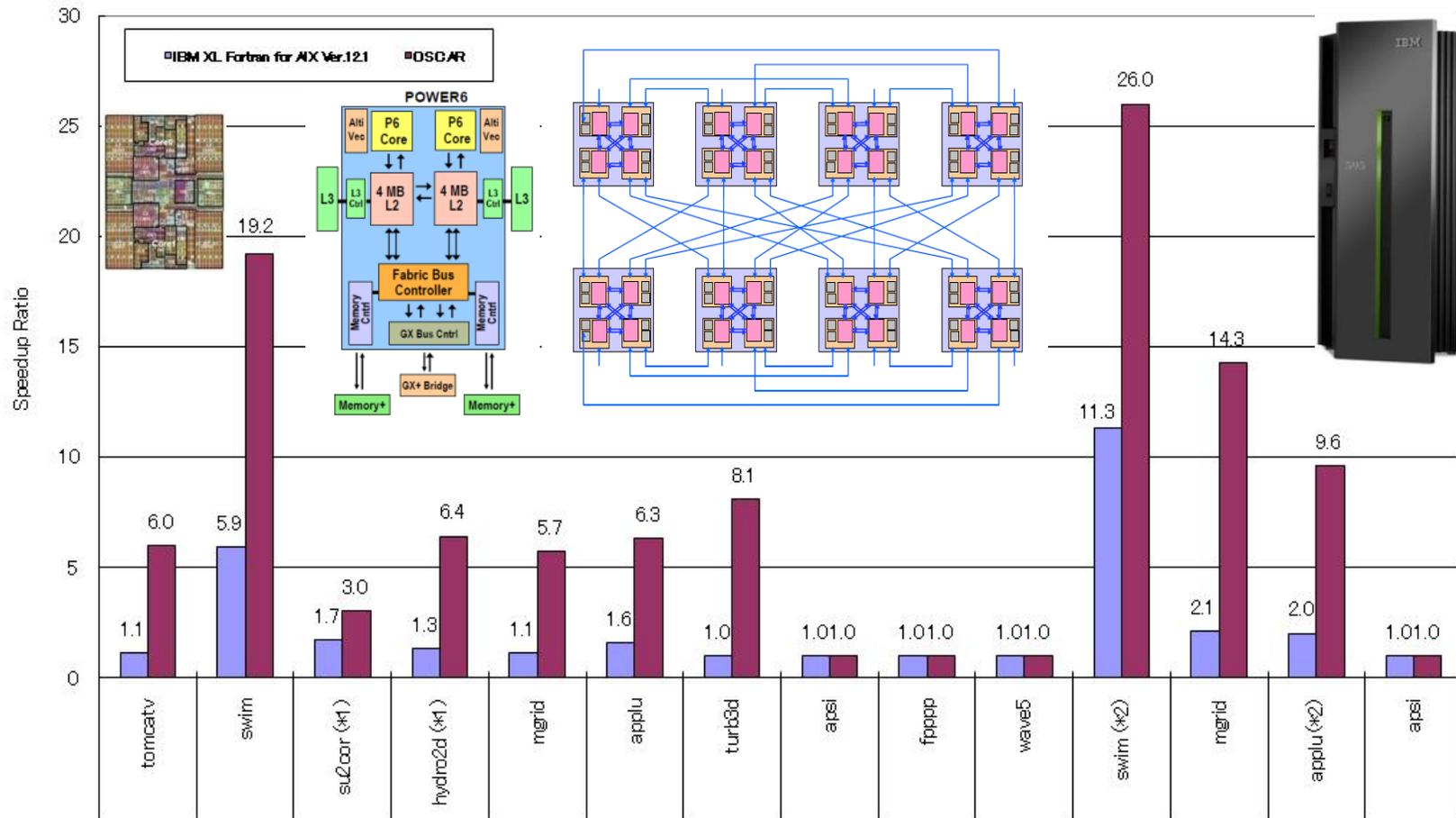
OSCAR コンパイラが生成するOpenMP並列化コードはインテルコンパイラ ver.10.1の性能をインテル・マルチコア上で2.09 倍向上

インテルMontvaleマルチコアを用いた 16 コアSGI Altix 450 デスクサイドサーバ上での OSCAR コンパイラの性能



**OSCAR コンパイラが生成するOpenMPコードはインテル
Itanium Compiler revision 10.1の性能を 2.32 倍向上**

Performance of OSCAR Compiler on IBM p6 595 Power6 (4.2GHz) based 32-core SMP Server



OpenMP codes generated by OSCAR compiler accelerate IBM XL Fortran for AIX Ver.12.1 about **3.3 times on the average**

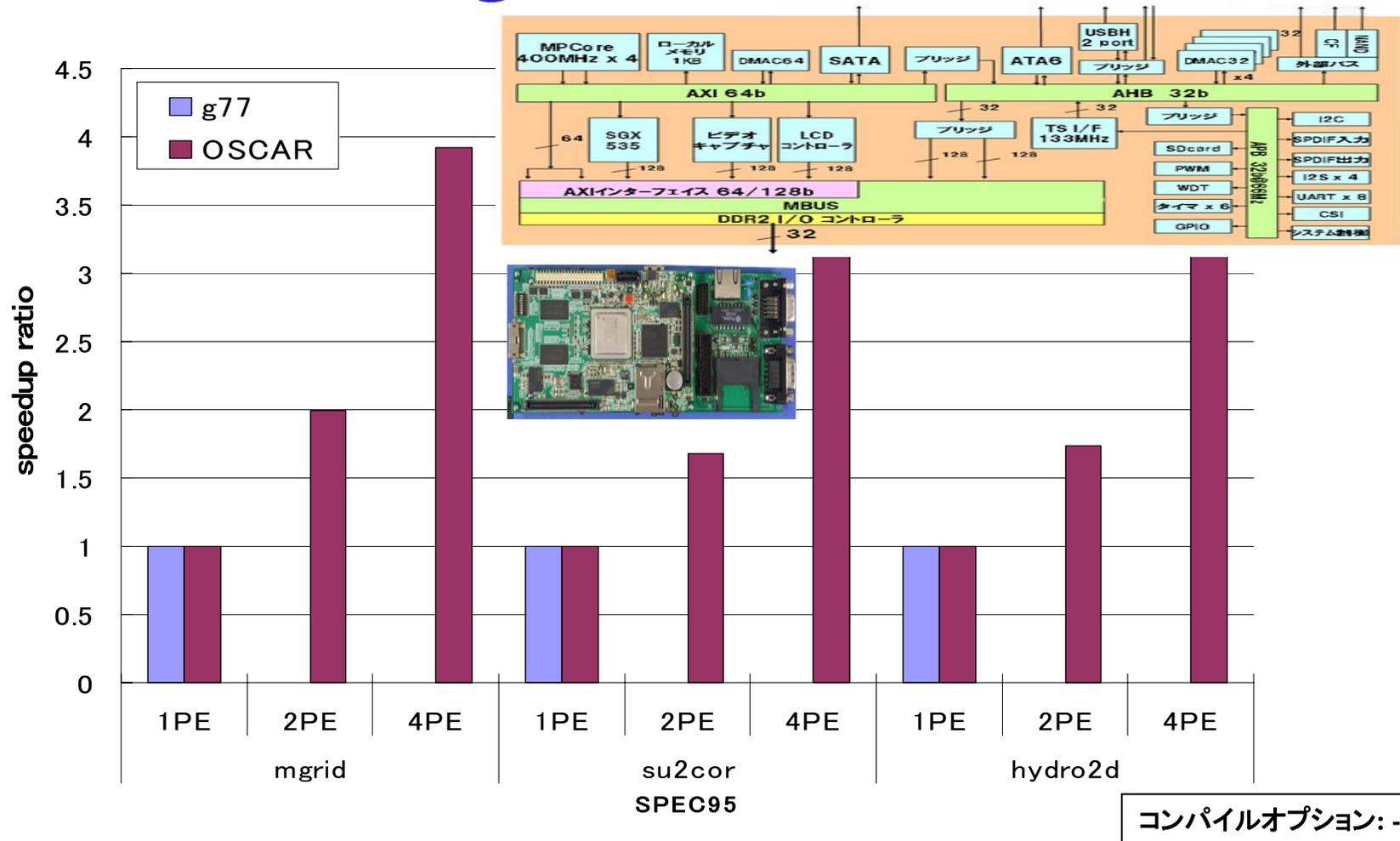
Compile Option:

(*1) Sequential: -O3 -qarch=pwr6, XLF: -O3 -qarch=pwr6 -qsmp=auto, OSCAR: -O3 -qarch=pwr6 -qsmp=noauto

(*2) Sequential: -O5 -q64 -qarch=pwr6, XLF: -O5 -q64 -qarch=pwr6 -qsmp=auto, OSCAR: -O5 -q64 -qarch=pwr6 -qsmp=noauto

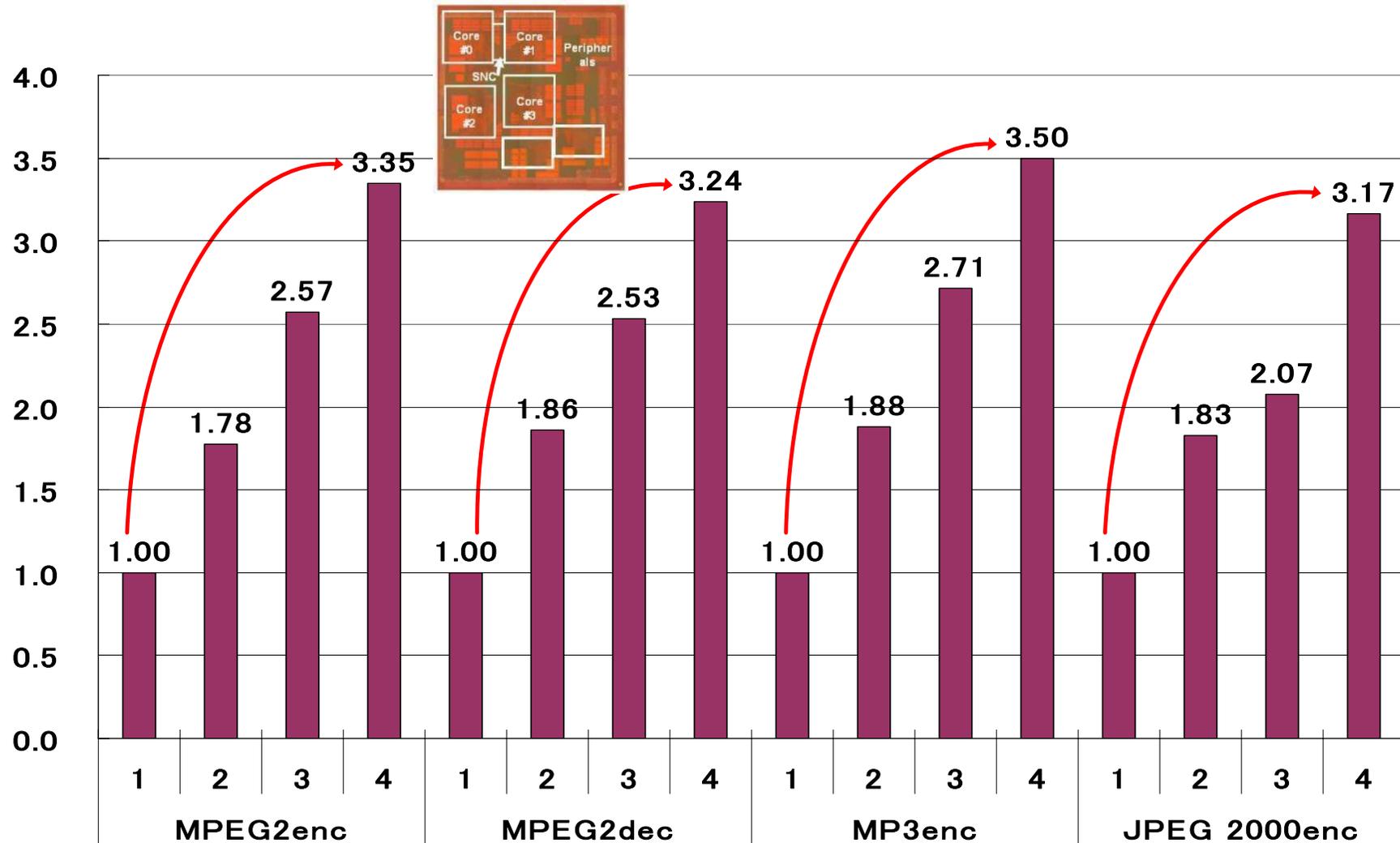
(Others) Sequential: -O5 -qarch=pwr6, XLF: -O5 -qarch=pwr6 -qsmp=auto, OSCAR: -O5 -qarch=pwr6 -qsmp=noauto

早稲田大学 OSCARコンパイラの NEC NaviEngine上での並列処理性能



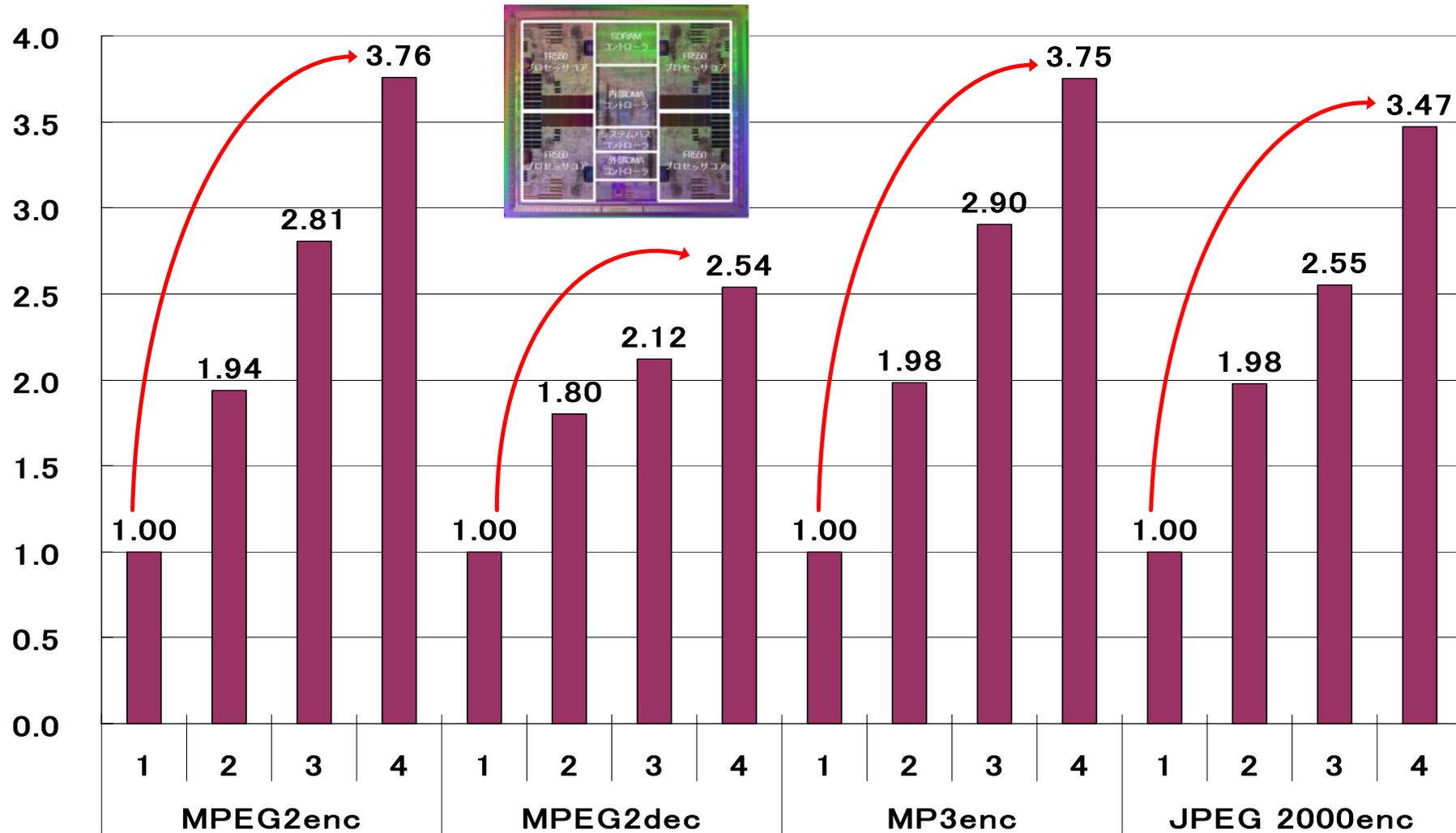
- OSCAR コンパイラは4コアARM・NECマルチコア上で1コアと比べSpec CFP95 3プログラム平均で3.42倍の速度向上

開発RP1マルチコア(4cores)上での並列化 コンパイラを用いた並列処理性能(速度向上率)



1プロセッサと比較して、4プロセッサで平均3.31倍の速度向上

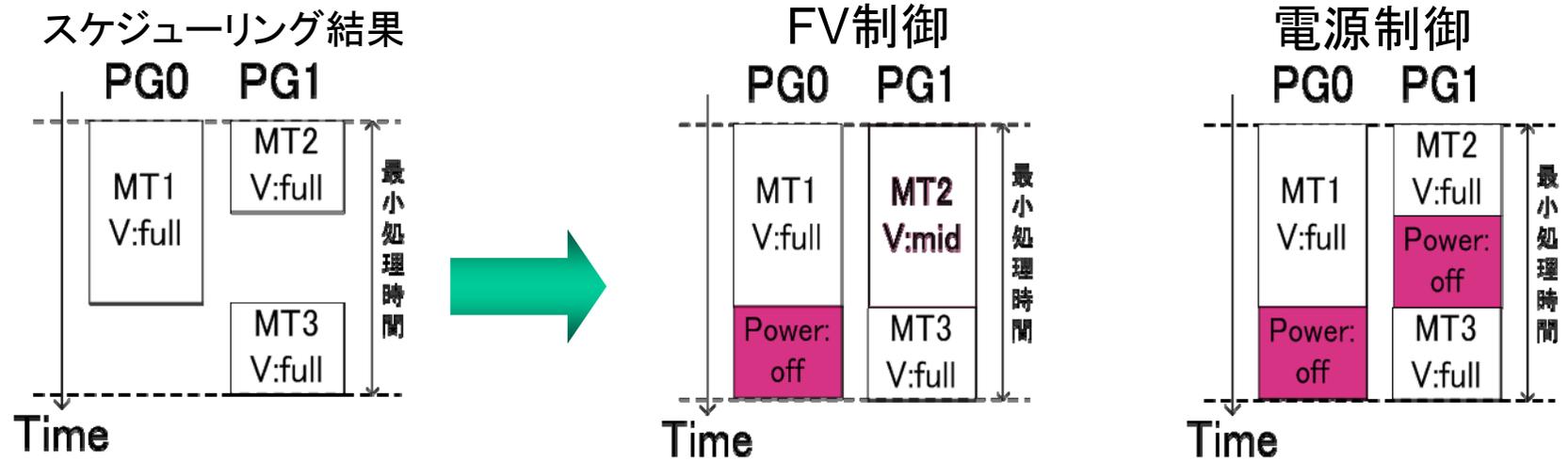
既存富士通 FR1000マルチコア上での OSCARコンパイラによる並列化性能(策定API利用)



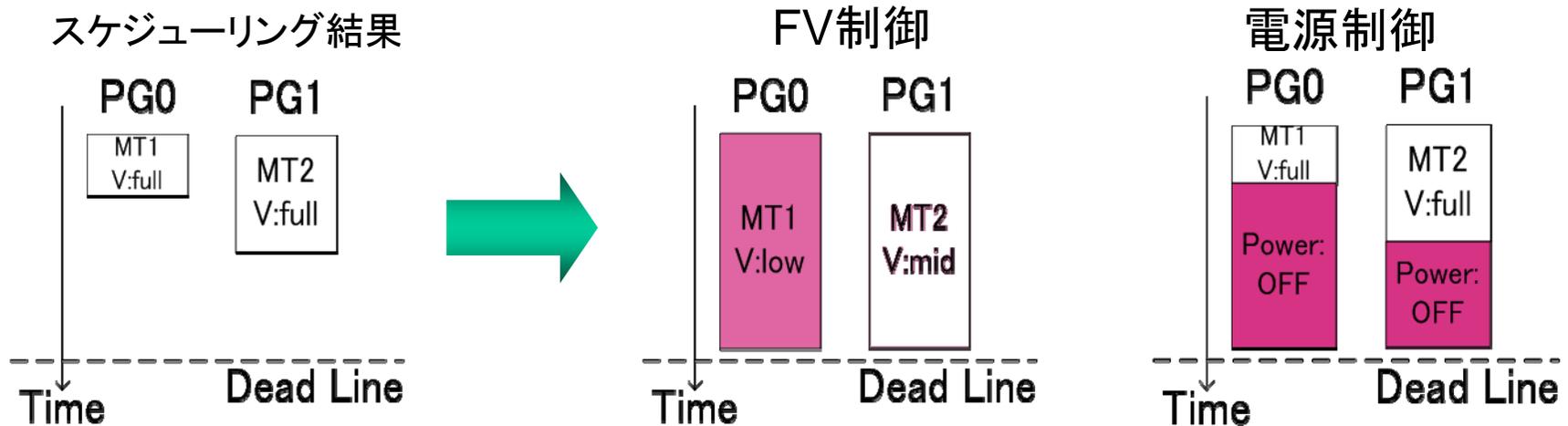
1プロセッサと比較して、4プロセッサで平均3.38倍の速度向上

周波数電圧 (FV) 制御と電源制御による低消費電力化

- 処理ユニット負荷不均衡時の電源・周波数電圧制御

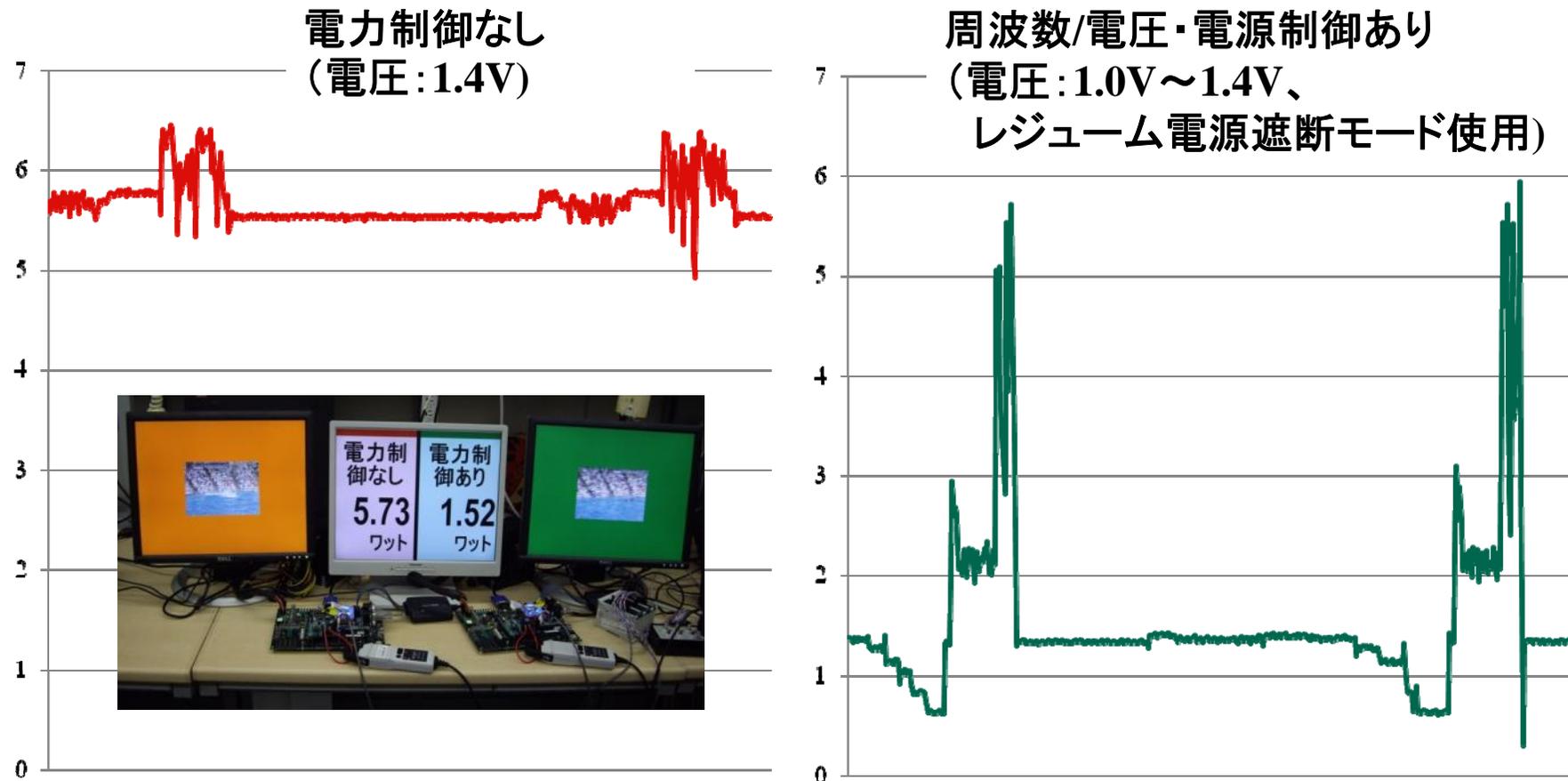


- デッドライン制約を考慮した電源・周波数電圧制御



画像表示におけるコンパイラ周波数/電圧・電源制御 による開発チップ上での消費電力削減効果

動画表示 (MPEG2デコード処理) を8コアで実行時の消費電力



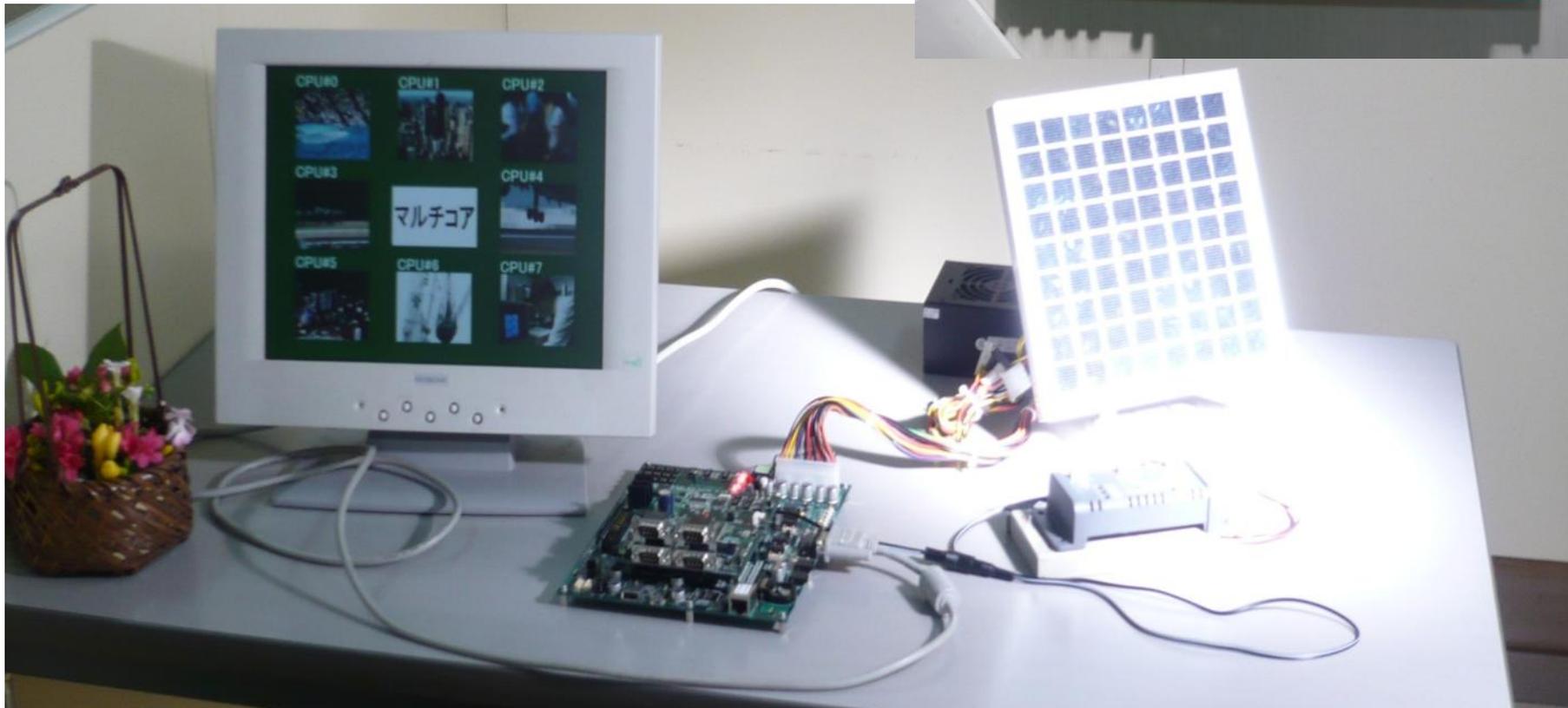
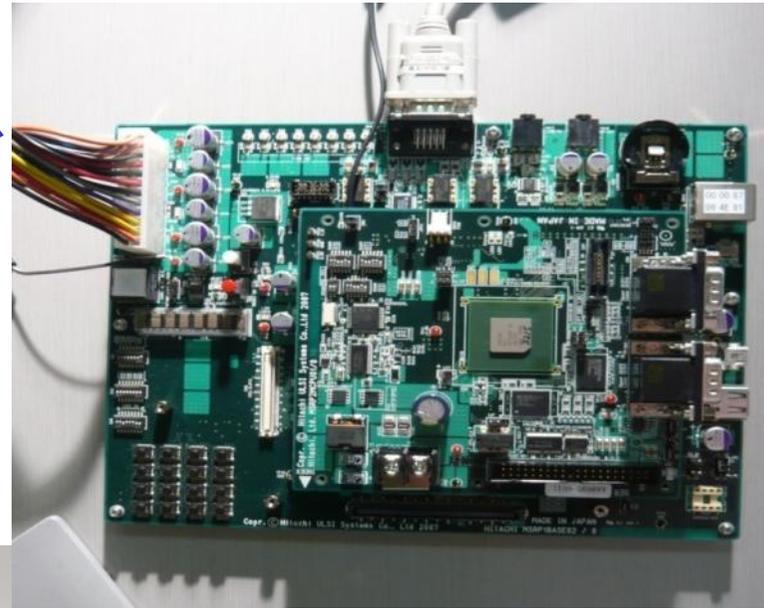
平均電力
5.73 [W]

73.5%の電力削減

平均電力
1.52 [W]

ソーラパネル駆動可能な 低消費電力高性能マルチコア RP2(SH4A 8コア集積)

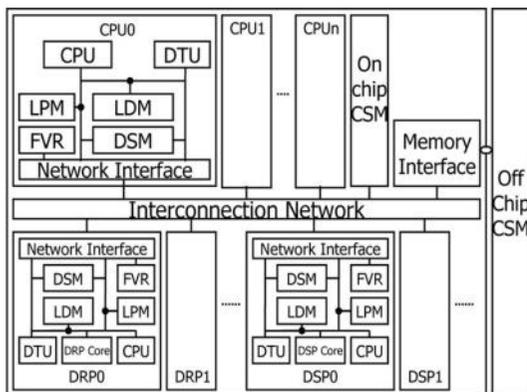
- クリーンエネルギーで駆動可
 - 電力供給が困難な場所での使用可能
 - 災害時でも使用可能



早大OSCARヘテロジニアスマルチコアとコンパイラ

汎用高性能プロセッサと同等の性能を1/10の動作周波数・1/90の電力で達成可能

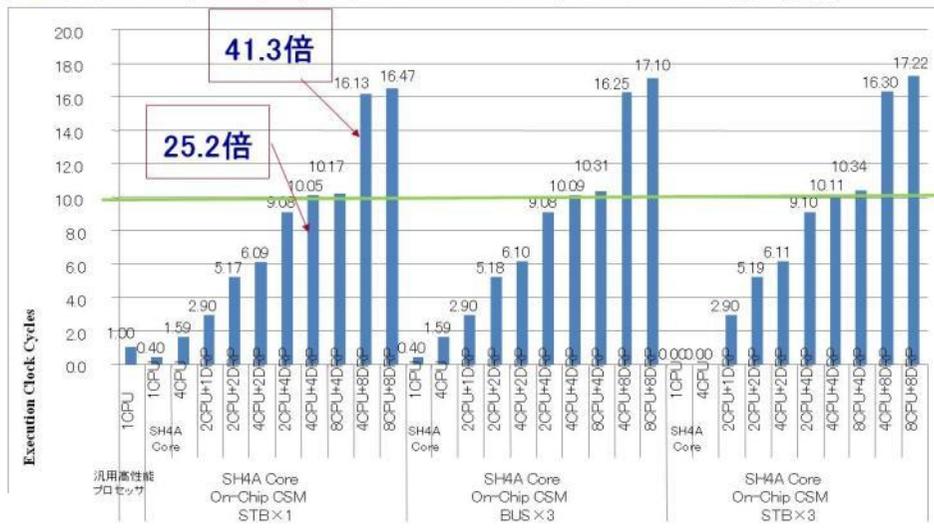
OSCAR Heterogeneous Multicore



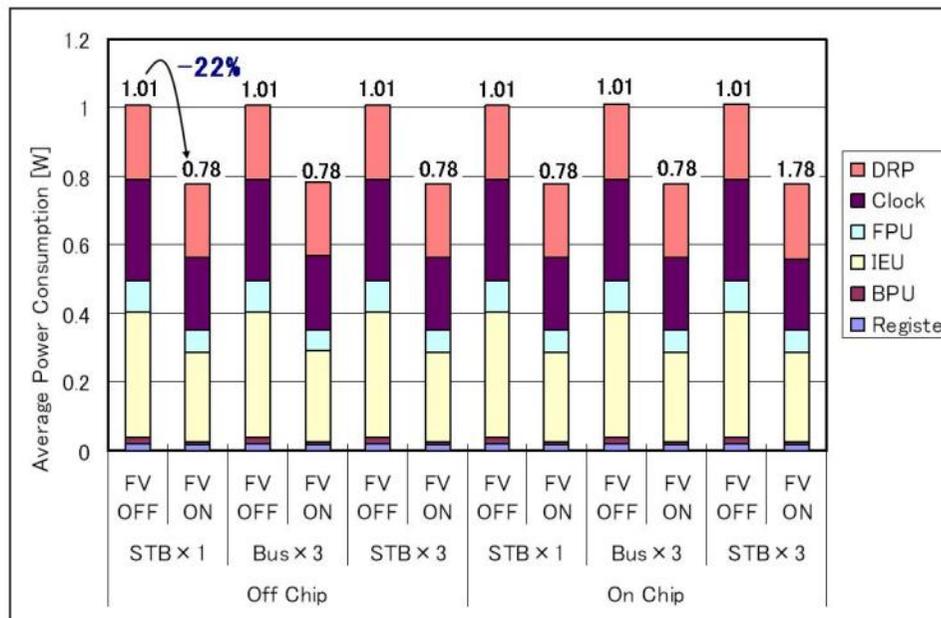
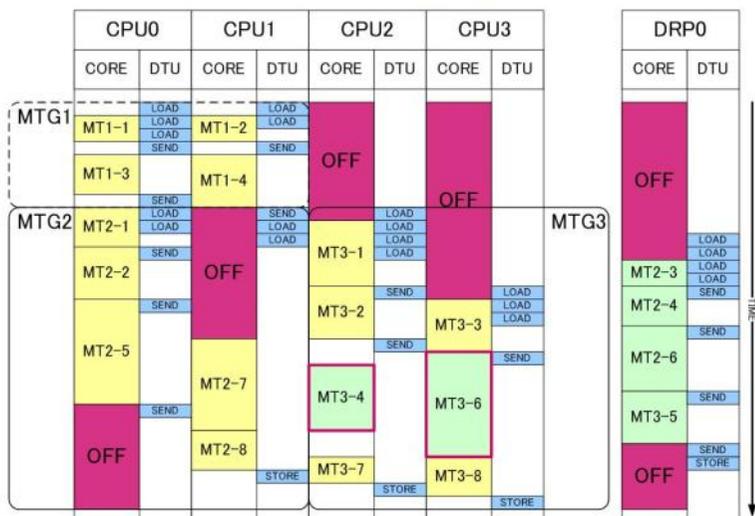
- OSCAR Type Memory Architecture
- LPM
 - Local Program Memory
- LDM
 - Local Data Memory
- DSM
 - Distributed Shared Memory
- CSM
 - Centralized Shared Memory
 - On Chip and/or Off Chip
- DTU
 - Data Transfer Unit
- Interconnection Network
 - Multiple Buses
 - Split Transaction Buses
 - CrossBar ...

ヘテロジニアスマルチコア性能 (オンチップ共有メモリ:4クロック)

汎用コア1台に対し、4汎用コア+4アクセラレータで25.2倍の性能



An Image of Static Schedule for Heterogeneous Multicore with Data Transfer Overlapping and Power Control



笠原博徳

参
考

<略歴>

1980年早稲田大学理工学部電気工学科卒, 1985年同大学院博士課程了(工博),
1983年早稲田大学理工学部助手, 1985年日本学術振興会第1回特別研究員,
1985年カリフォルニア大学バークレーEECS客員研究員.
1986年早稲田大学理工学部電気電子情報工学科専任講師,1988年助教授,
1989年-1990年イリノイ大学 Center for Supercomputing R & D客員研究員,
1997年早稲田大学理工教授, 2003年より情報理工学科(コンピュータ・ネットワーク工学科)
1987年IFAC World Congress第1回Young Author Prize,
1997年情処学会坂井記念特別研究賞, 2004年STARC共同研究賞.
2008年LSI of The Year 2nd Grand Prix, Intel Asia Academic Forum Best Research Award

<主な学会活動>

IEEE: Computer Society (CS)理事, IEEE CS Japan 委員長, IEEE東京支部理事,
IEEE Japan Council長期戦略委員会委員, IEEE SC(Supercomputing)07 Program Committee等
情報処理学会: 計算機アーキテクチャ研究会主査, 論文誌編集委HG主査, 会誌編集委HWG主査,
ACM :International Conference on Supercomputing(ICS)プログラム委員
ENIAC50周年記念ICS 1996 Program Chair on Software.
その他スーパーコンピュータ・並列処理に関する多くの国際会議プログラム委員.

<各種委員等>

経済産業省: 情報政策提言フォーラム(アーキテクチャ/HPC WG主査),
ミレニアムプロジェクトIT21”アドバンスト並列化コンパイラ”プロジェクトリーダー,
ペタフロップスマシン委員会委員, 超先端電子基盤技術委員, ビジネスGRID評価委員
NEDO:コンピュータ戦略WG委員長, 研究評価委員, “リアルタイム 情報家電用マルチコア”プロジェクトリーダー等
文部科学省:地球シミュレータ中間評価委員, 次世代スーパーコンピュータ概念設計評価委員
JST:科学技術振興調整費GRAPE-DR運営委員,COINS運営委員, さきがけ21領域アドバイザー
内閣府:総合科学技術会議分野別推進戦略(報通信分野)ソフトウェアWG,研究開発基盤WG委員,
第5回産学官連携推進会議分科会パネリスト
東京電力学術評価委員, 日本EU協調会議科学技術ラウンドテーブル日本代表等。

<論文等> 査読付き論文167, 招待講演76件(国際会議,国内学会,海外大学,Intel, Google等), 研究会115件,
シンポジウム 25件, メディア掲載 221件(新聞,TV,雑誌,Webニュース等), 基本特許 8件(他に国際出願有り)