

リアルタイム情報家電用マルチコア・ アーキテクチャ・コンパイラ・API

経済産業省・NEDO「半導体アプリケーションチップ」
平成17年度-19年度

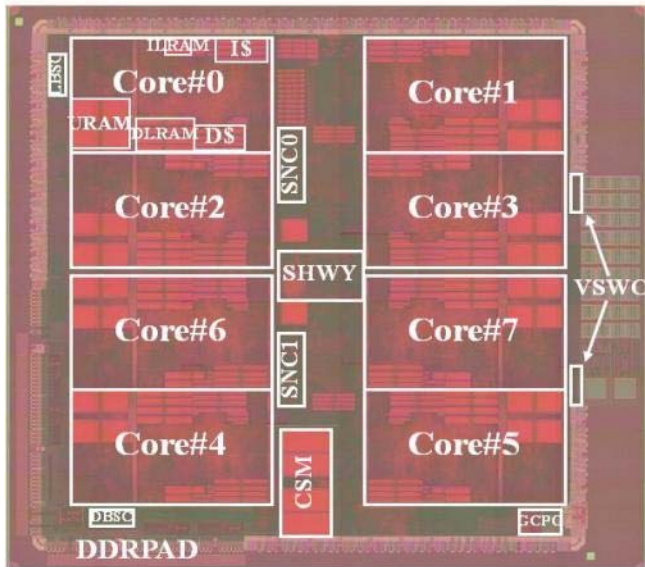
「リアルタイム情報家電用
マルチコア技術の研究開発事業」成果を含めて

研究開発責任者(PL)

早稲田大学理工学術院基幹理工学部情報理工学科 教授
早稲田大学アドバンスチップマルチプロセッサ研究所 所長
笠原博徳

URL: <http://www.kasahara.cs.waseda.ac.jp/>

マルチコアEverywhereの時代



■ 組み込みプロセッサからスパコンまで

➤ 情報家電用マルチコア

カーナビ, 携帯電話, ゲーム, デジタルTV, DVD
 Toshiba/Sony/IBM Cell&SpursEngine,
 Fujitsu FR1000, Panasonic Uniphier,
 NEC/ARM MPCore&MP211&NaviEngine,
 Renesas SH multi-core SHX3(4 core RP1, 8 core RP2)
 Tileria Tile64, SPI Storm-1(16 VLIW cores)

➤ PC, サーバ

Intel Quad Xeon, Core 2 Quad, Montvale, Tukwila, 80 core,
 AMD Quad Core Opteron, Phenom

➤ WSs, Deskside & Highend Servers

IBM Power4,5,5+,6, HPCS 10PFLOP(Power7)
 Sun Niagara(SparcT1,T2), Rock

➤ スーパーコンピュータ

地球シミュレータ, 2002年3月完成, 5120ベクトルプロセッサ : **40TFLOPS**

IBM Blue Gene/L: **360TFLOPS**, 2005, 低消費電力マルチコアベース128K processor chips, Roadrunner **1.3PFLOPS** (2008)
 BG/P 2008 1PFLOPS(2008), BG/Q 10PFLOPS (2011)

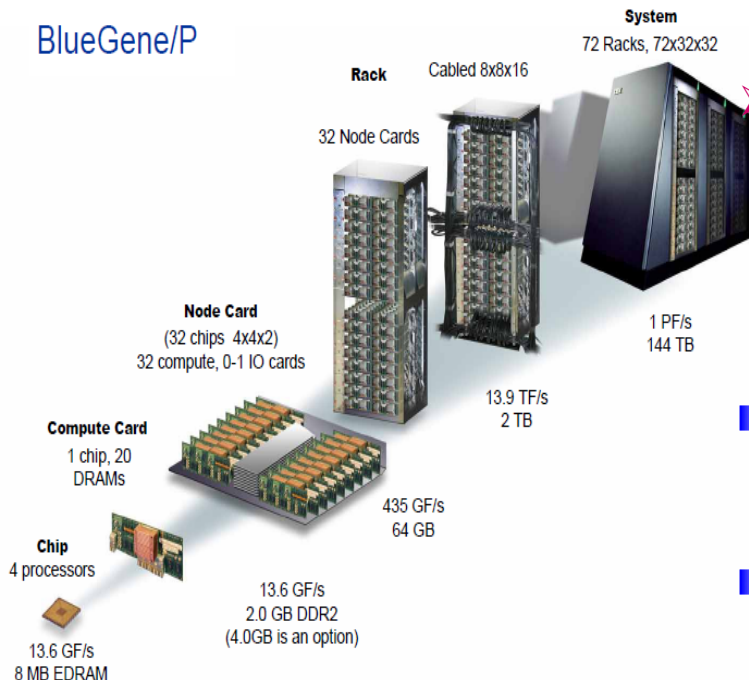
■ アプリケーションソフトの充実, 短期間システム開発, 低コスト, 低消費電力, 高機能化が市場競争力決定

<例> 携帯電話, ゲーム, 自動車

■ 自動並列化コンパイラ協調型マルチコアプロセッサ必要

NEDOリアルタイム情報家電用マルチコアプロジェクト
 ルネサス試作チップ(OSCAR)標準アーキテクチャ

BlueGene/P



NEDOリアルタイム情報家電用マルチコア技術

＜目的＞ DVD,デジタルTV,カーナビ,携帯電話等リアルタイム情報家電における優位化製品創出を目指したプロセッサ技術の国際競争力強化

＜研究期間＞平成17年7月～平成20年3月

＜内容＞ 下記特徴をもつマルチコア・アーキテクチャ及びコンパイラ技術の確立

- ・優れた価格性能
- ・短ハードウェア・ソフトウェア開発期間
- ・低消費電力
- ・同一アーキテクチャでローエンドからハイエンド製品まで柔軟に対応
- ・集積度向上に対するスケーラブルな性能向上(複数半導体世代に対応)
- ・異なる企業開発のマルチコア間でのアプリケーションの共用

＜API: Application Programming Interface並列化コンパイラと各マルチコアの接続＞

日立,富士通,ルネサス,東芝,松下,NEC

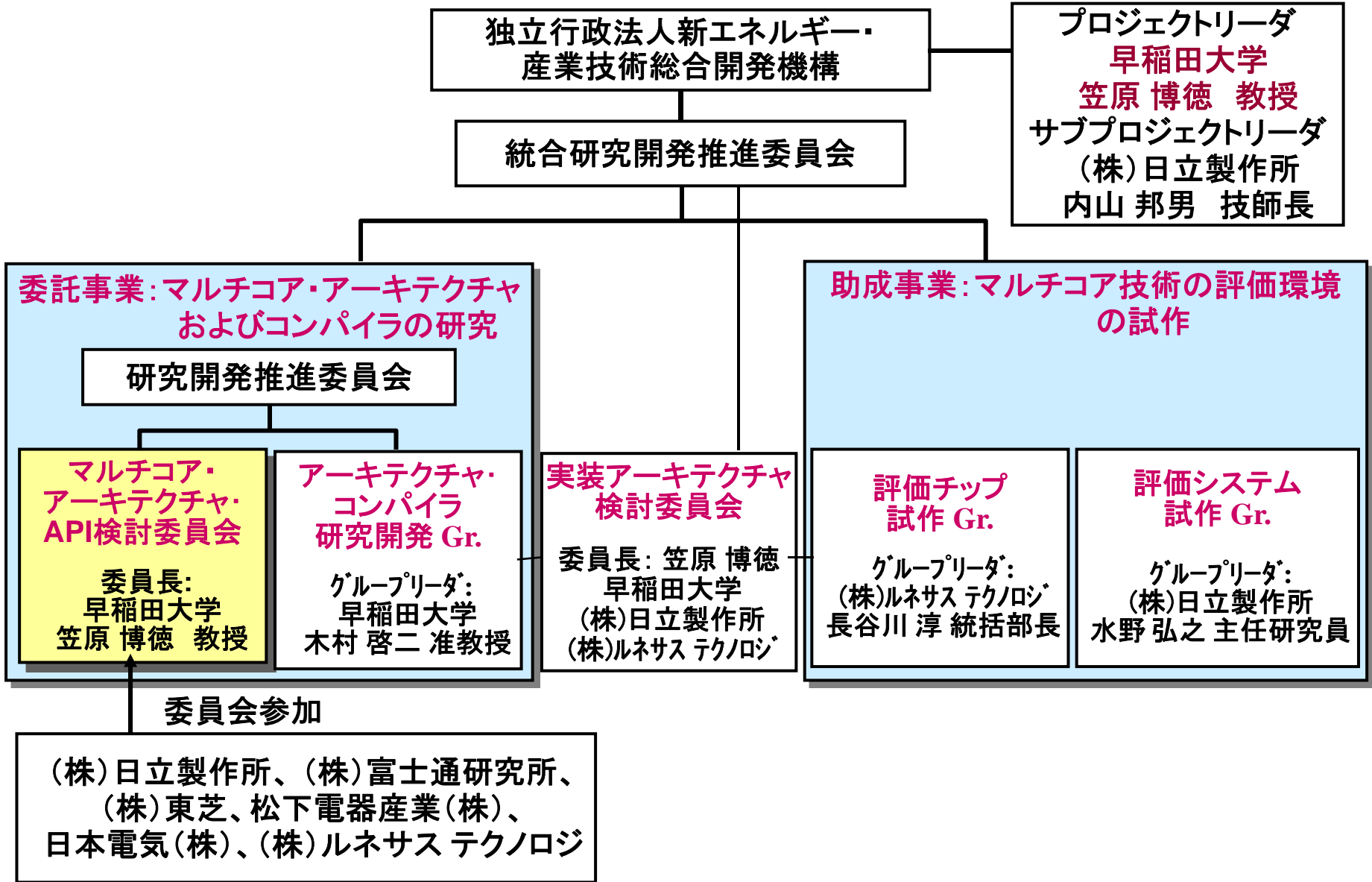
＜委託事業＞ NEDO”アドバンスト並列化コンパイラ“の成果と参加各社のプロセッサ技術を委員会及び研究により発展させ、標準的マルチコア・アーキテクチャと並列化APIを策定し、既存及び新規チップ上での性能評価を通し改良する

＜助成事業＞ 委託事業にて策定されたアーキテクチャをベースとしたチップ及びその開発環境を開発し委託研究での評価のために供与する

＜PC用プロセッサとの目的の違い＞

リアルタイム処理なアーキテクチャ・自然冷却可能な低消費電力性

リアルタイム情報家電用マルチコア技術研究開発実施体制



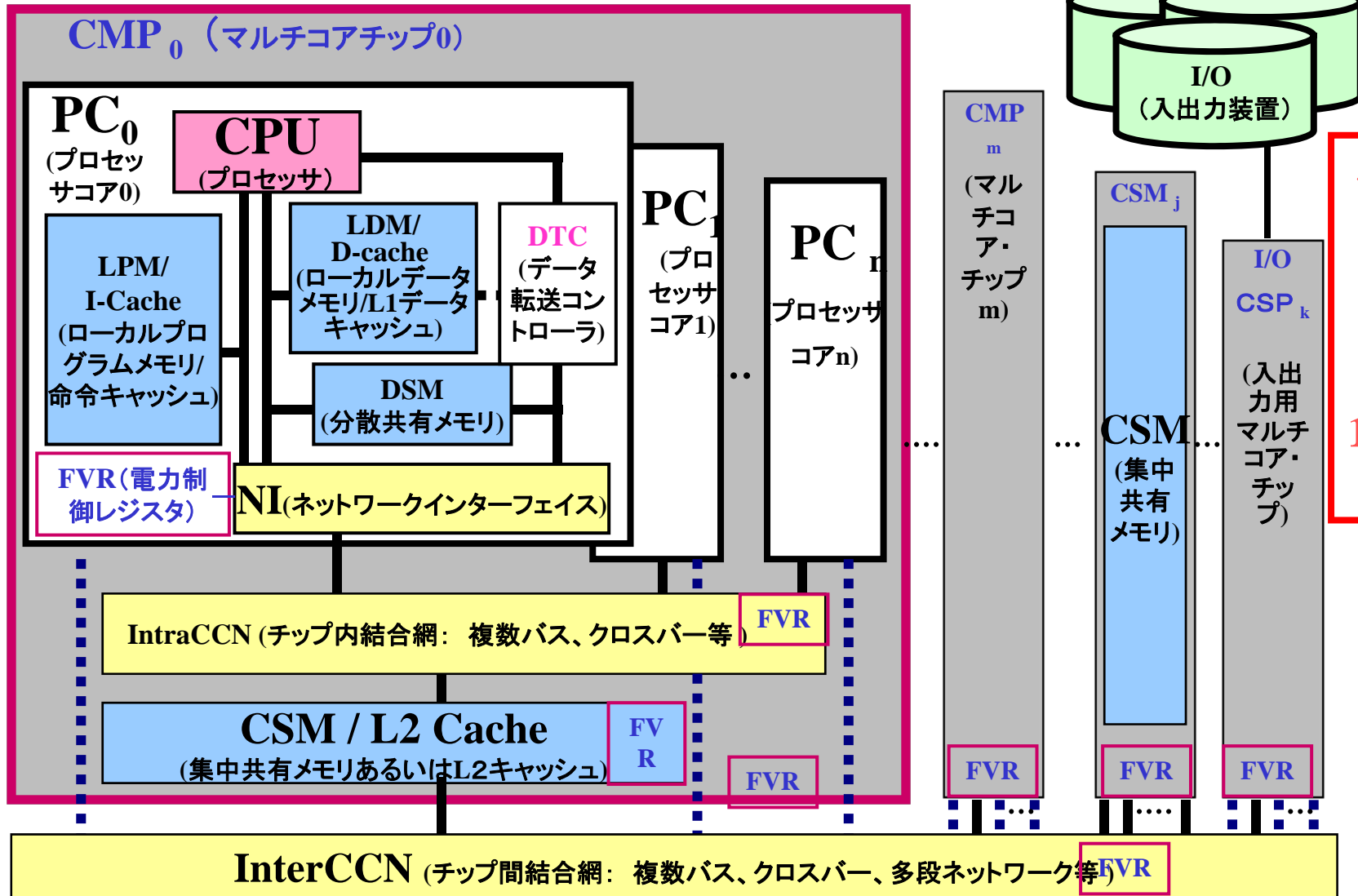
マルチコア・アーキテクチャ・API検討委員会構成

ウ. マルチコア・アーキテクチャ・API検討委員会における登録委員

氏名	所属・役職	氏名	所属・役職
笠原 博徳 (委員長)	早稲田大学理工学術院 教授 早稲田大学IT研究機構アドバンスチップ マルチプロセッサ研究所所長	高橋 宏政	(株)富士通研究所 システムLSI開発研究所 主席研究員 (早稲田大学IT研究機構アドバンスチップマルチプロセッサ研究所客員研究員)
内山 邦男 (副委員長)	(株)日立製作所 研究開発本部 技師長 (早稲田大学IT研究機構アドバンスチップ マルチプロセッサ研究所客員教授)	須賀 敦浩	(株)富士通研究所 システムLSI開発研究所 プロセッサソリューション開発部 部長 (早稲田大学IT研究機構アドバンスチップマルチプロセッサ研究所客員研究員)
木村 啓二	早稲田大学理工学術院 准教授	前田 誠司	(株)東芝 研究開発センター・コンピュータ・ネットワークラボラトリー 研究主務 (早稲田大学IT研究機構アドバンスチップマルチプロセッサ研究所客員研究員)
長谷川 淳	(株)ルネサステクノロジ システムコア技術統括部 統括部長 (早稲田大学IT研究機構アドバンスチップ マルチプロセッサ研究所客員研究員)	前田 昌樹	松下電器産業(株) プラットフォーム開発センター 次世代アーキテクチャチーム (早稲田大学IT研究機構アドバンスチップマルチプロセッサ研究所客員研究員)
十山 圭介	(株)日立製作所 中央研究所 主任研究員 (早稲田大学IT研究機構アドバンスチップ マルチプロセッサ研究所客員研究員)	枝廣 正人 (協力者としての参加)	日本電気(株) システムIPコア研究所 主席研究員
佐藤 真琴	(株)日立製作所 システム開発研究所 主任研究員 (早稲田大学IT研究機構アドバンスチップ マルチプロセッサ研究所客員研究員)		

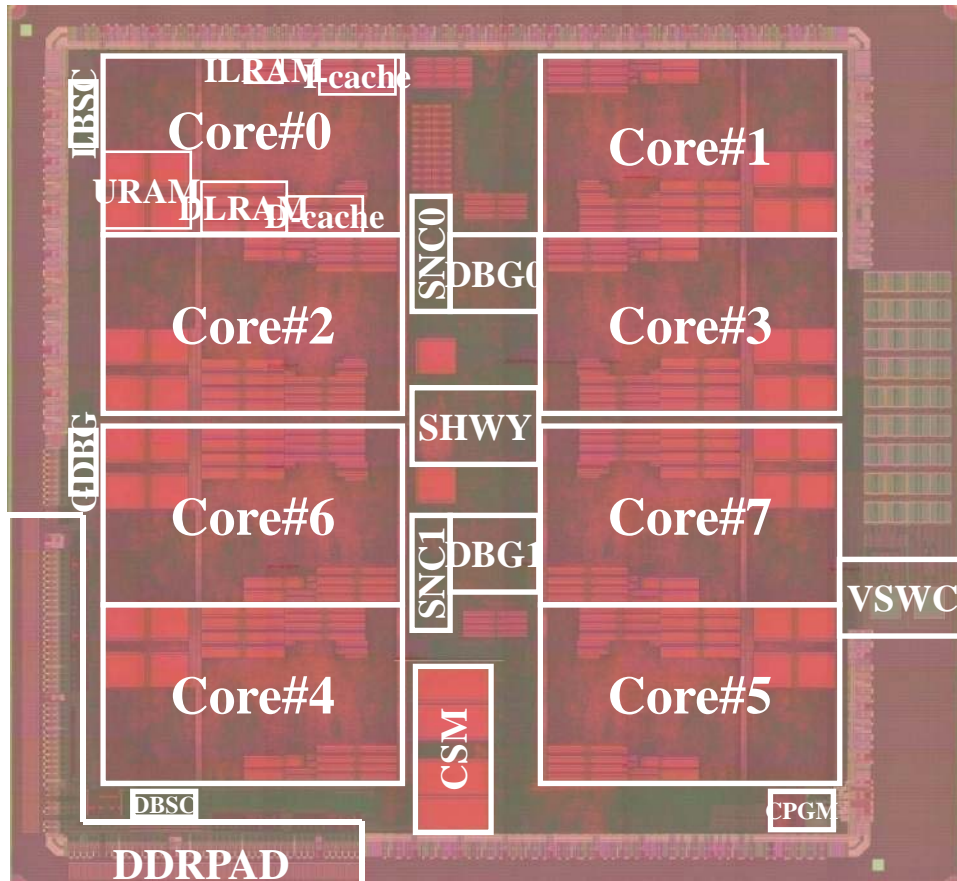
標準的メモリアーキテクチャと承認されたOSCARマルチコア

- ローカルメモリ
- 分散共有メモリ
- 集中共有メモリ(チップ内・外)
- DTC(高機能DMAC)
- 電力制御用FVR



RP2 8コア搭載マルチコアLSI

チップ諸元



8コア集積マルチコアLSIチップ写真

プロセス	90nm CMOS, 8層メタル, 3種Vth
チップサイズ	104.8mm ² (10.61mm x 9.88mm)
電源電圧	1.0V-1.4V(コア), 1.8/3.3V(I/O)
動作周波数	600MHz
CPU性能	8640 MIPS (Dhrystone 2.1)
FPU性能	33.6 GFLOPS
低電力制御	<ul style="list-style-type: none"> ・CPU毎に独立した周波数変更 ・CPUコアのクロックを停止するスリープモード ・CPUコアの一部のクロックを停止するがキャッシュコヒーレンシ維持可能なライトスリープモード ・CPUコアの電源供給を停止するフル電源遮断モード ・URAM以外のCPUコアの電源供給を停止するレジューム電源遮断モード

ISSCC08発表: ISSCC08 論文番号4.5, M.ITO, et al., “An 8640 MIPS SoC with Independent Power-off Control of 8 CPUs and 8 RAMs by an Automatic Parallelizing Compiler”

NEDOリアルタイム情報家電用マルチコアチップ・デモの様子

<http://www8.cao.go.jp/cstp/gaiyo/honkaigi/74index.html>

第74回総合科学技術会議【平成20年4月10日】



第74回総合科学技術会議の様子(1)



第74回総合科学技術会議の様子(2)



第74回総合科学技術会議の様子(3)



第74回総合科学技術会議の様子(4)

OSCAR APIを用いたコンパイル・実行の流れ

API: Application Programming Interface

情報家電用マルチコア用
OSCAR API

策定した指示文により、タスク制御・
データ転送・電力制御を指示

各社チップ用
並列マシン
コードに変換

情報家電アプリケーションプログラム
(逐次型プログラム)

**早稲田大学
OSCAR
並列化コンパイラ**

- プログラム全域から並列性を抽出
- データ配置の最適化
- データ転送オーバーヘッドの最小化
- 消費電力の最小化

情報家電用
並列化API
プログラム

Proc0
指示文
並列処理部分

Proc1
指示文
並列処理部分

⋮

コード生成コンパイラ

新規API 解釈系	既存逐次 コンパイラ
--------------	---------------

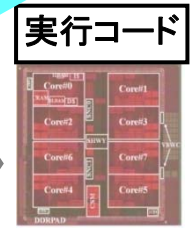
コード生成コンパイラ

新規API 解釈系	既存逐次 コンパイラ
--------------	---------------

⋮

コード生成コンパイラ

市販OpenMP コンパイラ



A社マルチ
コアチップ



B社マルチ
コアチップ



各社マルチ
プロセッササーバ

各社チップを利用可能

低消費電力リアルタイム並列処理を可能とするAPI

OSCAR API概要

<主な特徴>

- ユーザプログラムからの低消費電力制御を可能とする指示文
- リアルタイム並列処理を可能とするメモリ管理・時間管理用指示文
- プロセッサによる計算実行と並列してメモリからのデータ転送を可能とするDMA転送指示文
- 異なる企業のマルチコア間でのプログラム移植が容易
- 15種の指示文のみに抑えたコンパクトな規格で、指示文を理解する小規模ソフトウェアを開発するだけで、既存の逐次コンパイラを用いて並列マシンコードを作成できる。初期導入コストが小
- 早稲田OSCAR並列化コンパイラの利用により、逐次プログラムからAPI入り並列化プログラムの自動生成可能。人手では数ヶ月を要する低消費電力並列化プログラムを数分で自動作成可
- 新規指示文はプログラム中のコメント文の形でユーザプログラムに挿入されるため、市販OpenMPコンパイラを用い、マルチコアPC、サーバ上でも実行可能

世界をリードするマルチコア用コンパイラ技術

プロセッサ高速化における3大技術課題の解消

1. 半導体集積度向上(使用可能トランジスタ数増大)に対する速度向上率の鈍化

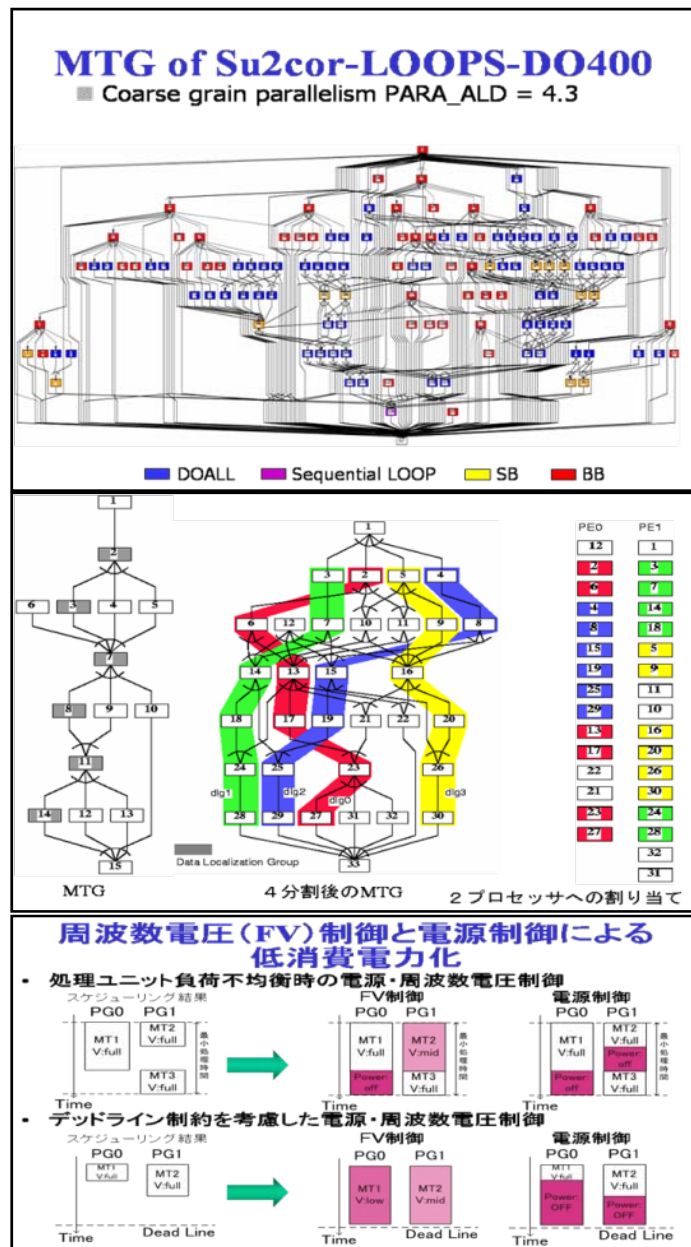
- 粗粒度タスク並列化、ループ並列化、近細粒度並列化によりプログラム全域の並列性を利用する マルチグレイン並列化機能により、従来の命令レベル並列性より大きな並列性を抽出し、複数マルチコアで速度向上

2. メモリウォール問題

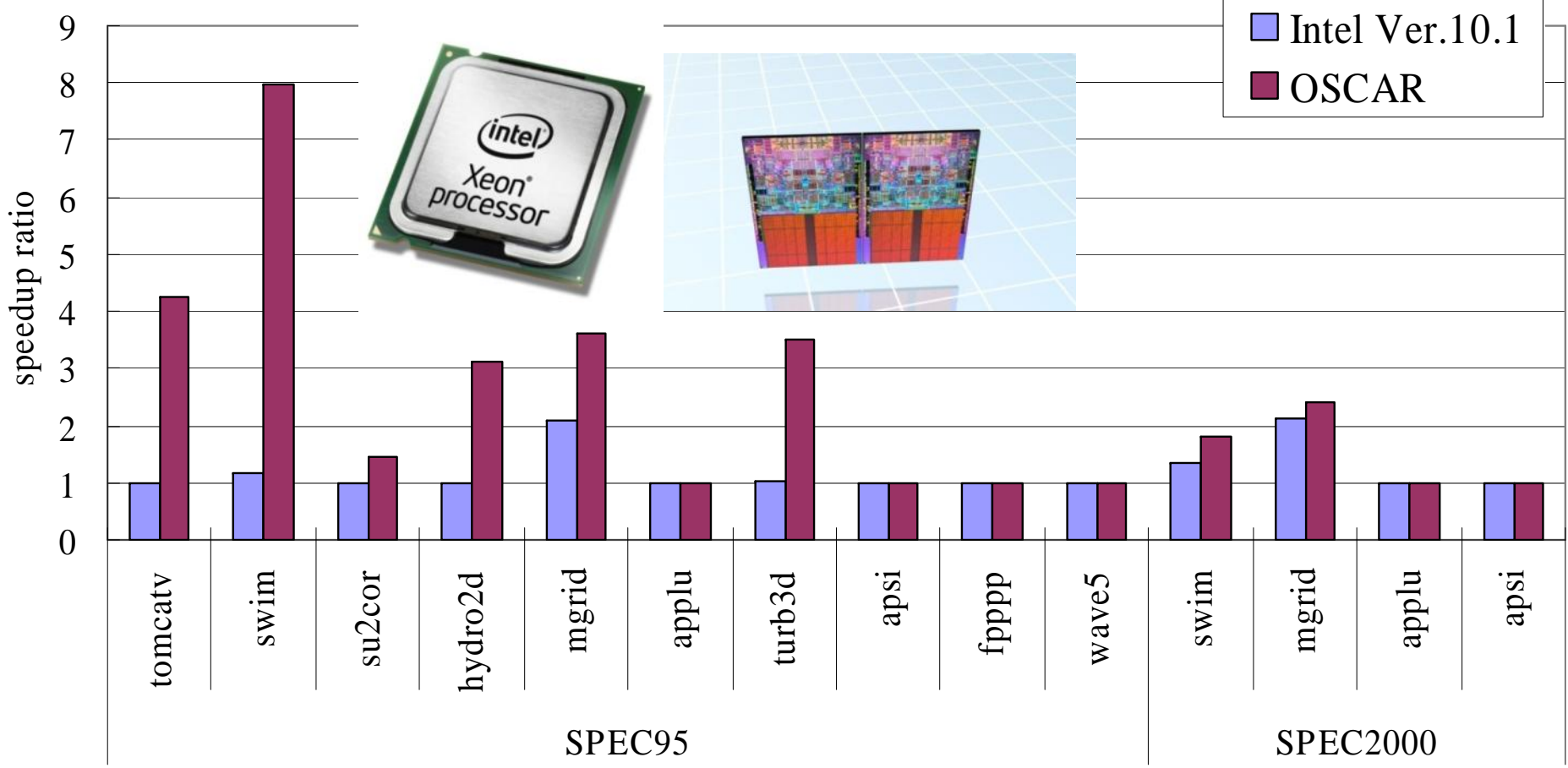
- コンパイラによる ローカルメモリへのデータ分割配置、DMAコントローラによるタスク実行とオーバーラップしたデータ転送によりメモリアクセス・データ転送オーバーヘッド最小化

3. 消費電力増大による速度向上の鈍化

- コンパイラによる低消費電力制御機能を用いたアプリケーション内での きめ細かい周波数・電圧制御・電源遮断により消費電力低減

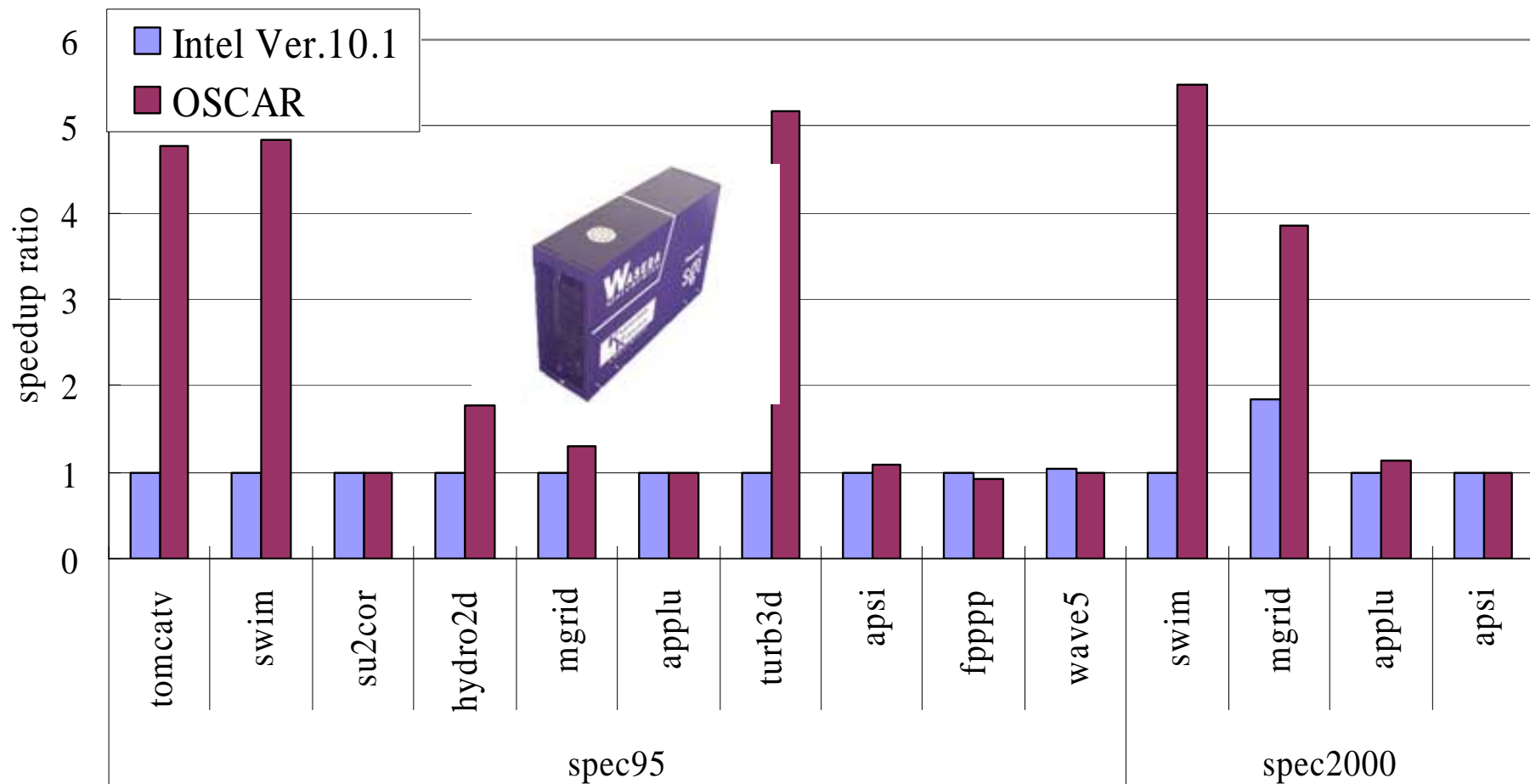


インテル クアッドコア Xeon プロセッサ上での 早稲田大学 OSCAR コンパイラの性能



OSCAR コンパイラが生成するOpenMP並列化コードはインテルコンパイラ ver.10.1の性能をインテル・マルチコア上で2.09 倍向上

インテルMontvaleマルチコアを用いた 16 コアSGI Altix 450 デスクサイドサーバ上での OSCAR コンパイラの性能

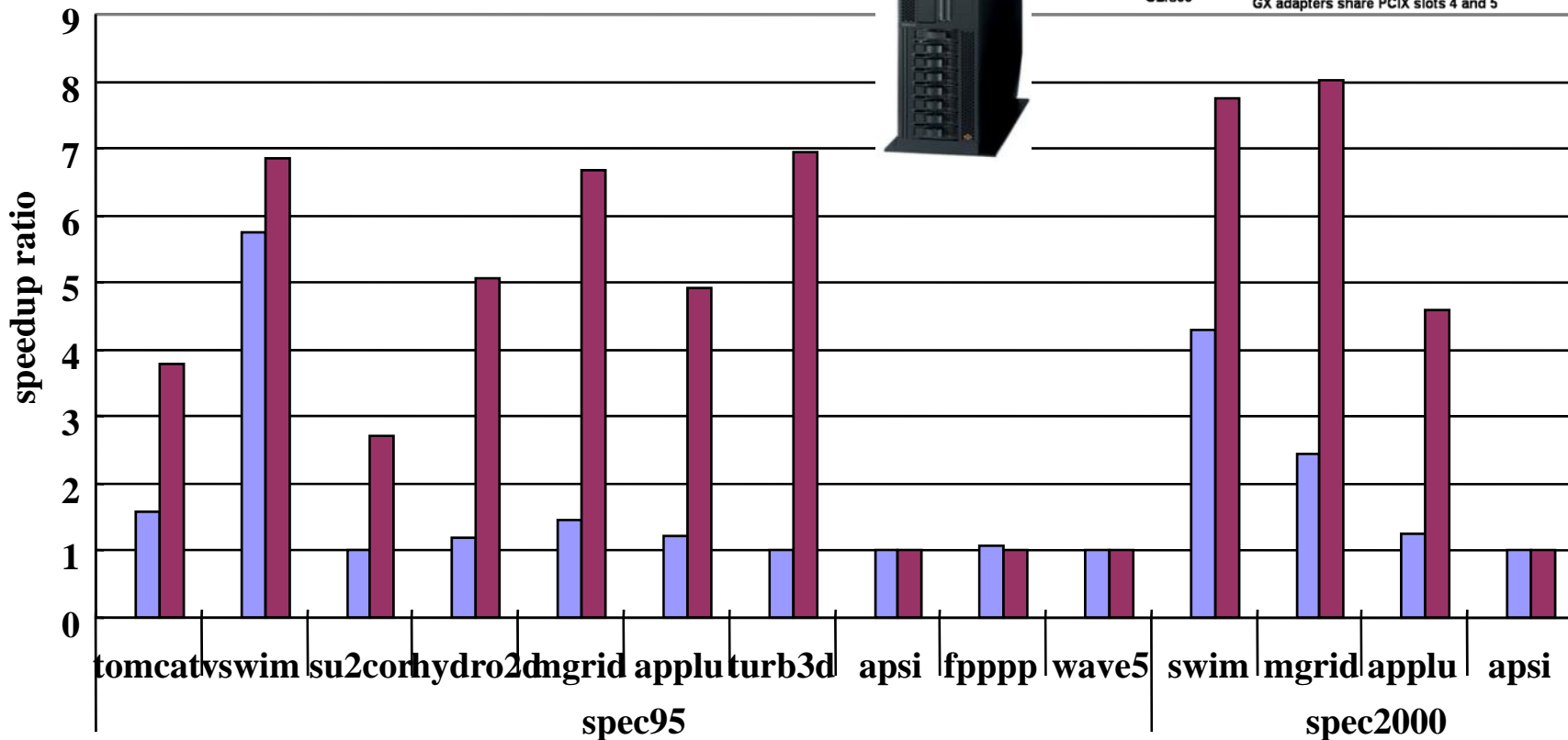
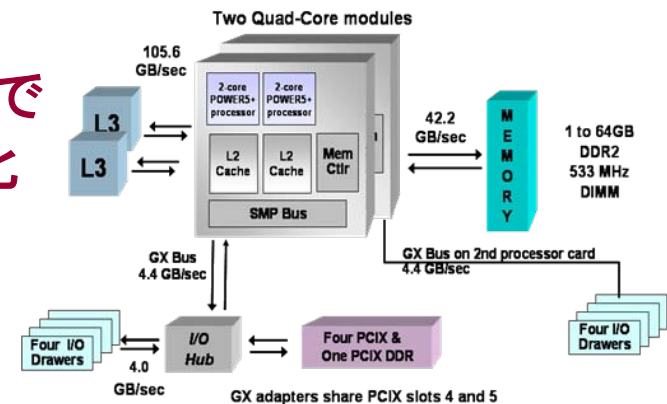


**OSCAR コンパイラが生成するOpenMPコードはインテル
Itanium Compiler revision 10.1の性能を 2.32 倍向上**

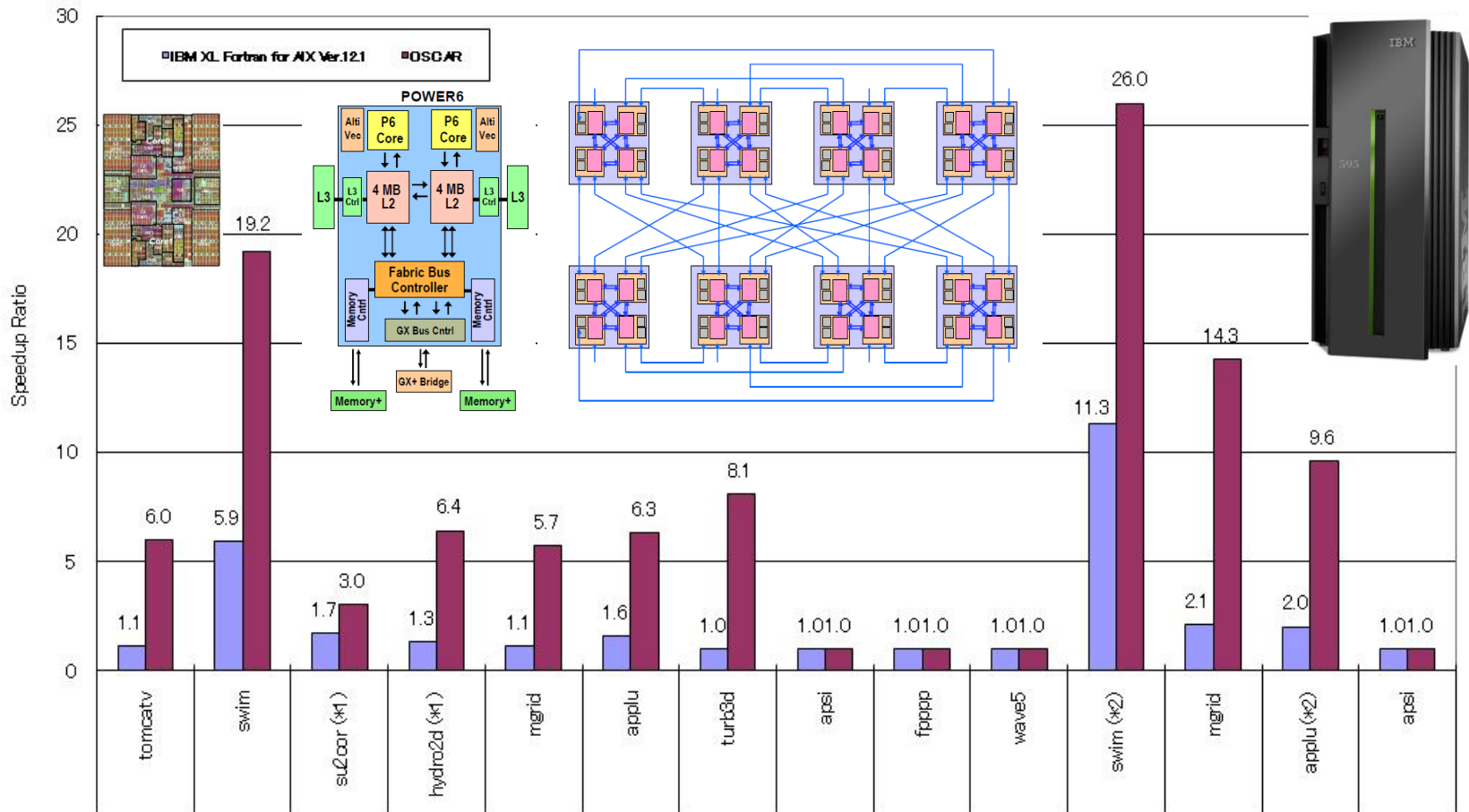
IBMサーバp550q上でのOSCAR並列化コンパイラの性能

8プロセッサコア・マルチプロセッサシステム上で
従来のループ並列化に対し、2.7倍の高速化

- ループ並列化
- マルチグレイン並列化



Performance of OSCAR Compiler on IBM p6 595 Power6 (4.2GHz) based 32-core SMP Server



OpenMP codes generated by OSCAR compiler accelerate IBM XL Fortran for AIX Ver.12.1 about **3.3 times on the average**

Compile Option:

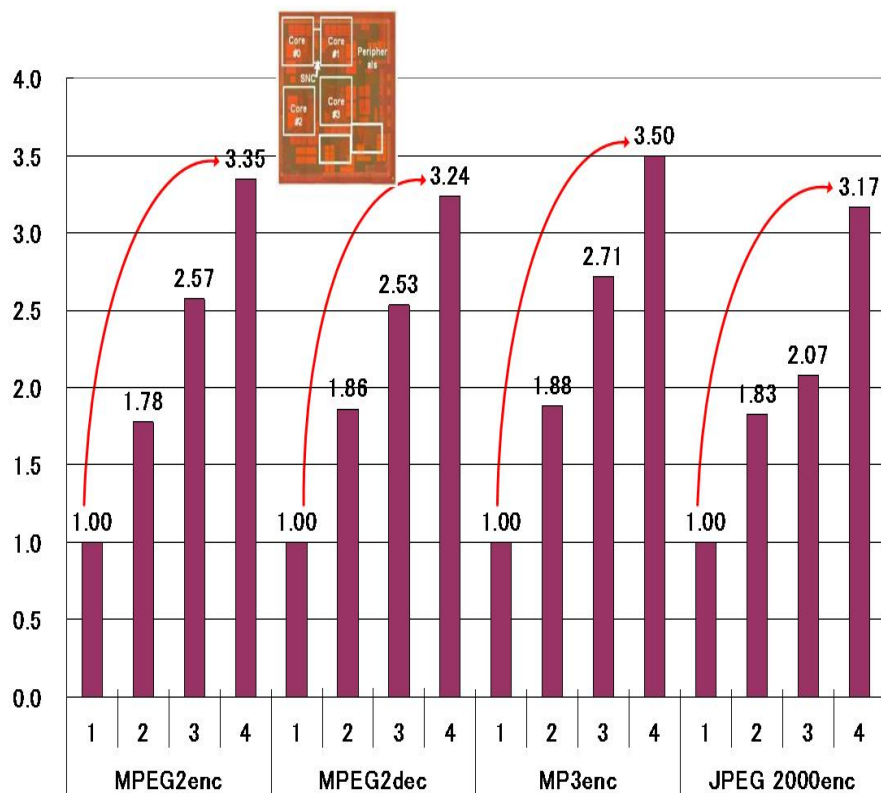
(*1) Sequential: -O3 -qarch=pwr6, XLF: -O3 -qarch=pwr6 -qsmp=auto, OSCAR: -O3 -qarch=pwr6 -qsmp=noauto

(*2) Sequential: -O5 -q64 -qarch=pwr6, XLF: -O5 -q64 -qarch=pwr6 -qsmp=auto, OSCAR: -O5 -q64 -qarch=pwr6 -qsmp=noauto

(Others) Sequential: -O5 -qarch=pwr6, XLF: -O5 -qarch=pwr6 -qsmp=auto, OSCAR: -O5 -qarch=pwr6 -qsmp=noauto

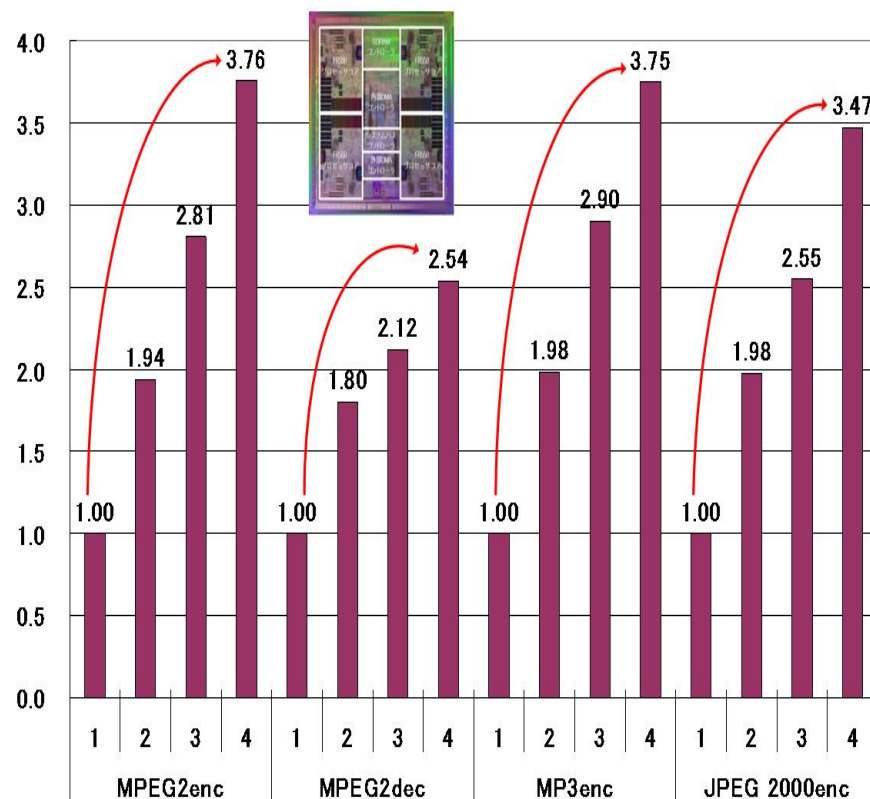
OSCAR APIを用いた2社マルチコア(4コア)上でのOSCARコンパイラを用いた並列処理性能

OSCAR APIを用いたA社マルチコア(4cores)上でのOSCARコンパイラによる並列処理性能(速度向上率)



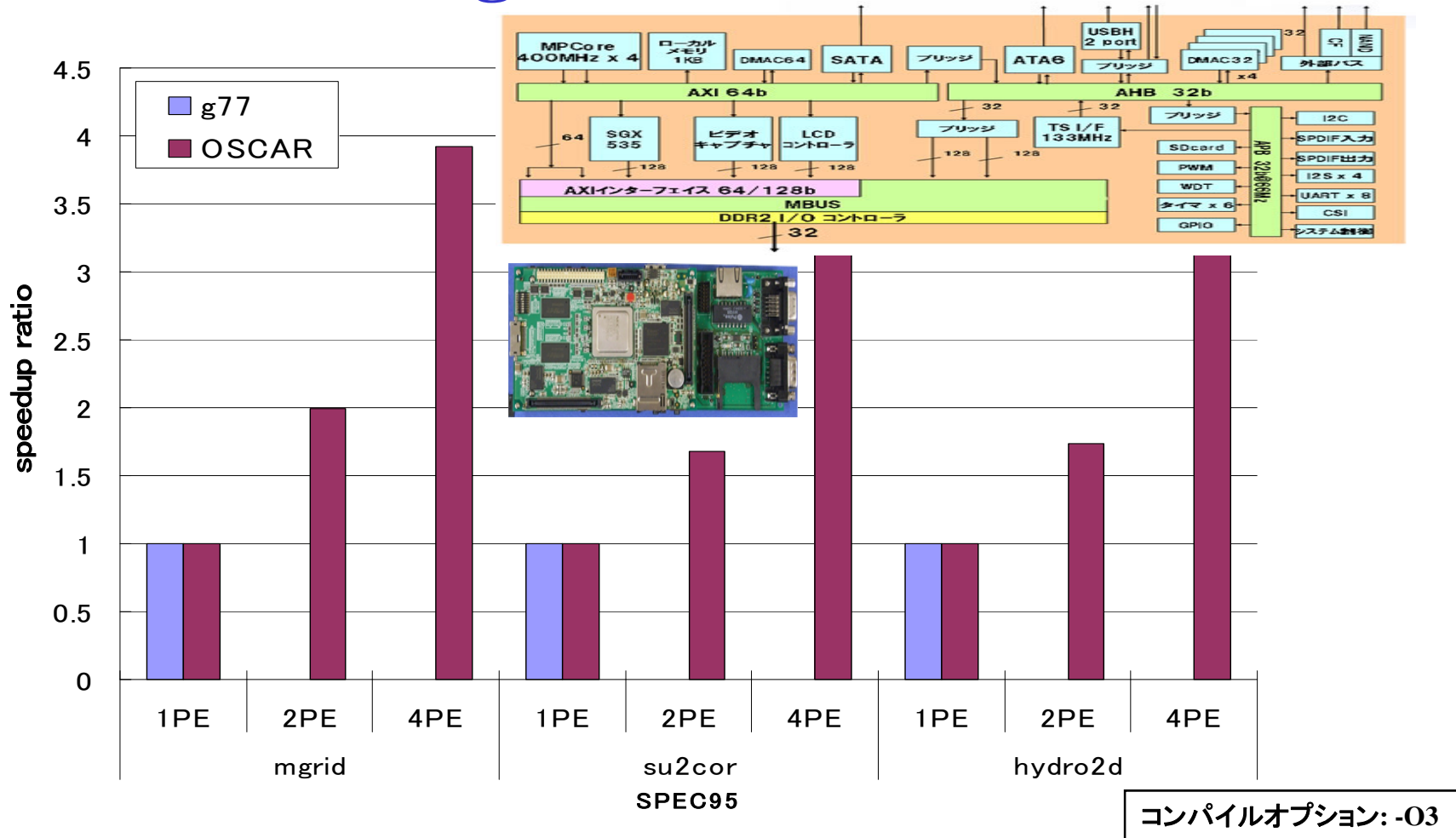
1プロセッサと比較して、4プロセッサで平均3.31倍の速度向上

OSCAR APIを用いたB社マルチコア(4cores)上でのOSCARコンパイラによる並列処理性能(速度向上率)



1プロセッサと比較して、4プロセッサで平均3.38倍の速度向上

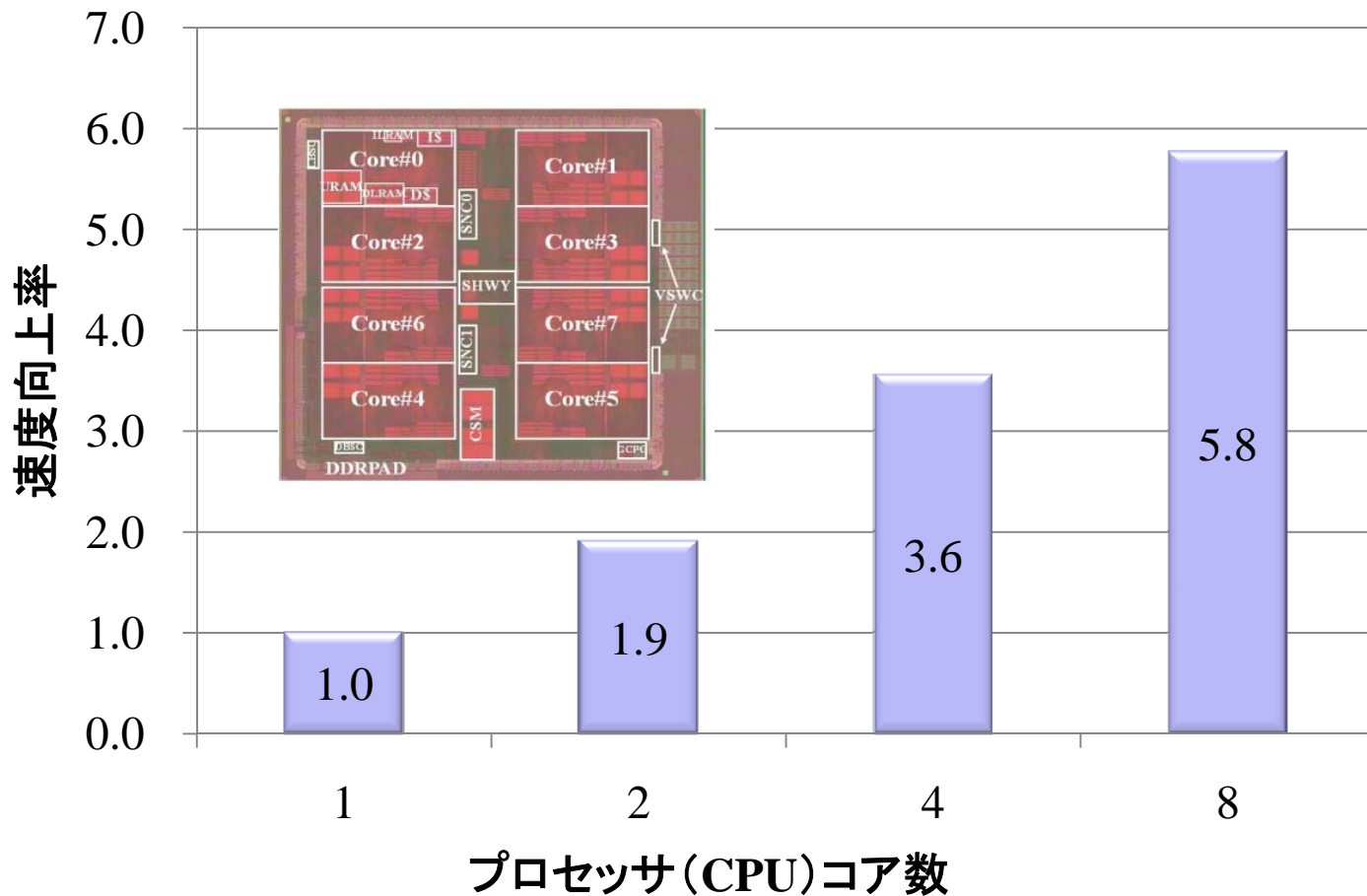
早稲田大学 OSCARコンパイラの NEC NaviEngine上での並列処理性能



- OSCARコンパイラは4コアARM・NECマルチコア上で1コアと比べSpec CFP95 3プログラム平均で3.42倍の速度向上

開発マルチコア・チップ上での 自動並列化コンパイラを用いた処理速度

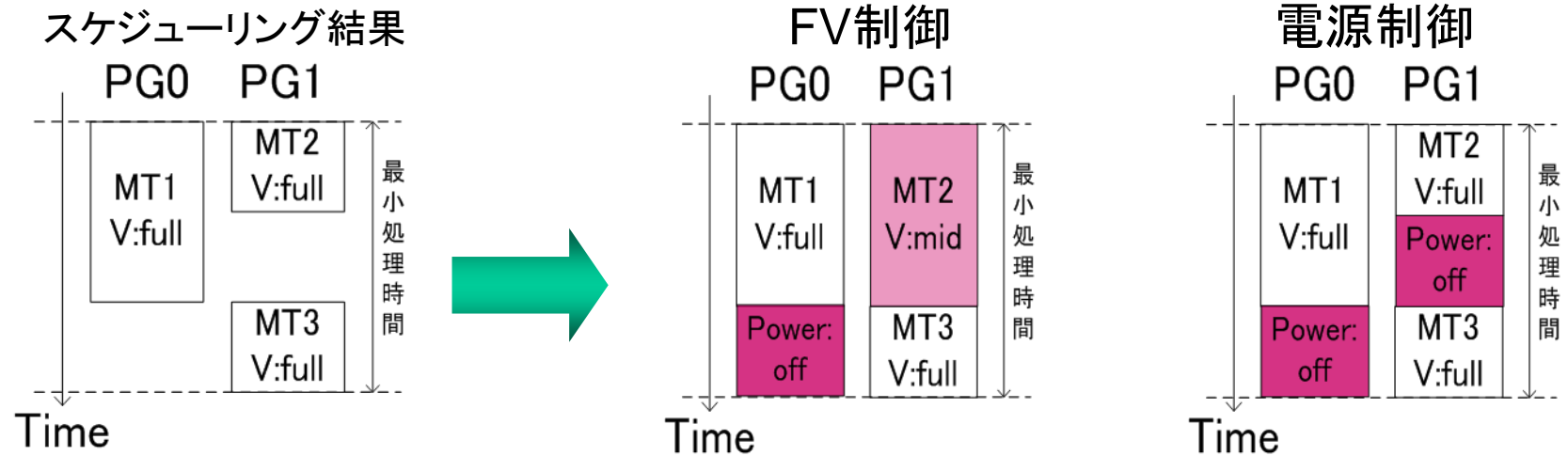
オーディオ圧縮(AAC*エンコード)処理(マルチメディア処理)
並列化時の1プロセッサコアに対する処理速度向上率



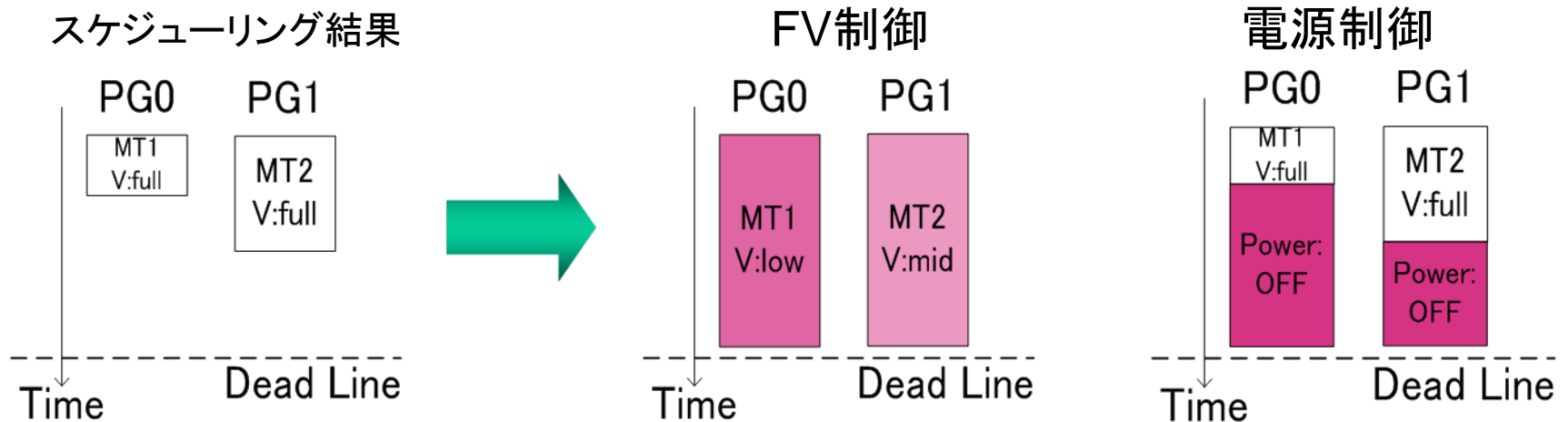
*) Advanced Audio Coding: ISOにおいて規格化された音声圧縮方式

周波数電圧 (FV) 制御と電源制御による低消費電力化

- 処理ユニット負荷不均衡時の電源・周波数電圧制御



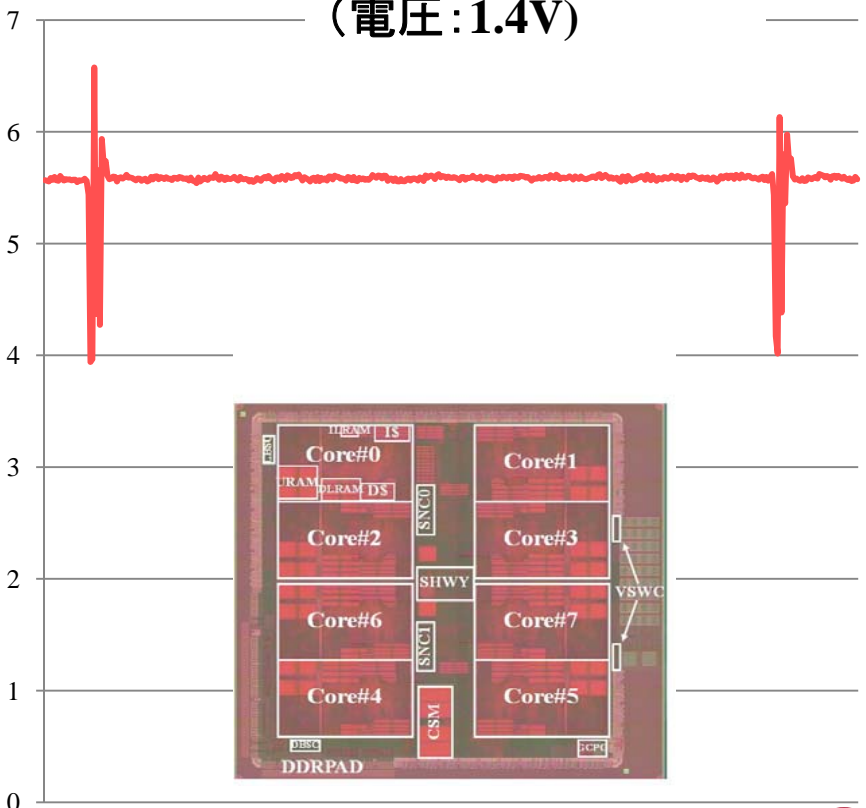
- デッドライン制約を考慮した電源・周波数電圧制御



8コアマルチコアRP2上でのOSCAR APIを用いた OSCARコンパイラによる音楽圧縮の電力削減

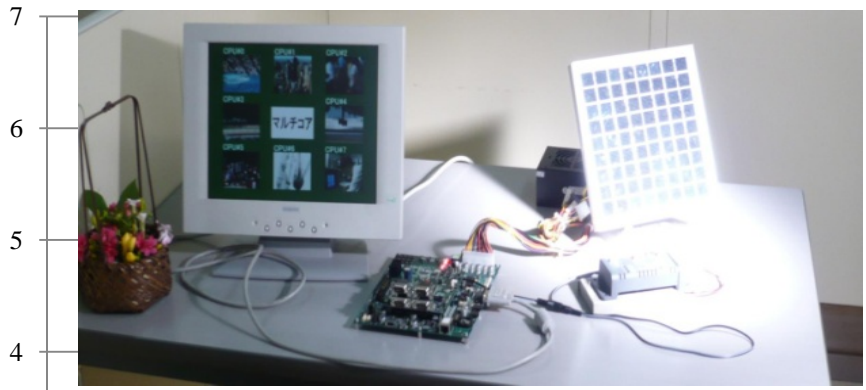
セキュアオーディオ圧縮 (AACエンコード+AES暗号化) 処理を8コアで実行時の
消費電力

電力制御なし
(電圧: 1.4V)

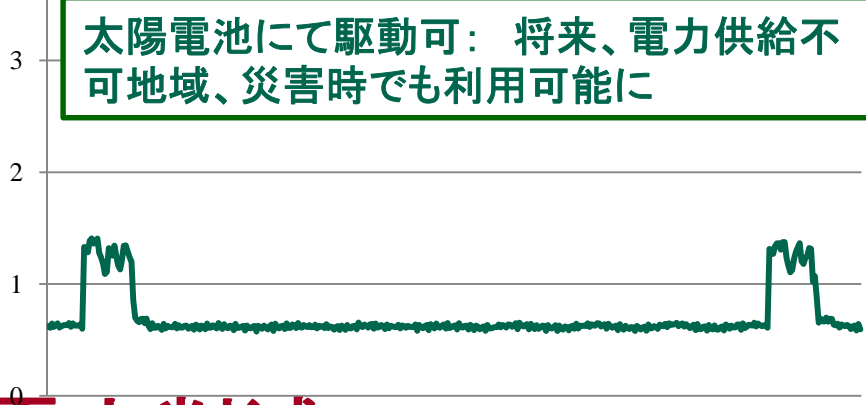


平均電力
5.68 [W]

周波数/電圧・電源制御あり



太陽電池にて駆動可: 将来、電力供給不可地域、災害時でも利用可能に



平均電力
0.67 [W]

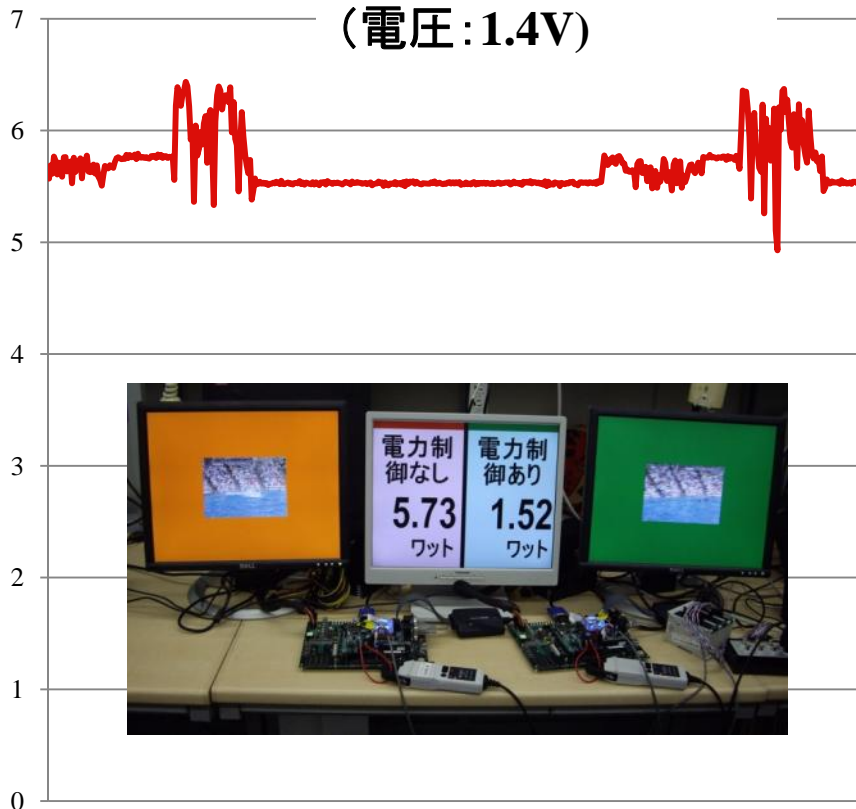
88.3%の電力削減



8コアマルチコアRP2上でのOSCAR APIを用いた OSCARコンパイラによる映像表示電力削減

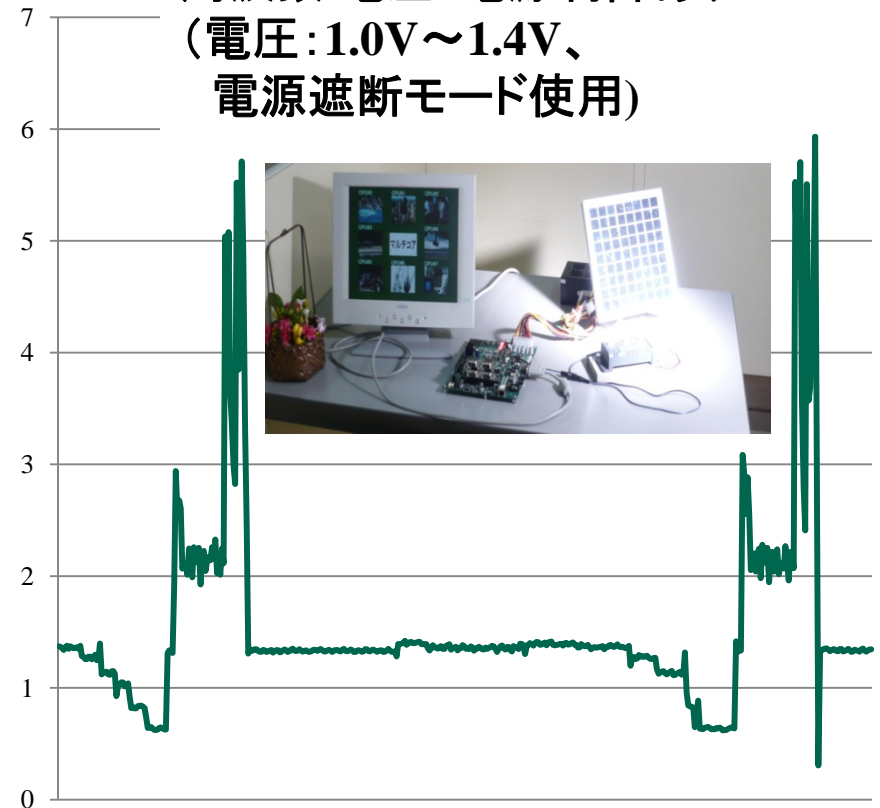
映像表示(MPEG2デコード処理)リアルタイム実行時の消費電力

電力制御なし
(電圧:1.4V)



平均電力
5.73 [W]

周波数/電圧・電源制御あり
(電圧:1.0V~1.4V、
電源遮断モード使用)



平均電力
1.52 [W]

73.5%の電力削減

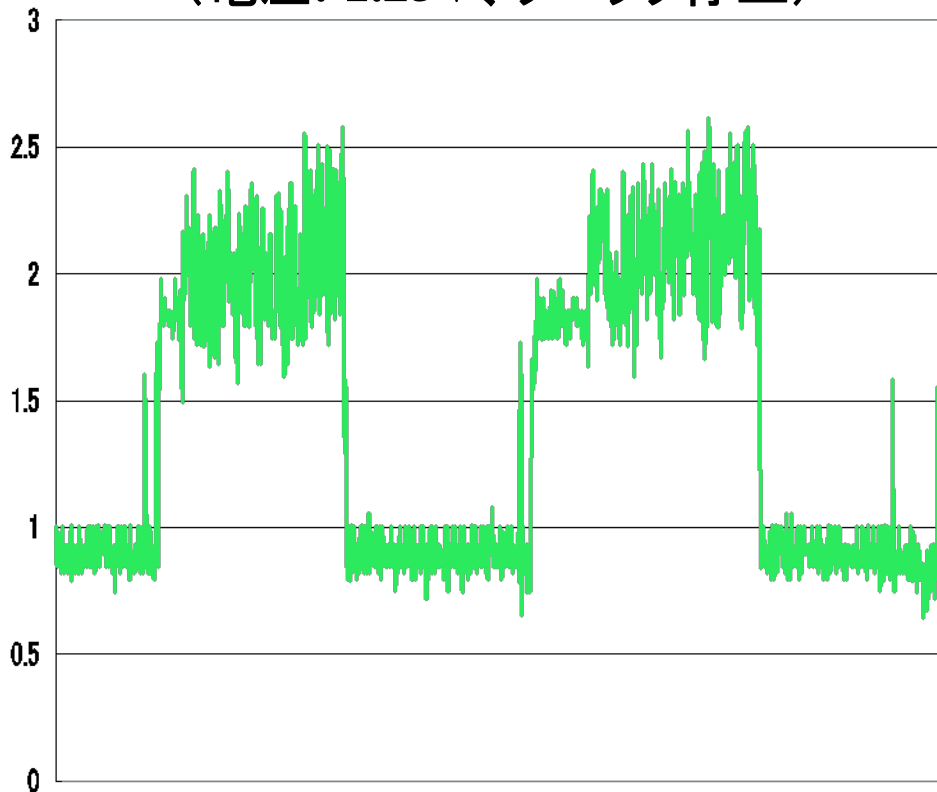
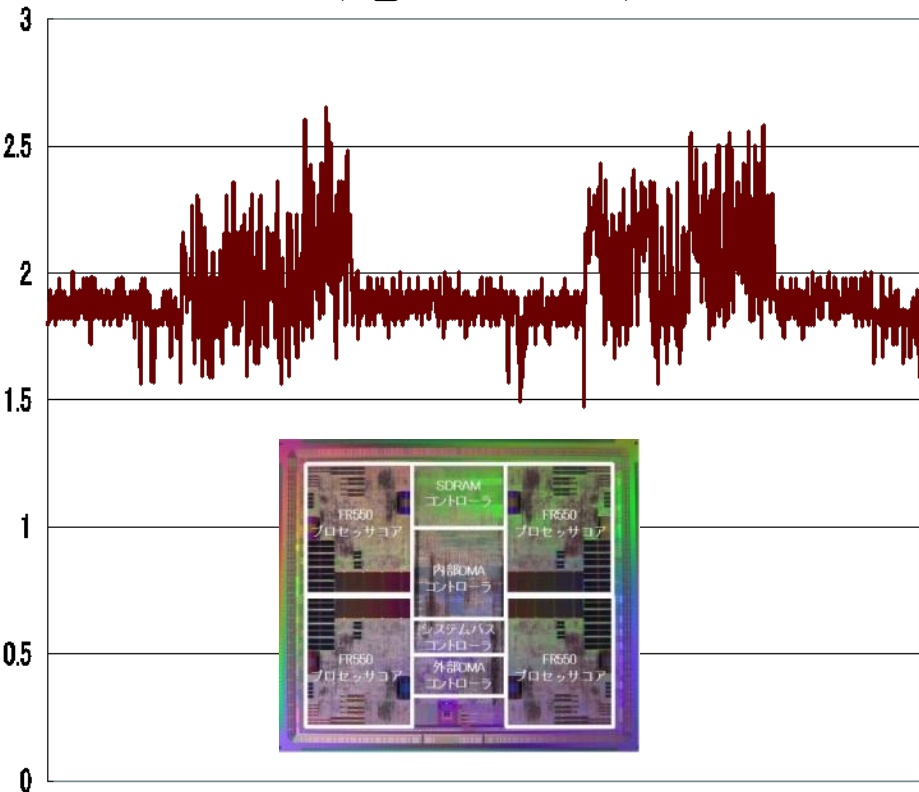
既存FR1000(4コア)マルチコア上でのOSCAR APIを用いた OSCARコンパイラによる映像表示電力削減

動画伸張(MPEG2デコード)処理を4コアで実行時の消費電力

電力制御無し
(電圧: 1.25V)

周波数制御有り

(電圧: 1.25V、クロック停止)



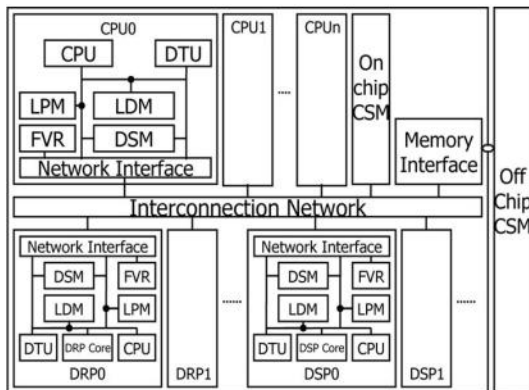
平均電力 **23%の電力削減** → 平均電力

1.93[W] **1.48[W]**

早大OSCARヘテロジニアスマルチコアとコンパイラ

汎用高性能プロセッサと同等の性能を1/10の動作周波数・1/90の電力で達成可能

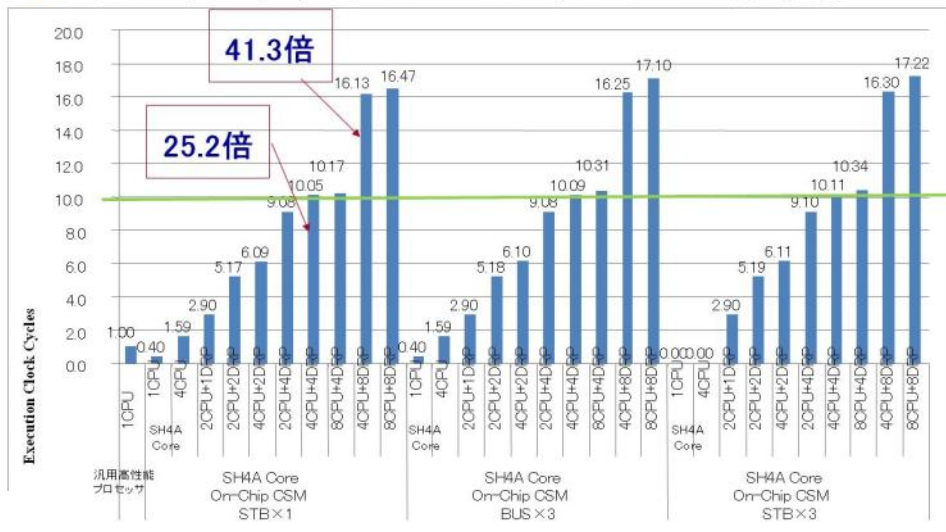
OSCAR Heterogeneous Multicore



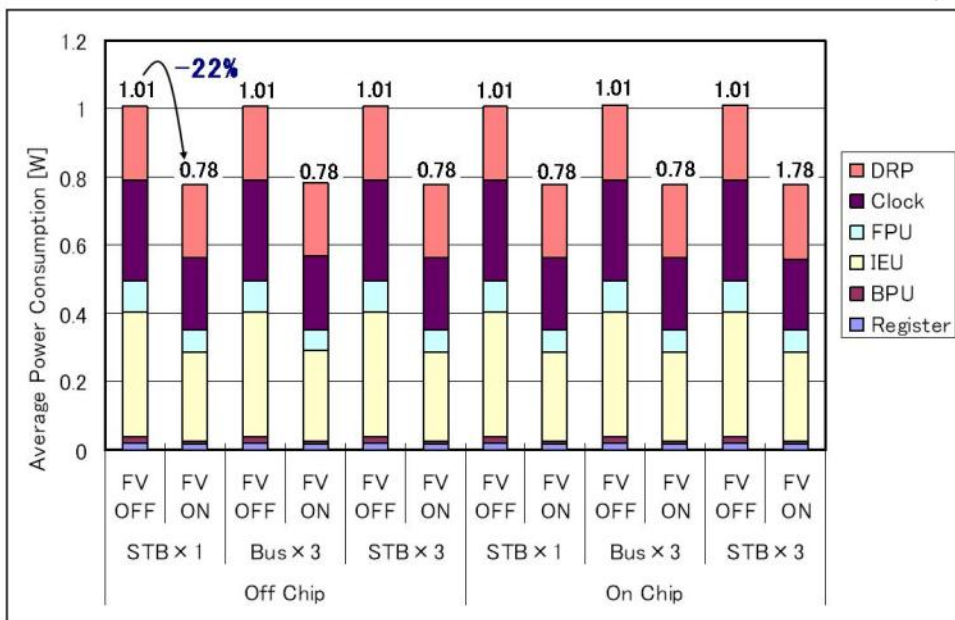
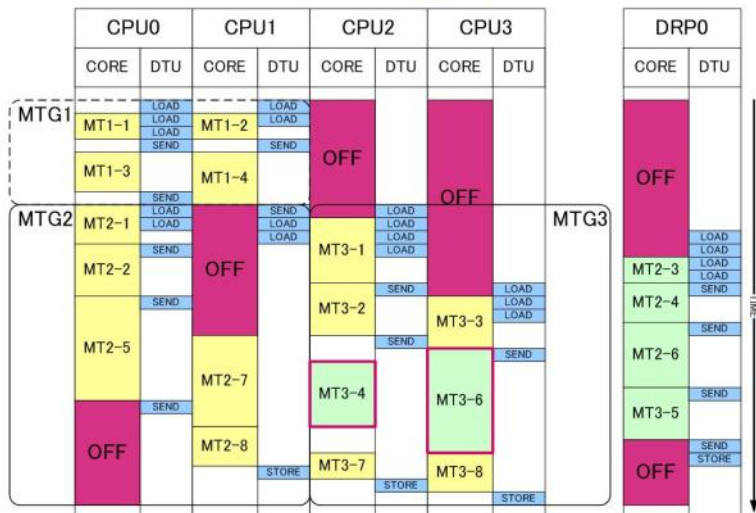
- OSCAR Type Memory Architecture
- LPM
 - Local Program Memory
- LDM
 - Local Data Memory
- DSM
 - Distributed Shared Memory
- CSM
 - Centralized Shared Memory
 - On Chip and/or Off Chip
- DTU
 - Data Transfer Unit
- Interconnection Network
 - Multiple Buses
 - Split Transaction Buses
 - CrossBar ...

ヘテロジニアスマルチコア性能 (オンチップ共有メモリ:4クロック)

■ 汎用コア1台に対し、4汎用コア+4アクセラレータで25.2倍の性能



An Image of Static Schedule for Heterogeneous Multicore with Data Transfer Overlapping and Power Control



まとめ

OSCARコンパイラによりOSCAR APIを用いて自動並列化されたプログラムは低消費電力情報家電用マルチコアやマルチコアPCやハイエンドマルチプロセッササーバ上で下記のような性能を実現

- **RP2 8コアマルチコア**上でコンパイラによる自動電力制御に成功し、リアルタイム・オーディオ・データ圧縮処理時の消費電力を**88%削減(1/9に削減)**、映像データ・デコード時の消費電力を**74%削減(1/4に削減)**
チップの自然空冷が可能で、太陽電池でのエコ動作も可能。
- 異なるメーカーの4コアマルチコア RP1 (ルネサス・日立・早稲田),FR1000(富士通)で各種マルチメディア処理の自動並列化に成功。1コアに比べ**3.4倍の速度向上**
- OpenMPサポートの市販
**Intel Quad-core Xeon搭載4コアマルチコアPC、
IBM Power5+搭載 8コアp550 SMPデスクサイドサーバ、
Intel Itanium2 Montvale搭載16コア Altix450 CC-NUMAサーバ、
IBM Power6搭載32コアp595 SMPハイエンドサーバ**上で、
商用自動並列化コンパイラに比べ2倍以上の高速並列処理を実現
- 従来高度な知識と経験を持つ専門家でも**数週間から数ヶ月を要していた並列プログラムの作成を数分程度に短縮**することができ、マルチコア用のソフトウェア開発期間・費用を飛躍的に軽減
- 今後:情報家電・自動車統合制御系・クールサーバ(グリーンIT)・スパコン