

グリーン・マルチコアプロセッサ・アーキテクチャと自動並列化コンパイラに関する研究

早稲田大学 理工学術院 情報理工学科 教授 笠原博徳

グリーンコンピューティング機構 アドバンスマルチコアプロセッサ研究所長

IEEE Computer Society President 2018



- 1976 早稲田大学高等学院卒
- 1980 早大電気工学科卒、1982 同修士課程了
- 1985 早大大学院博士課程了 工学博士、学振第一回PD
カリフォルニア大学バークレー客員研究員
- 1986 早大理工専任講師、1988年 助教授
- 1989~1990 イリノイ大学Center for
Super computing R&D客員研究員
- 1997 教授、現在 理工学術院情報理工学科
- 2004 アドバンスマルチコア研究所所長
- 2017 日本工学アカデミー会員 (2020より理事)、
日本学術会議連携会員
- 2018 IEEE Computer Society会長、
早大副総長 (-2022年9月)
- 2019 産業競争力懇談会(COCN) 理事

【受賞】

- 1987 IFAC World Congress Young Author Prize
- 1997 情報処理学会坂井記念特別賞
- 2005 半導体理工学研究センタ共同研究賞
- 2008 LSI・オブ・ザ・イヤー 2008 準グランプリ、
Intel Asia Academic Forum Best
Research Award
- 2010 IEEE CS Golden Core Member Award
- 2014 文部科学大臣表彰科学技術賞研究部門
- 2015 情報処理学会フェロー
- 2017 IEEE Fellow, IEEE Eta-Kappa-Nu
- 2019 IEEE CS Spirit of Computer Society Award
- 2020 情報処理学会功績賞、SCAT表彰 会長大賞

査読付き論文231件、招待講演226件、国際特許取得67件(米・英・中・
日等)、新聞・Web記事・TV等メディア掲載 695件

【政府・学会委員等】 歴任数 283件

IEEE Computer Society President 2018, Executive
Committee委員長、理事(2009-14)、戦略的計画委員長、
Nomination Committee委員長、Multicore STC 委員長、
IEEE CS Japan委員長、IEEE技術委員、IEEE Medal選定委員、
ACM/IEEE SC'21基調講演選定委員等

【経済産業省・NEDO】情報家電用マルチコア・アドバンス並列化コンパイラ・グリーンコンピューティング・プロジェクトリーダ、NEDOコンピュータ戦略委員長等

【内閣府】スーパーコンピュータ戦略委員、政府調達苦情検討委員、総合科学技術会議情報通信PT 研究開発基盤領域&セキュリティ・ソフト検討委員、日本国際賞選定委員

【文部科学省・海洋研】地球シミュレータ(ES) 中間評価委員、情報科学技術委員、HPCI計画推進委員、次世代スパコン(京) 中間評価委員・概念設計評価委員、地球シミュレータES2導入技術アドバイザー委員等、JST: ムーンショットG3ロボット&AI Vice Chair, SBIRフェーズ1委員長等

2022年第2回東京支部講演会： 2022年10月6日

Some of papers in and just after Ph.D. Course in Waseda U.

IEEE TRANSACTIONS ON COMPUTERS, VOL. C-33, NO. 11, NOVEMBER 1984

1023

Practical Multiprocessor Scheduling Algorithms for Efficient Parallel Processing

HIRONORI KASAHARA, MEMBER, IEEE, AND SEINOSUKE NARITA, SENIOR MEMBER, IEEE



Courtesy of dexchao - Fotolia.com

104

IEEE JOURNAL OF ROBOTICS AND AUTOMATION, VOL. RA-1, NO. 2, JUNE 1985

Parallel Processing of Robot-Arm Control Computation on a Multimicroprocessor System

HIRONORI KASAHARA MEMBER, IEEE, AND SEINOSUKE NARITA, SENIOR MEMBER, IEEE



1 of 10

2nd International Conference on Superecomputing
Santa Clara, CA, USA May 3-8, 1987

A PARALLEL PROCESSING SCHEME FOR THE SOLUTION OF SPARSE LINEAR EQUATIONS USING STATIC OPTIMAL-MULTIPROCESSOR-SCHEDULING ALGORITHMS

H. Kasahara*, T. Fujii*, H. Nakayama*, S. Narita*, and Leon O. Chua**

* Dept. of Electrical Eng., Waseda University, Tokyo, 160, Japan

** Dept. of Electrical Eng. and Computer Sciences,
University of California, Berkeley, CA 94720, U.S.A.

Copyright © IFAC 10th Triennial World Congress,
Munich, FRG, 1987

PARALLEL PROCESSING OF ROBOT MOTION SIMULATION

H. Kasahara, H. Fujii and M. Iwata

Department of Electrical Engineering, Waseda University, 3-4-1 Ohkubo
Shinjuku-ku, Tokyo 160, Japan

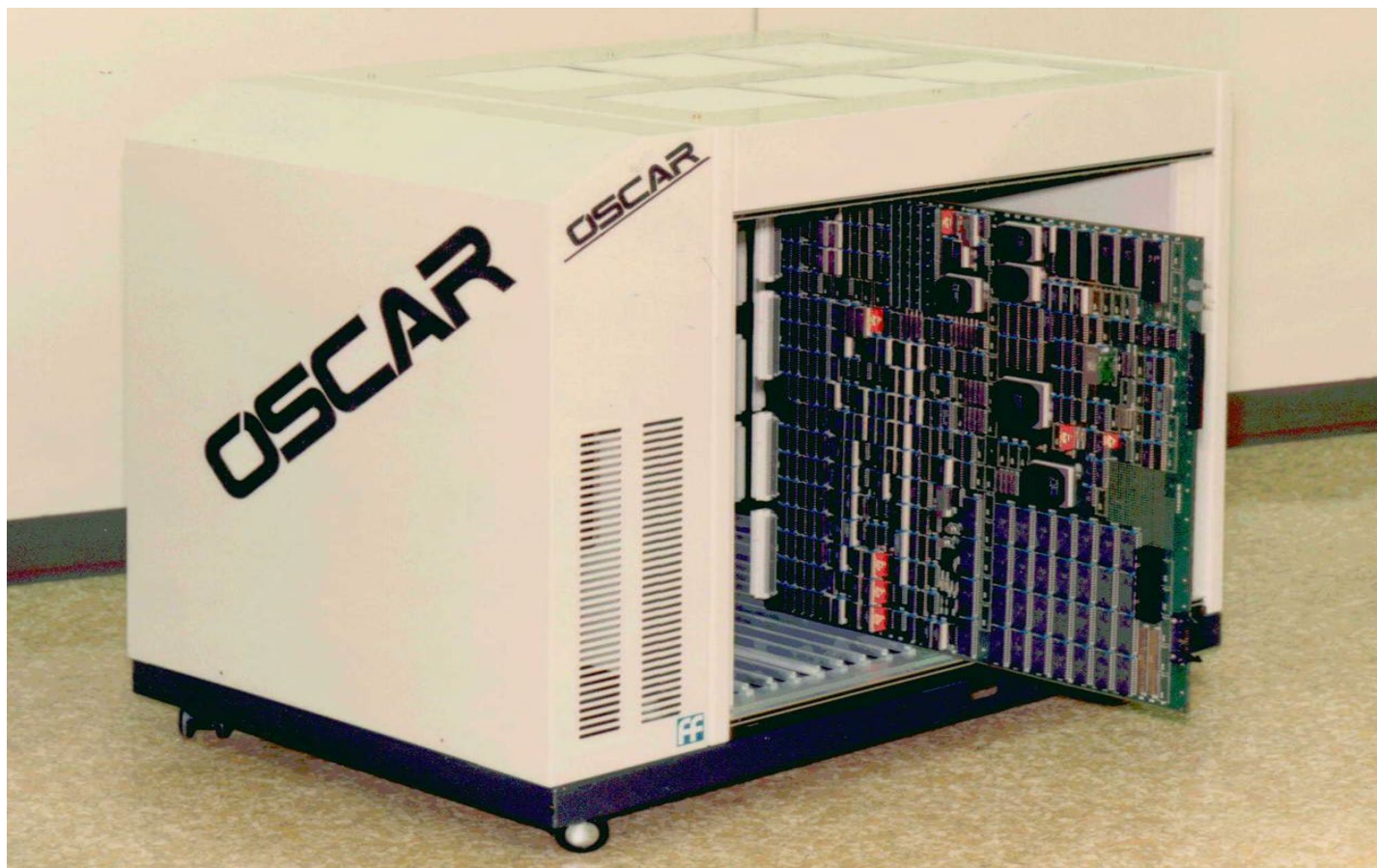


1987 OSCAR(Optimally Scheduled Advanced Multiprocessor)

ソフトウェア (コンパイラ) とハードウェア (アーキテクチャ) の協調設計したマルチプロセッサ

Co-design of Compiler and Architecture

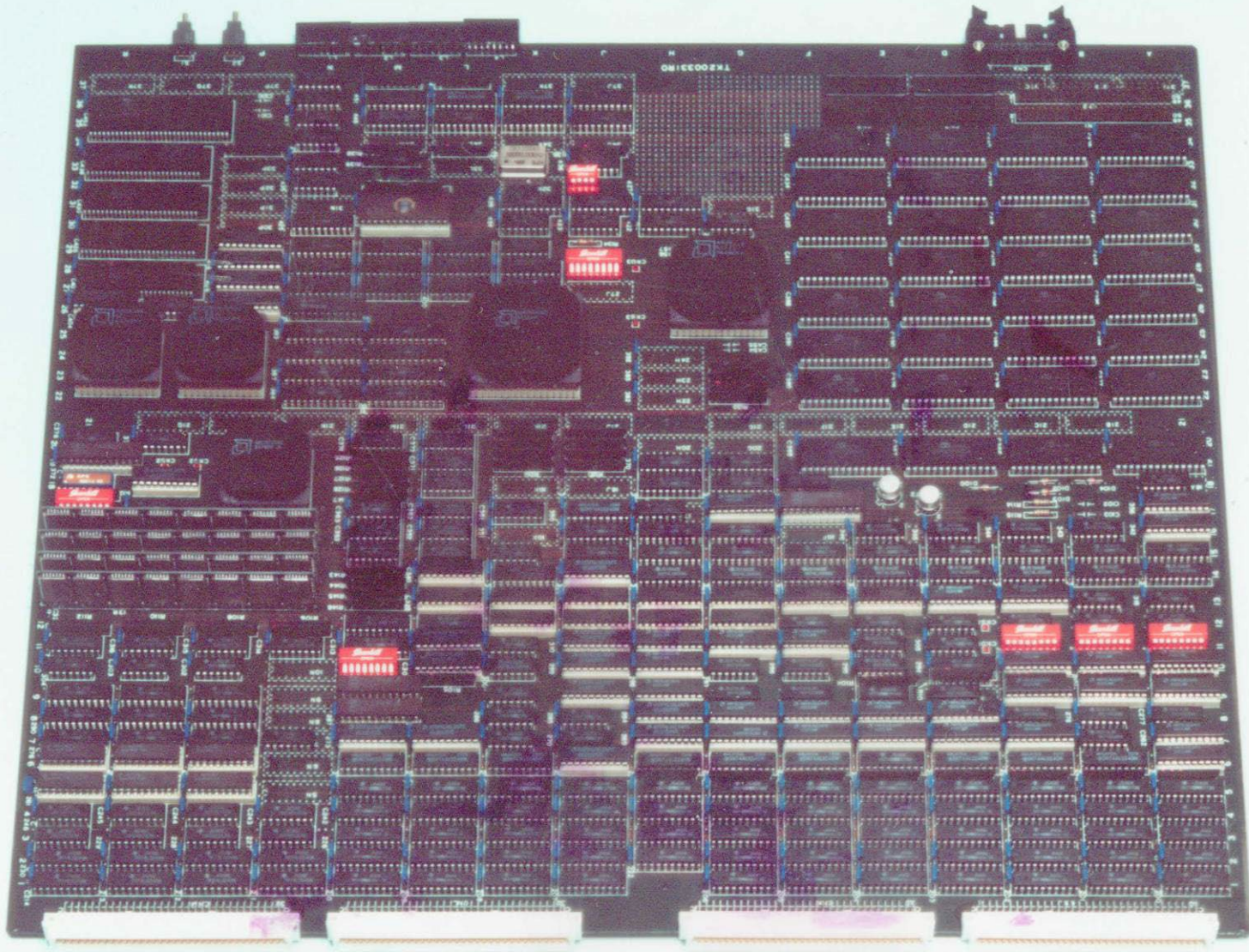
Looking at various applications, design a parallelizing compiler and design a multiprocessor/multicore-processor to support compiler optimization



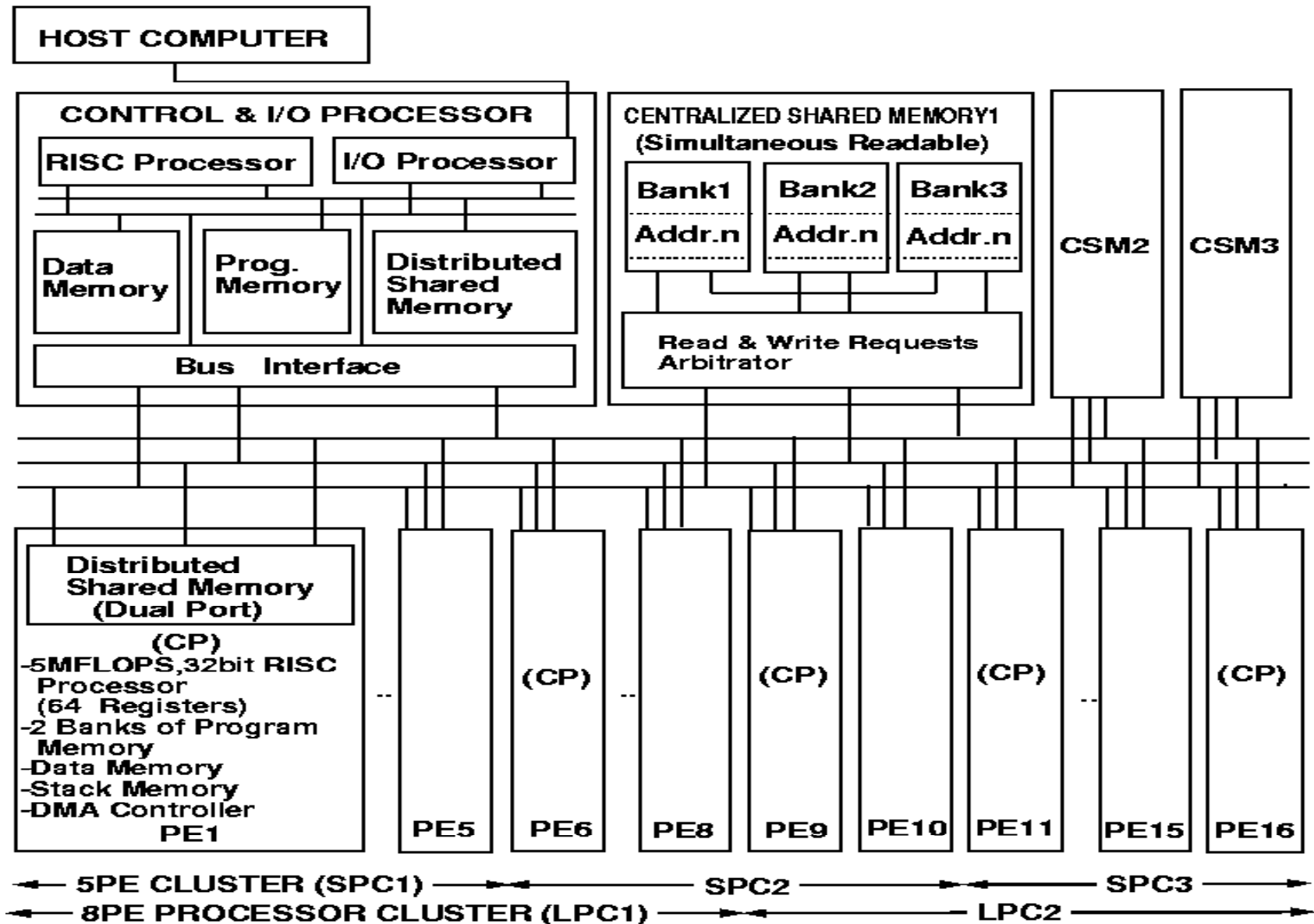
D. Lenoski, J. Laudon, K Gharachorloo, A. Gupta, J. Hennessy, "The directory-based cache coherence protocol for the DASH multiprocessor," ACM SIGARCH Computer Architecture News 18 (2SI), 148-159, 1990

H. Kasahara, "OSCAR Fortran Multigrain Compiler", Stanford University,
Hosted by Professor John L. Hennessy and Professor Monica Lam, May. 15. 1995.

1987 OSCAR PE Board (32bit RISC: Reduced Instruction Set Computer)



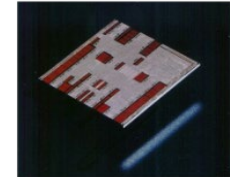
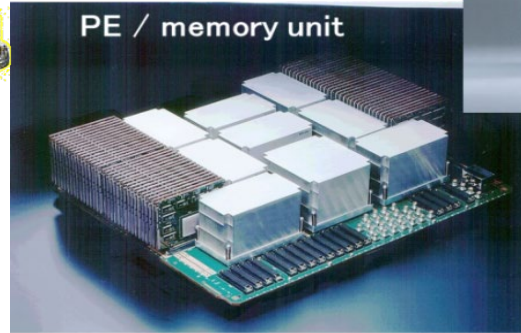
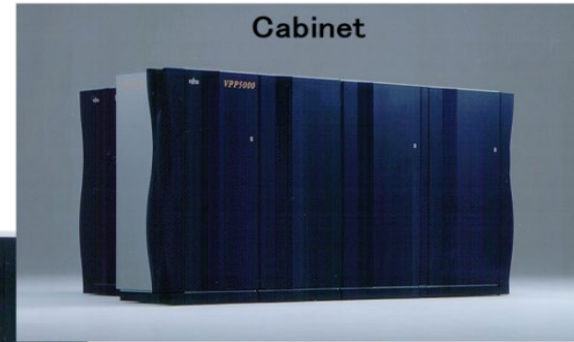
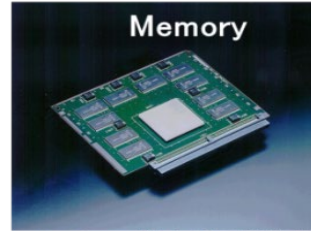
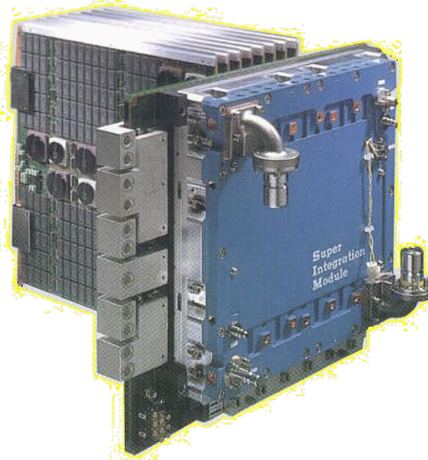
OSCAR(Optimally Scheduled Advanced Multiprocessor)



1993年 スーパーコンピュータVPP500、数値風洞(NWT)

Mr. Hajime Miyoshi

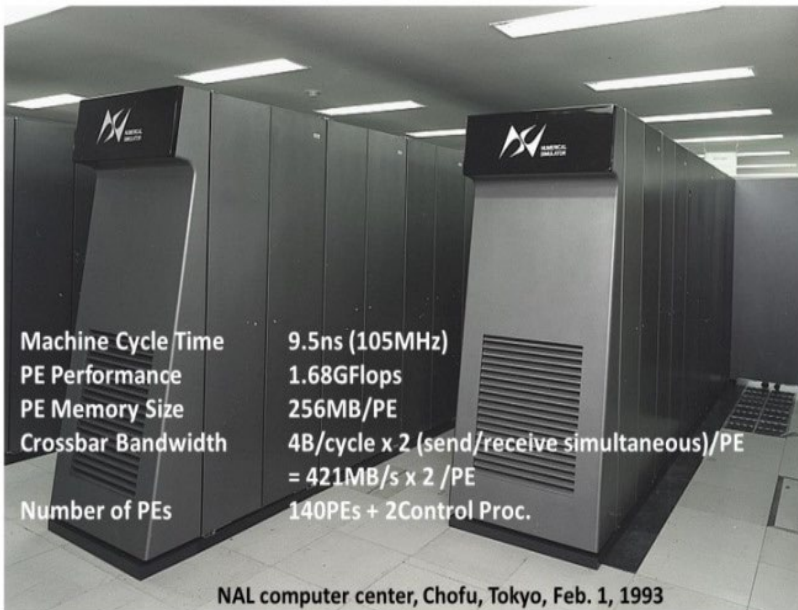
ACM/IEEE SC '94: Washington, D.C. November, 1994にて発表



CMOS LSI

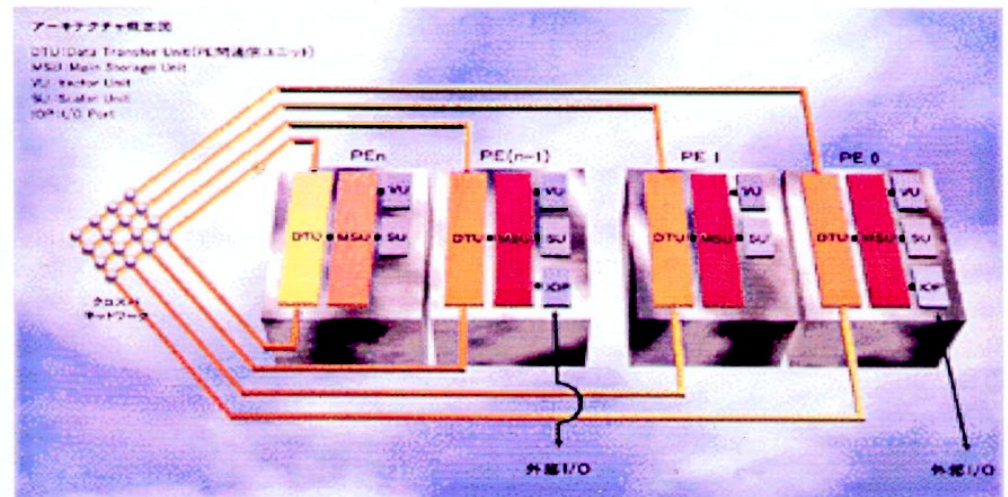
商用VPP5000 (仏気象庁他)

スーパーコンピュータNWTの外観



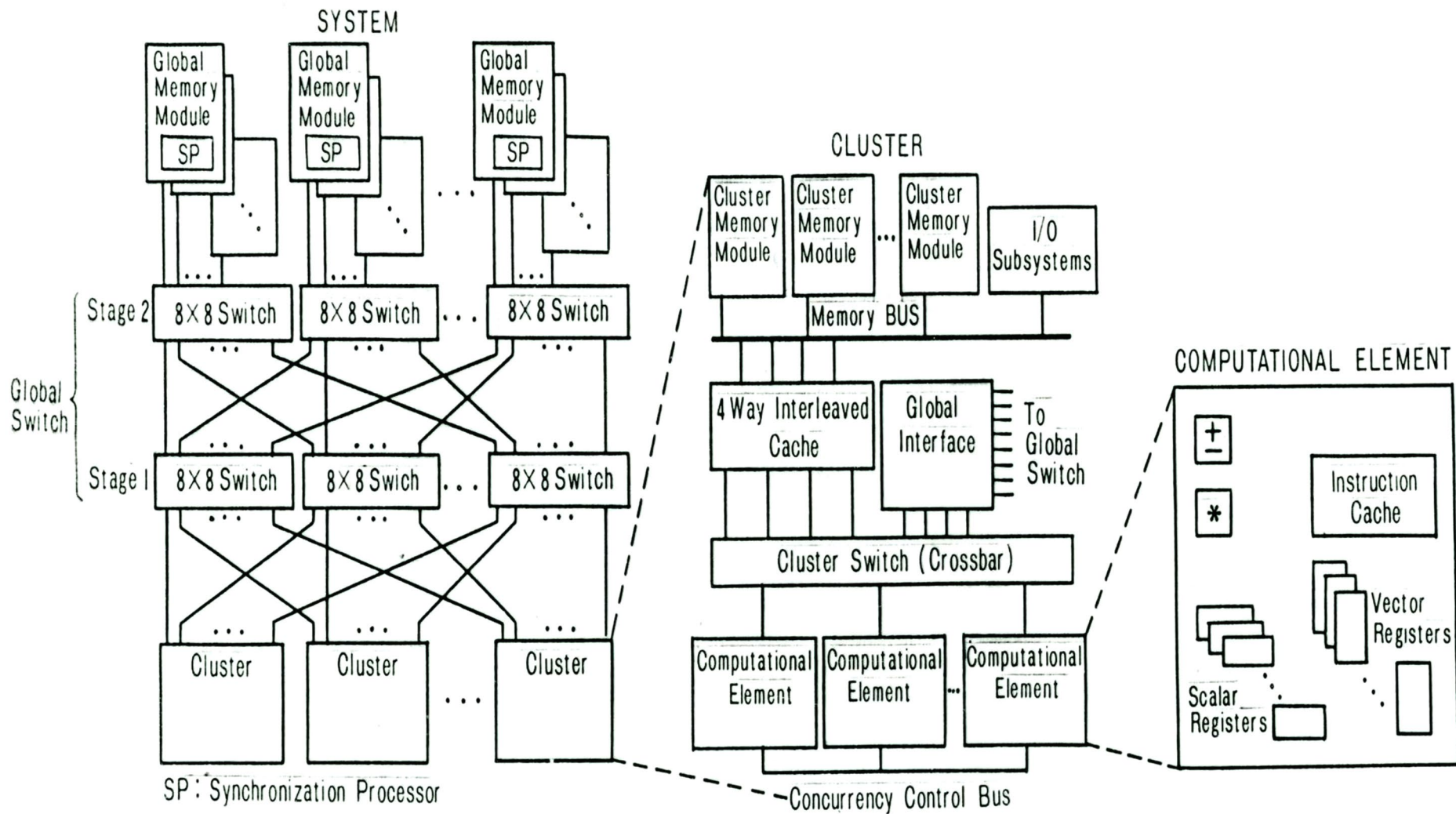
Machine Cycle Time 9.5ns (105MHz)
 PE Performance 1.68GFlops
 PE Memory Size 256MB/PE
 Crossbar Bandwidth 4B/cycle x 2 (send/receive simultaneous)/PE
 = 421MB/s x 2 / PE
 Number of PEs 140PEs + 2Control Proc.

NAL computer center, Chofu, Tokyo, Feb. 1, 1993



Cedar Supercomputer

University of Illinois at Urbana-Champaign, CSRD (Center for Supercomputing R&D)

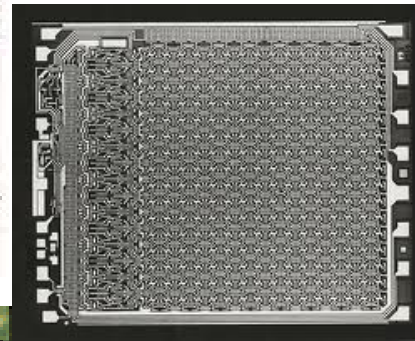


ILLIAC IV, Univ. Illinois at Urbana-Champaign & Burroughs

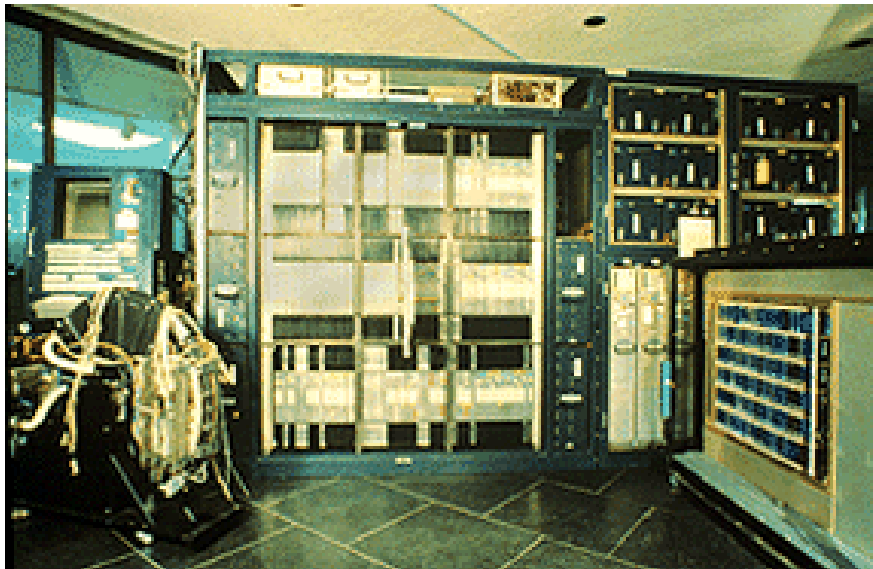


**SIMD
64 Processor
Element,
Processor
Array**

**1972-3, NASA
200 MIPS,
300 MOPS,
1 billion bits per
second of I/O
transfer**



**Integrated
circuits**



**Processing
Element**



Prof. David J Kuck (Univ. Illinois, Intel)

IEEE Computer Pioneer Award 2011

Ms. Diane B. Greene (VMware Cofounder & CEO)

IEEE Computer Society Computer Entrepreneur Award 2011



2018.03.08 Waseda Univ. Symposium on Future of High Performance Green Computing 2018 (HPGC2018)



Earth Simulator

2021年ノーベル物理学賞
プリンストン大 真鍋淑郎先生
大気・海洋大循環モデル

(<http://www.es.jamstec.go.jp/>)

- Earth Environmental simulation like Global Warming, El Nino, Plate Movement for the all lives onr this planet.
- Developed in Mar. 2002 by STA (MEXT) and NEC with 400 M\$ investment under Dr. Miyoshi's direction.

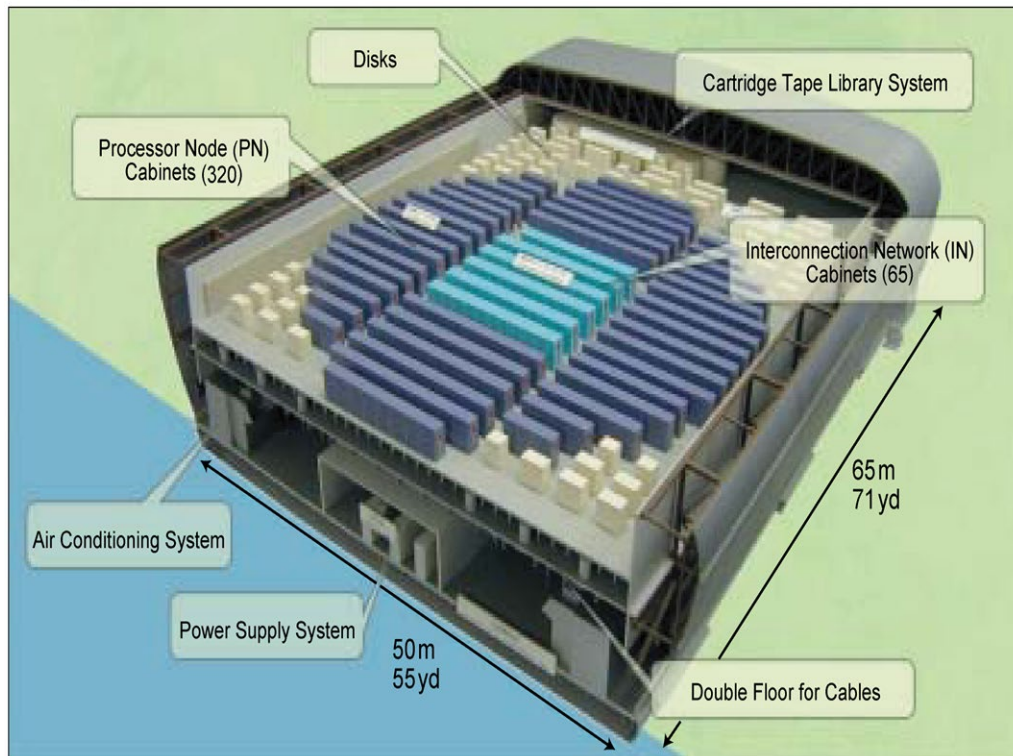
(Dr.Miyoshi: Passed away in Nov.2001. NWT, VPP500, SX6)



Mr. Hajime Miyoshi

Image of Earth Simulator

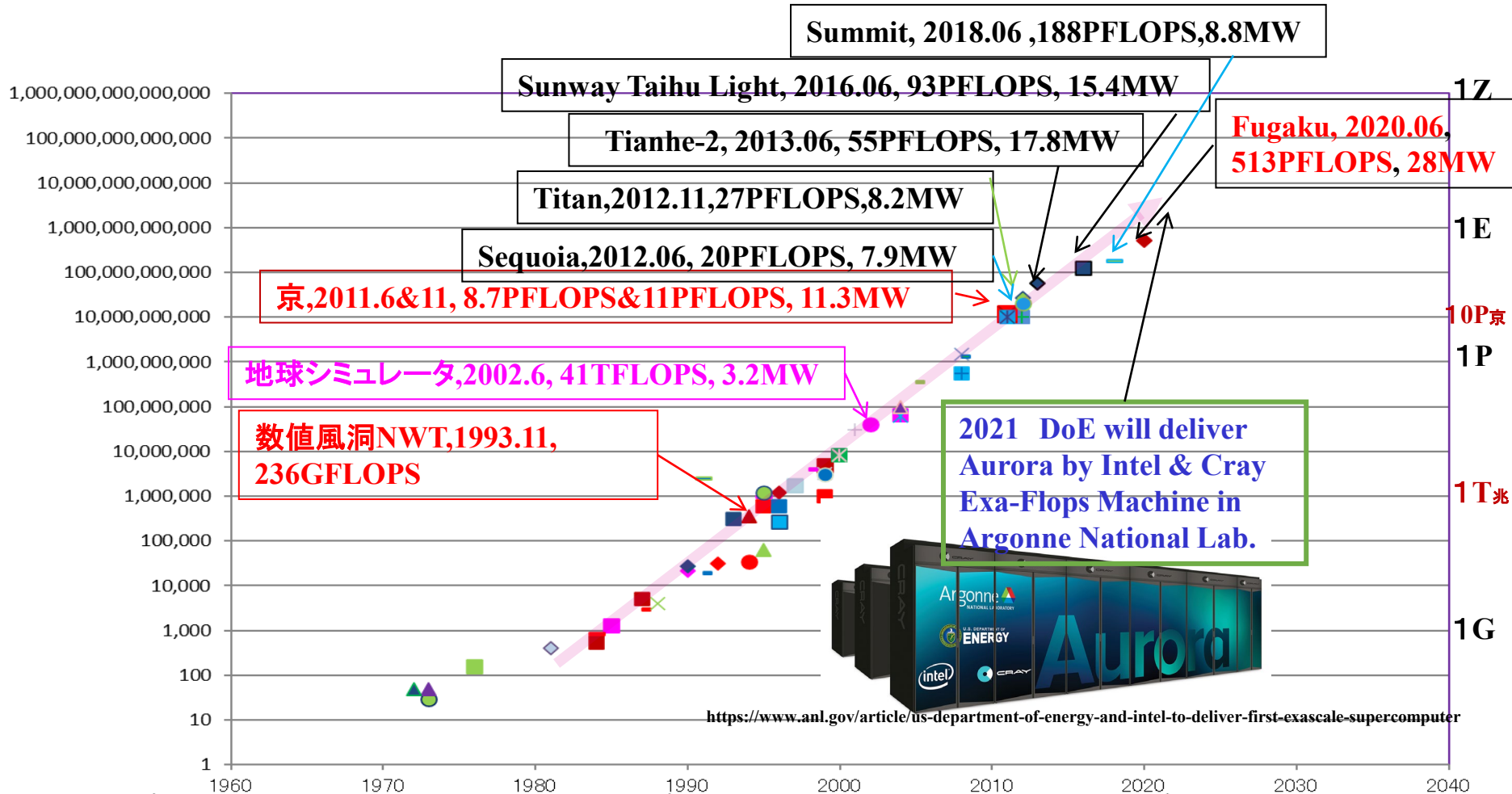
4 Tennis Courts



40 TFLOPS Peak ($40 \cdot 10^{12}$)
35.6 TFLOPS Linpack



Trend of Peak Performances of Supercomputers



- ◆ VPP700/512
- VP-2600
- SX-8/16GF*8PE*512
- ◆ SX-3/44
- SR8000
- SGI Pleiades
- ◆ S3800/480
- Origin 2000/128
- Japanese K superscomputer
- ◆ Tianhe-2, (MilkyWay-2)
- × IBM Roadrunner
- IBM BG/P
- ◆ CYBER205
- × CRAY Y-MP8
- VPP5000/9.6G*512
- VP-200
- ◆ SX-5/512(16*32)
- SX-2
- SR2201/2048
- S820/80
- RS/6000SP/512
- × NASA SGI Columbia/16160
- ◆ Japanese Fugaku
- Sunway TaihuLight
- IBM Blue Waters
- IBM BG/L(04_11_70.7TF)
- CRAY-1
- CRAY XT5 (Jaguar)
- ▲ VPP500/222
- TI-ASC
- ◆ SX-4/512
- ▲ STAR-100
- SP2/128
- S810/20
- PARAGON XP/S /4096
- ◆ Japanese Earth Simulator
- ◆ Cray XK7 Titan ORNL
- ▲ ILLIAC-IV
- IBM BG/Q Sequoia LLNL
- IBM Summit
- CRAY/T90
- CRAY T3E/2048

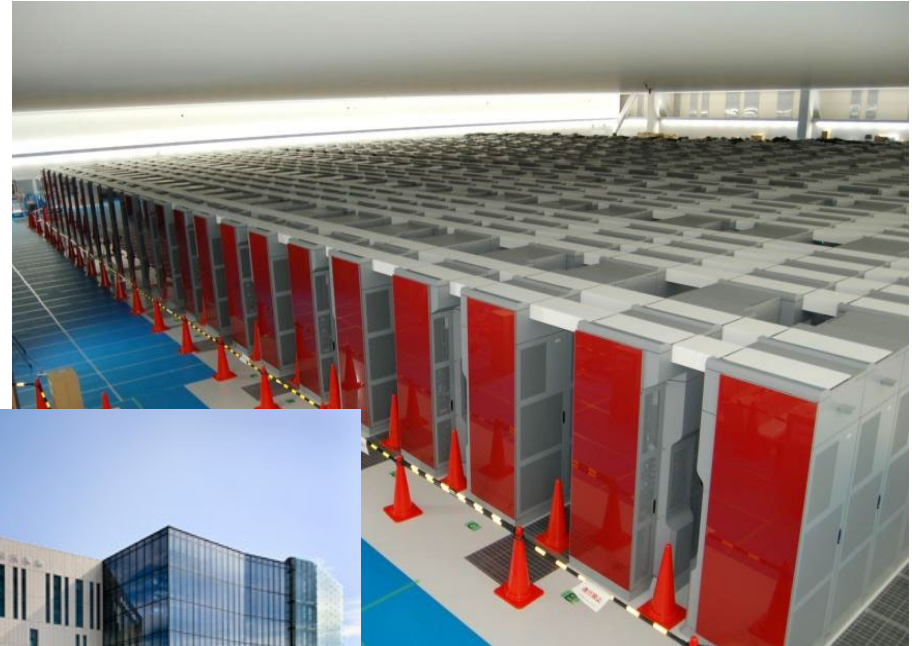
2011年6月20日第37回TOP500リスト「京」が第一位を獲得 ハンブルク開催のISC'11 (International Supercomputing Conference 2011)

「京」の搬入、調整過程(8割の筐体が設置完了)時点でLINPACK性能を計測

68,544個のCPU(ピーク性能
8.774PFLOPS:672ラック)を用い、
LINPACK性能 8.162PFLOPS(実行
効率 93.0%)を達成

2012年6月末: 目標10PFLOPS達成

2012年11月の共用開始



「京」2011.6.20

システム開発スケジュール

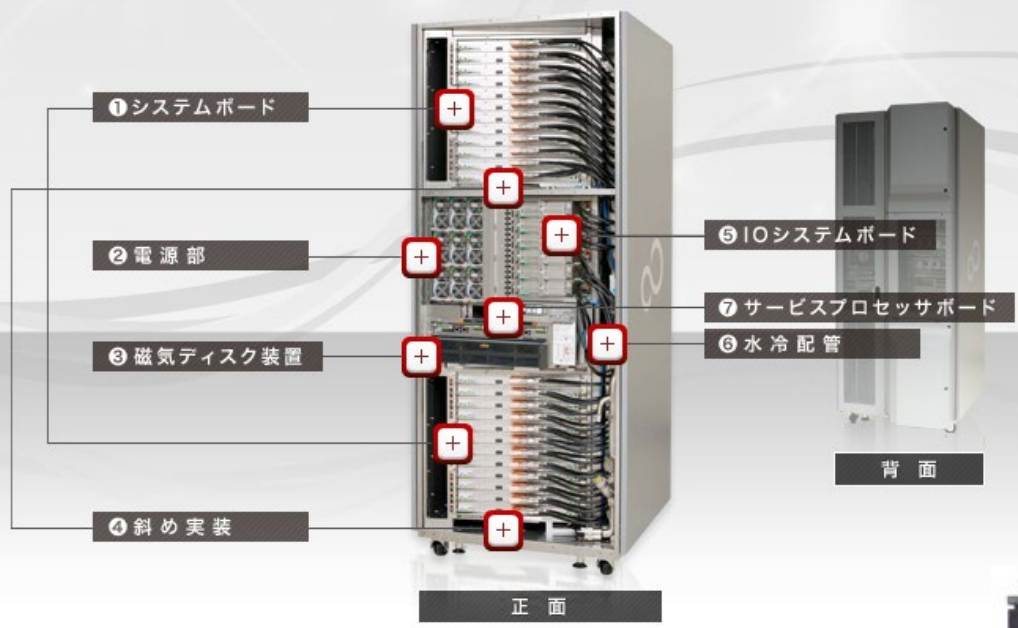
2006年度	2007年度	2008年度	2009年度	2010年度	2011年度	2012年度
概念設計	詳細設計		試作・評価	製造		性能チューニング

6月

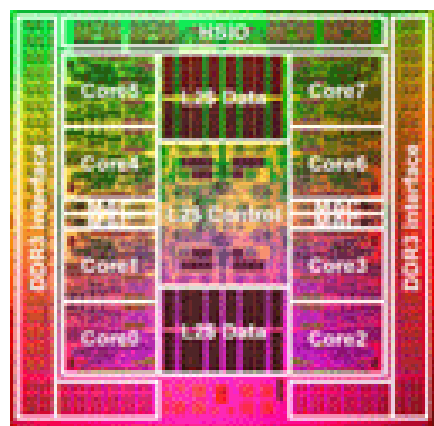
11月
(供用開始)

理化学研究所 神戸ポートアイランド 10PFLOPS 京のアーキテクチャ

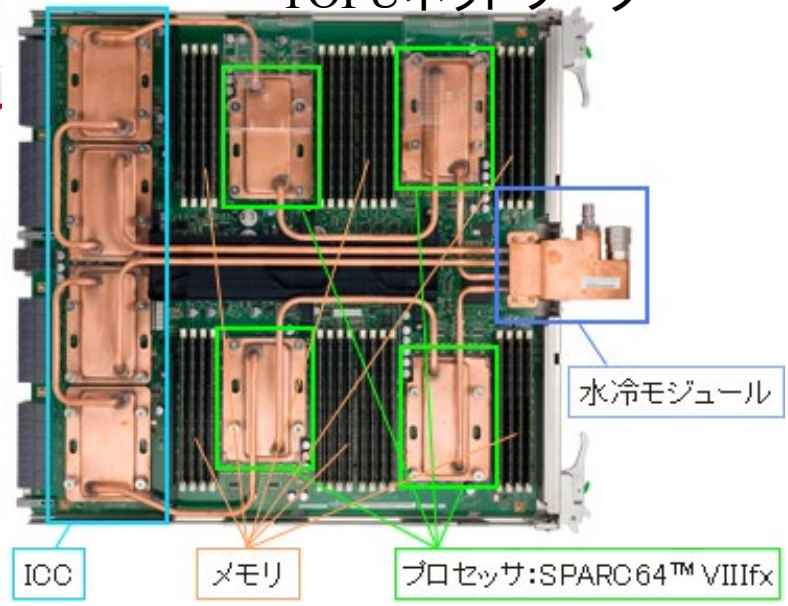
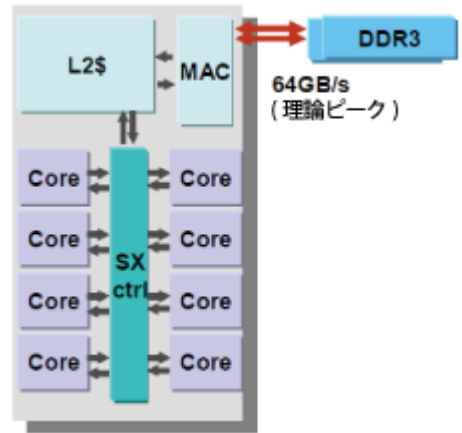
次世代スーパーコンピュータ(ラック)



6次元メッシュトールス(概念模型)
TOFUネットワーク



SPARC64™ VIIIfx
(提供:富士通(株))



METI/NEDO National Project

Multi-core for Real-time Consumer Electronics

<Goal> R&D of compiler cooperative multi-core processor technology for consumer electronics like Mobile phones, Games, DVD, Digital TV, Car navigation systems.

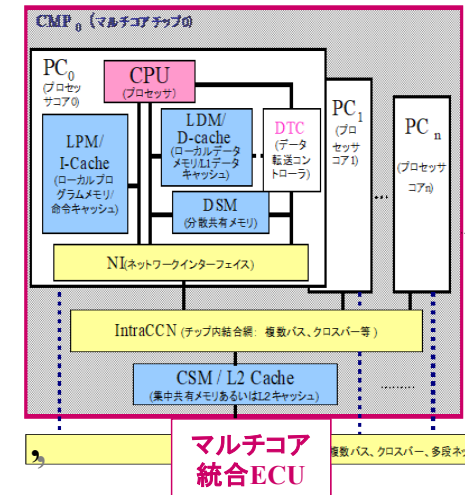
<Period> From July 2005 to March 2008

<Features> **▪ Good cost performance**

- Short hardware and software development periods
- Low power consumption
- Scalable performance improvement with the advancement of semiconductor
- Use of the same parallelizing compiler for multi-cores from different vendors using newly developed API

API: Application Programming Interface

(2005.7~2008.3)**



**新マルチコア
プロセッサ**

- 高性能
- 低消費電力
- 短HW/SW開発期間
- 各チップ間でアプリケーション共用可
- 高信頼性
- 半導体集積度と共に性能向上

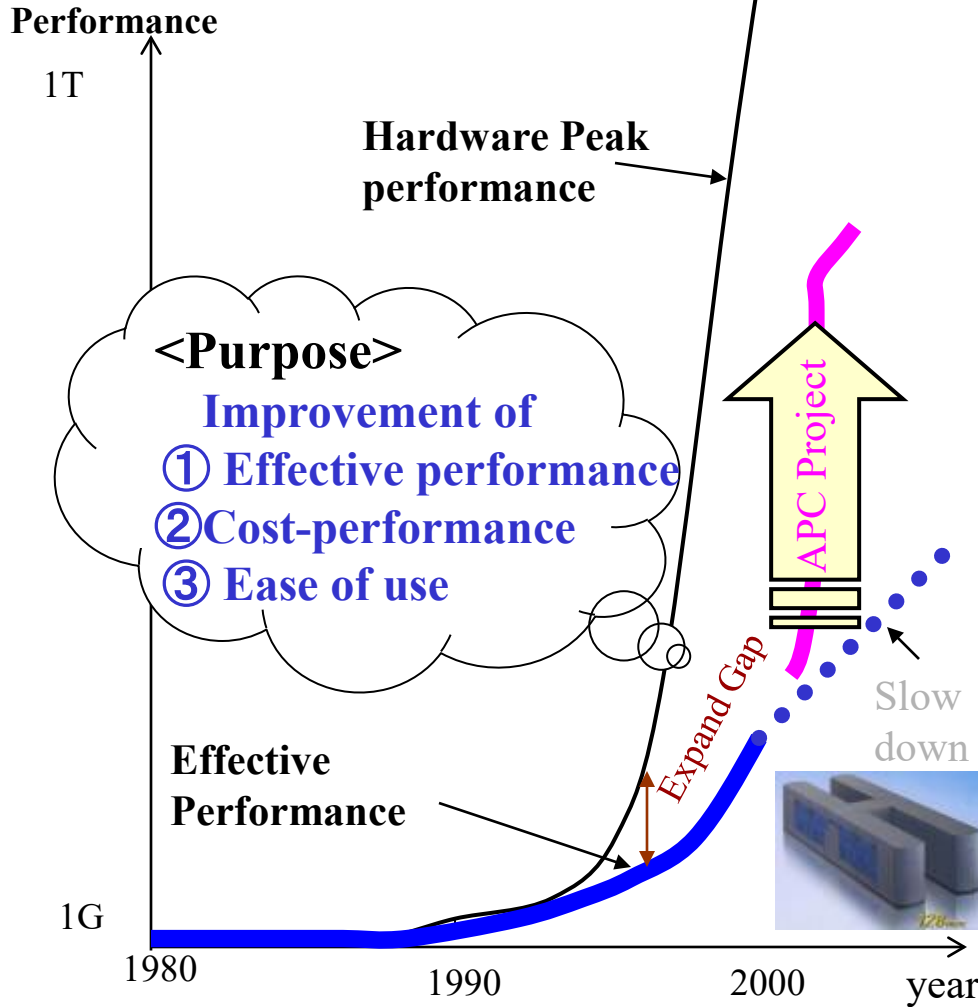
開発マルチコアチップは情報家電へ



**Hitachi, Renesas, Fujitsu,
Toshiba, Panasonic, NEC

METI/NEDO Advanced Parallelizing Compiler Technology Project

Millenium Project IT21 2000.9.8 –2003.3.31
Waseda Univ., Fujitsu, Hitachi, AIST



Theoretical maximum performance vs. Effective performance of HPC

Background and Problems

- ① Adoption of parallel processing as a core technology on PC to HPC
- ② Increase of importance of software on IT
- ③ Need for improvement of cost-performance and usability

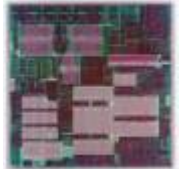
Contents of Research and Development

- ① R & D of advanced parallelizing compiler
Multigrain, Data localization, Overhead hiding
- ② R & D of Performance evaluation technology for parallelizing compilers

Goal: Double the effective performance

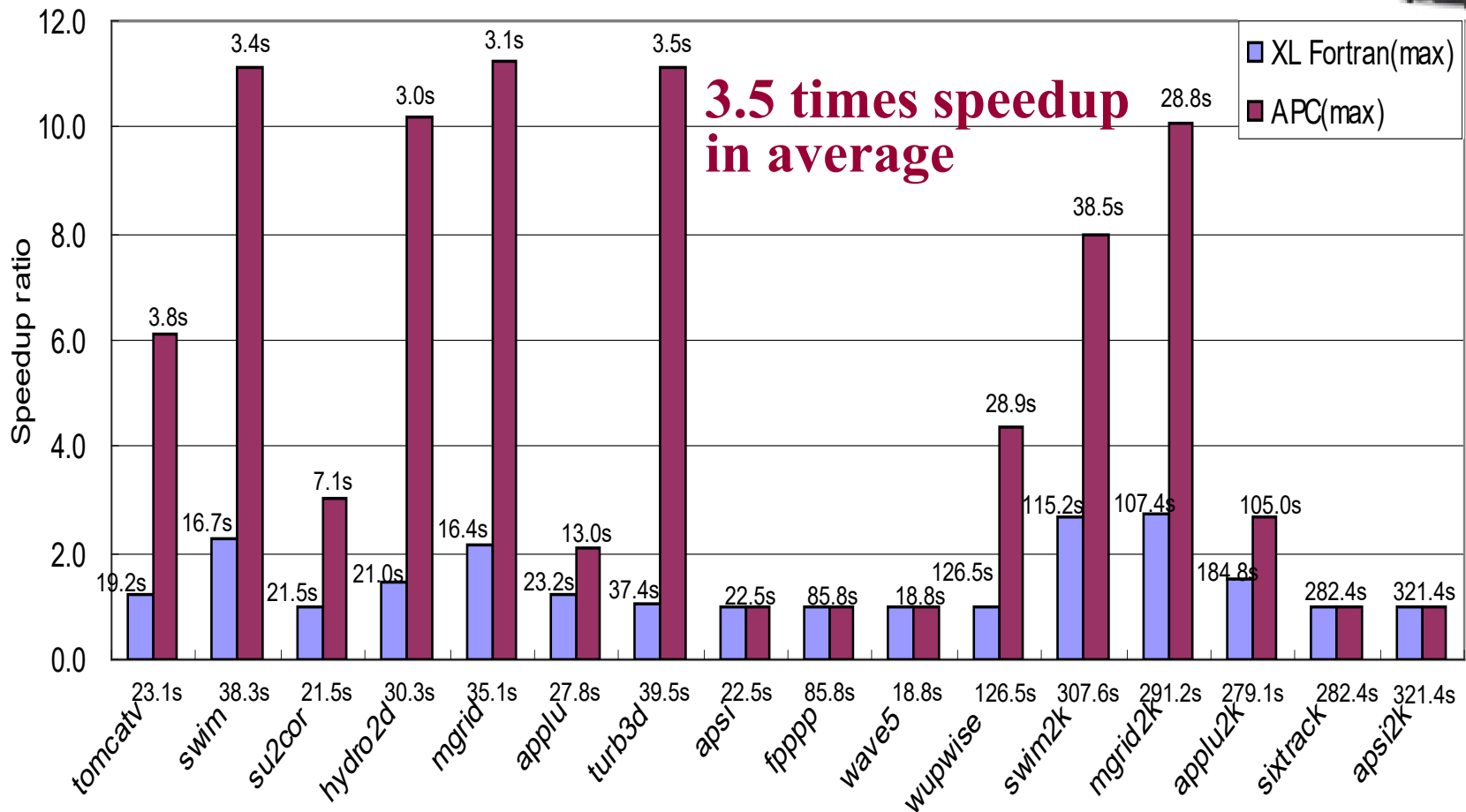
Ripple Effect

- ① Development of competitive next generation PC and HPC
- ② Putting the innovative automatic parallelizing compiler technology to practical use
- ③ Development and market acquisition of future single-chip multiprocessors
- ④ Boosting R&D in the following many fields:
IT, Bio-tech., Device, Earth environment, Next-generation VLSI design, Financial engineering, Weather forecast, New clean energy, Space development, Automobile, Electric Commerce, etc

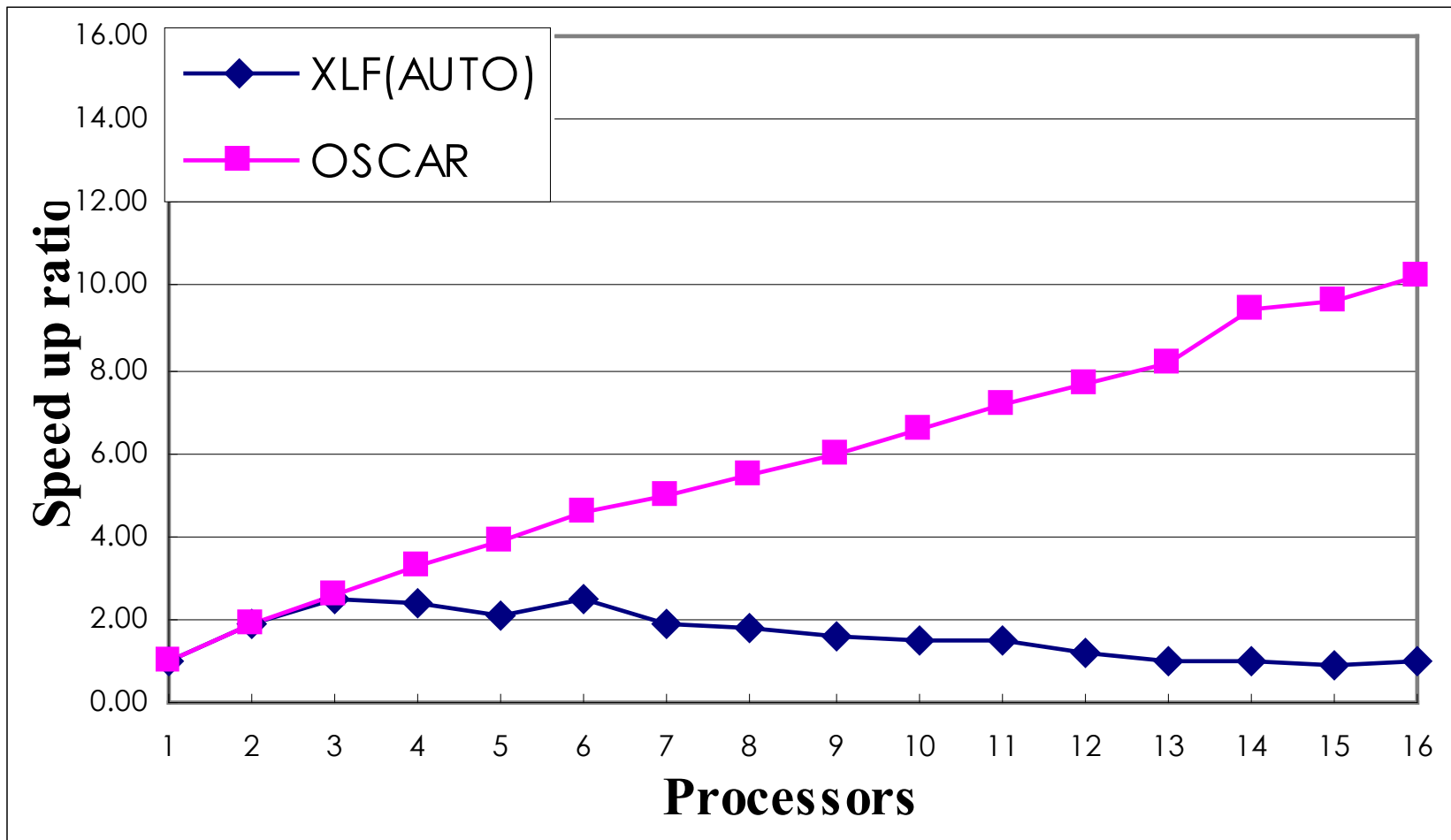


Performance of APC Compiler on IBM pSeries690 16 Processors High-end Server

- IBM XL Fortran for AIX Version 8.1
 - Sequential execution : -O5 -qarch=pwr4
 - Automatic loop parallelization : -O5 -qsmp=auto -qarch=pwr4
 - OSCAR compiler : -O5 -qsmp=noauto -qarch=pwr4 (su2cor: -O4 -qstrict)

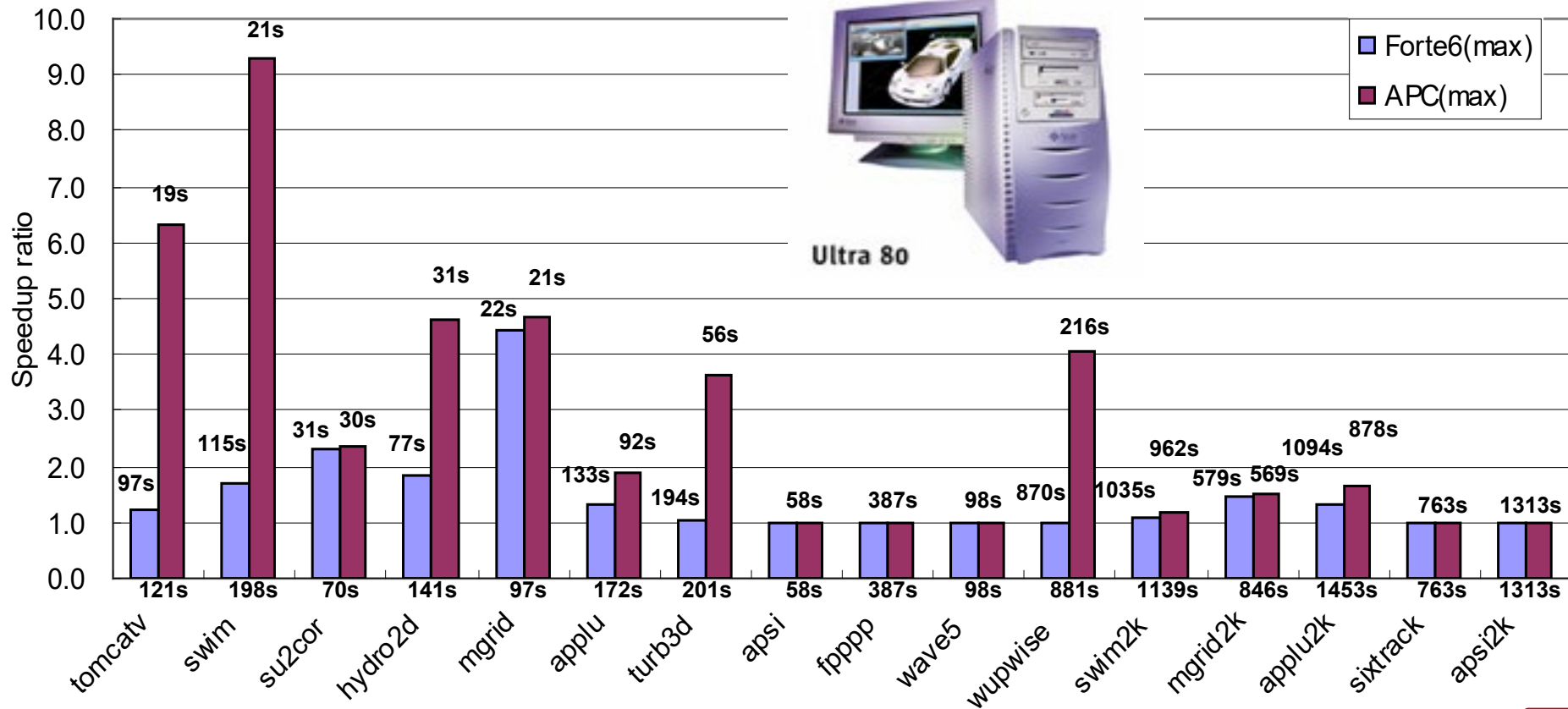


Performance of Multigrain Parallel Processing for 102.swim on IBM pSeries690



Performance of APC Compiler on Sun Ultra80 4 Processor Workstation

- Sun Forte Developer 6 Update 2
 - Sequential execution : -fast
 - Automatic loop parallelization : -fast -autopar -reduction -stackvar
 - OSCAR compiler : -fast -explicitpar -mp=openmp -stackvar



Roadmap of compiler cooperative multicore project



■ Millennium Project IT21
NEDO Advanced
Parallelizing Compiler
(Waseda Univ. Fujitsu, Hitachi,
JIPDEC, AIST)



■ STARC Compiler Cooperative
Chip Multiprocessor
(Waseda Univ., Fujitsu, NEC,
Toshiba, Panasonic, Sony)



STARC:
Semiconductor
Technology Academic
Research Center
Fujitsu, Toshiba, NEC,
Renesas, Panasonic,
Sony etc.

■ NEDO (2004.07-2007.06)
Heterogeneous Multiprocessor
(Waseda Univ., Hitachi)



■ NEDO (2005.06-2008.03)
Multicore Technology for
Realtime Consumer Electronics



■ Waseda Univ., Hitachi, Renesas,
Fujitsu, NEC, Toshiba, Panasonic
➤ Power Saving Multicore Architecture,
Parallelizing Compiler, API

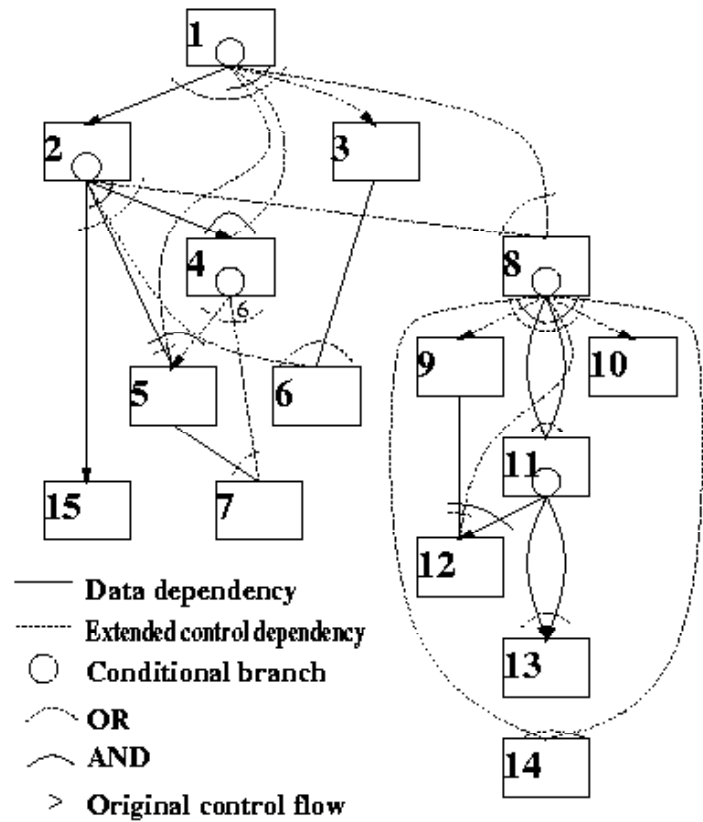
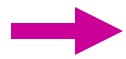
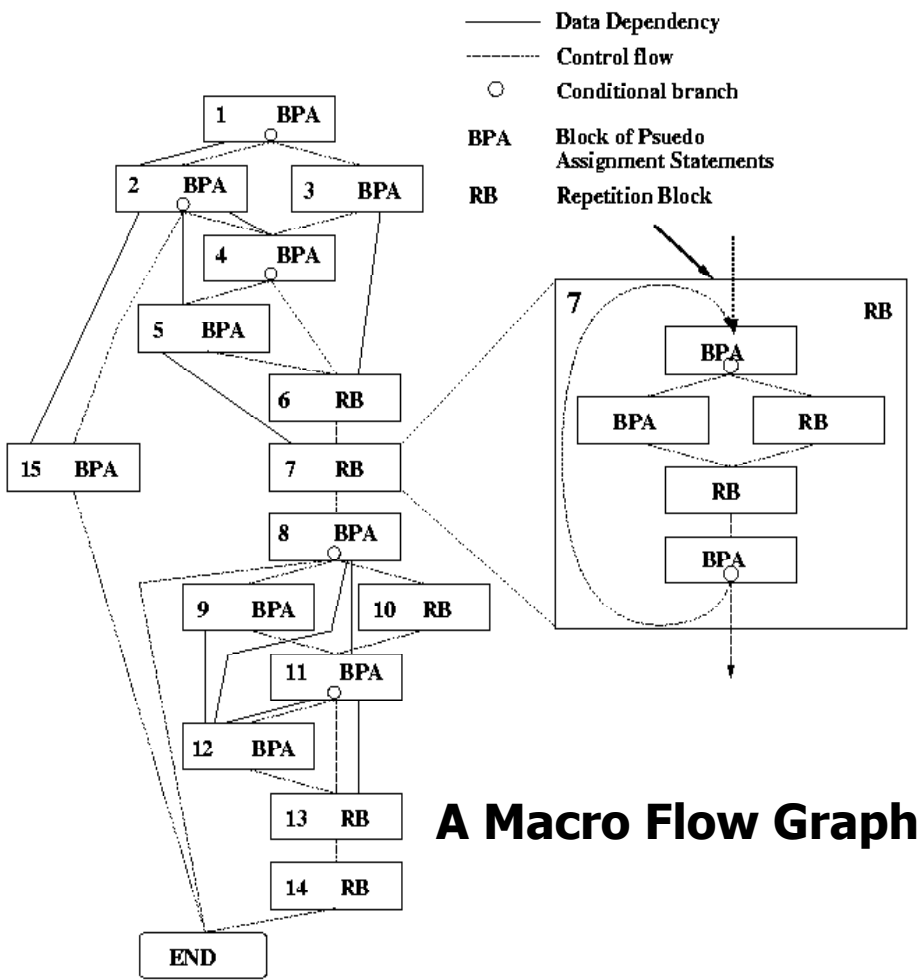
Waseda Univ., Hitachi, Renesas,

■ NEDO (2007.02-2010.03)
Heterogeneous Multicore for
Consumer Electronics Waseda Univ.,
Hitachi, Renesas, Tokyo Inst, of Tech.



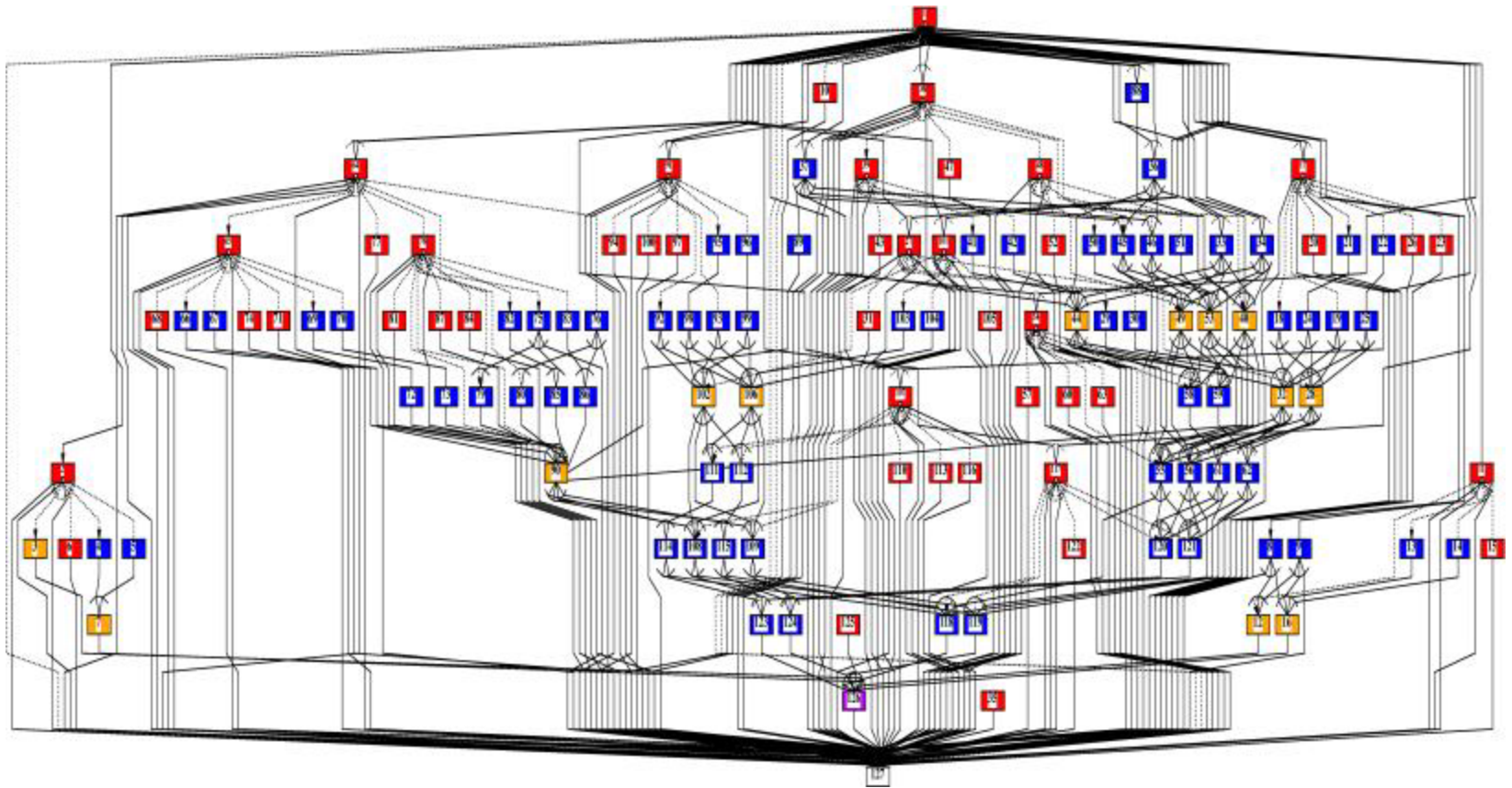
Mar. Oct. Mar. Mar.

Earliest Executable Condition Analysis for coarse grain tasks (Macro-tasks)



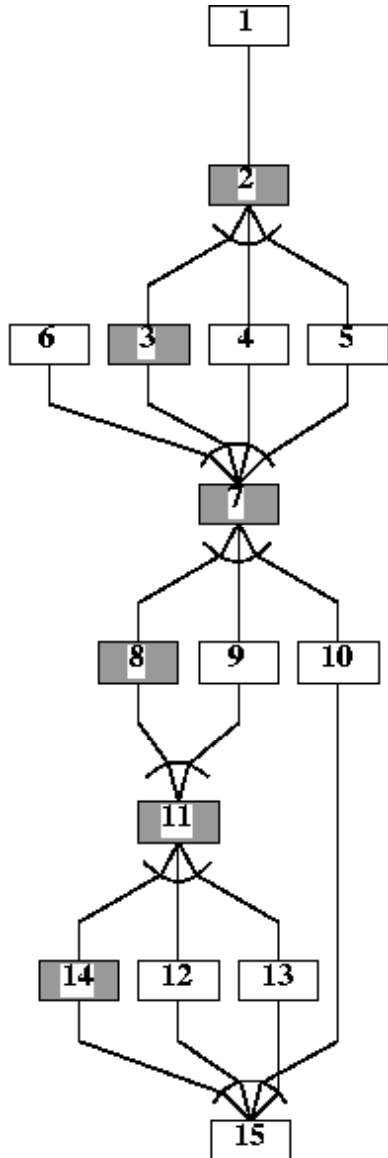
MTG of Su2cor-LOOPS-DO400

- Coarse grain parallelism $PARA_ALD = 4.3$

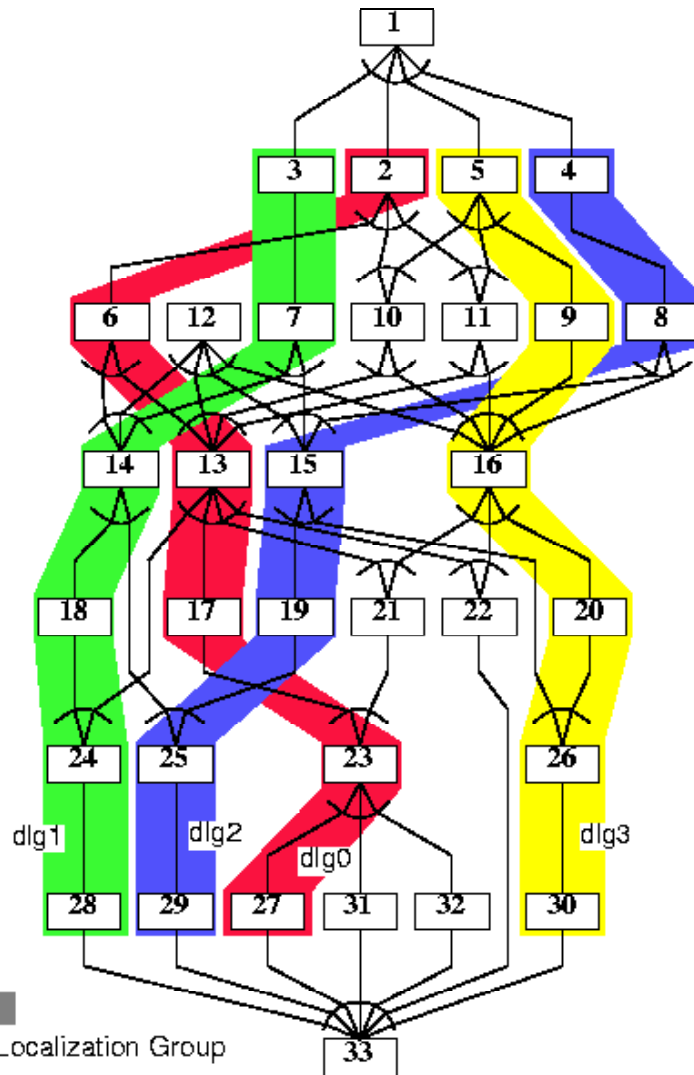


■ DOALL ■ Sequential LOOP ■ SB ■ BB

Data Localization



MTG

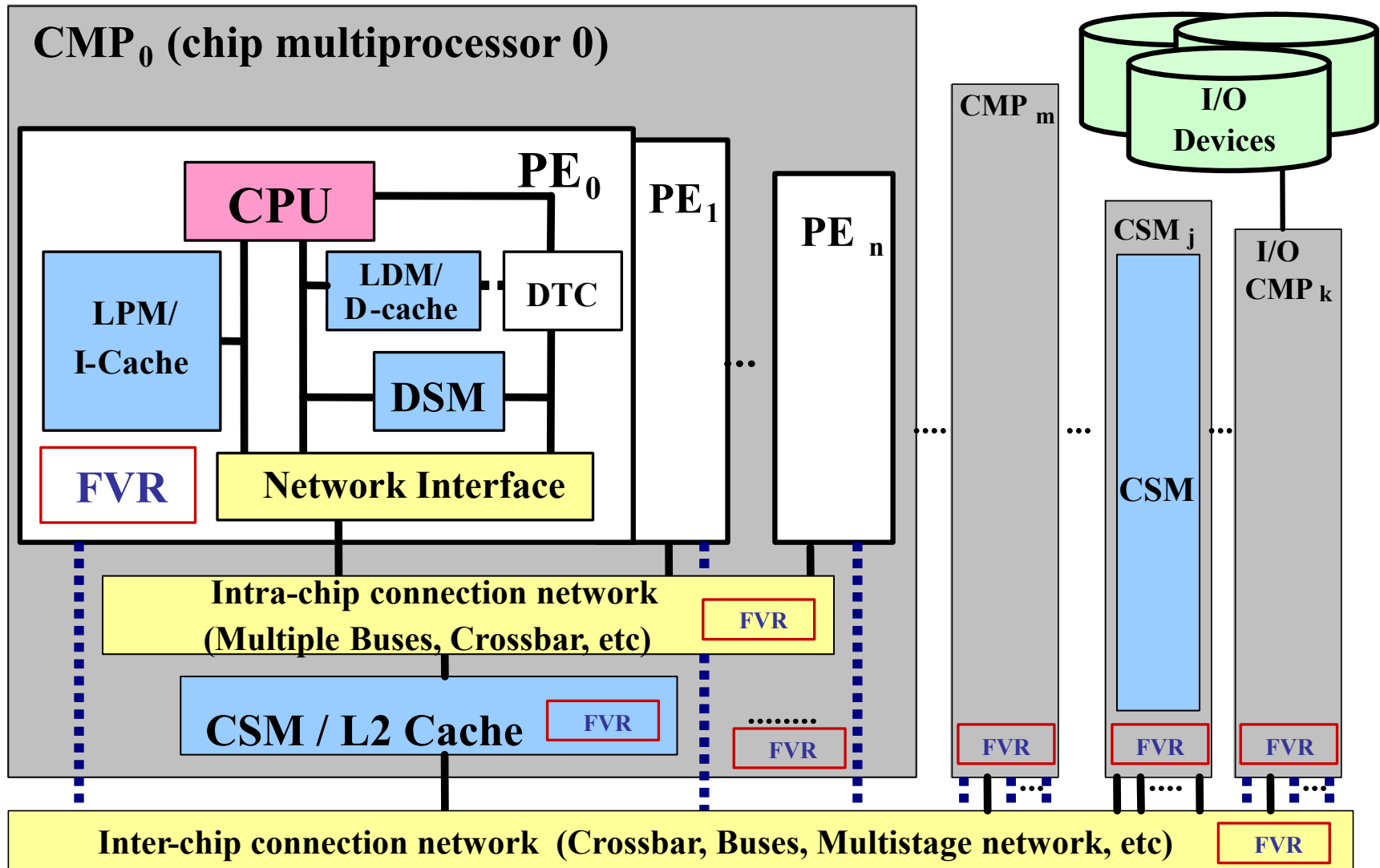


MTG after Division

PE0	PE1
12	1
2	3
6	7
4	14
8	18
15	5
19	9
25	11
29	10
13	16
17	20
22	26
21	30
23	24
27	28
	32
	31

A schedule for two processors

OSCAR Multi-Core Architecture



CSM: central shared mem.

DSM: distributed shared mem.

DTC: Data Transfer Controller

LDM : local data mem.

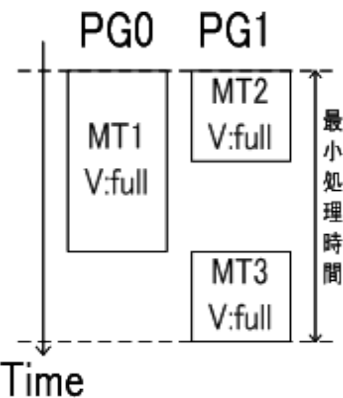
LPM : local program mem.

FVR: frequency / voltage control register

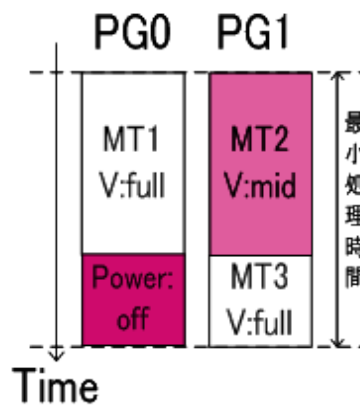
Power Reduction by Power Supply, Clock Frequency and Voltage Control by OSCAR Compiler

- Shortest execution time mode

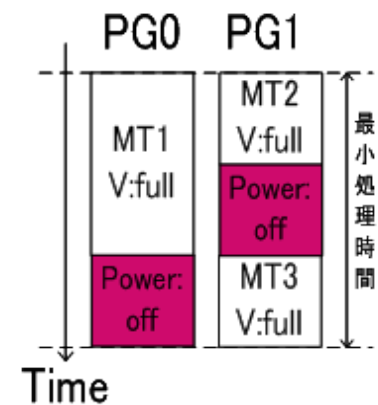
Ordinary scheduled results



FV control

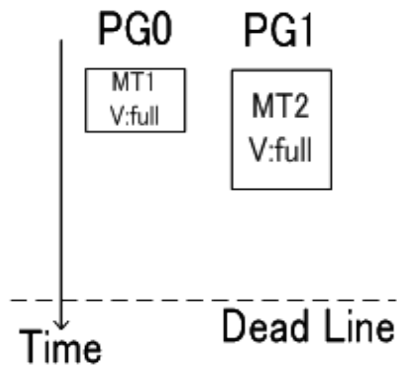


Power control

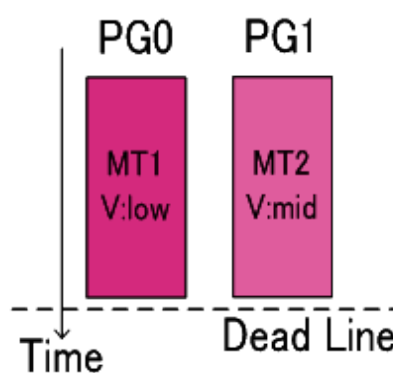


- Realtime processing mode with dead line constraints

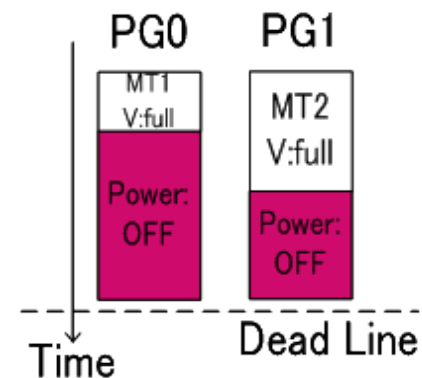
Ordinary scheduled results



FV control



Power control



Multicore Program Development Using OSCAR API V2.0

Sequential Application Program in Fortran or C

(Consumer Electronics, Automobiles, Medical, Scientific computation, etc.)

OSCAR API for Homogeneous and/or Heterogeneous Multicores and manycores

Directives for thread generation, memory, data transfer using DMA, power managements

Generation of parallel machine codes using sequential compilers

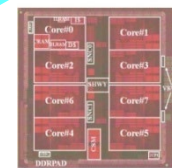
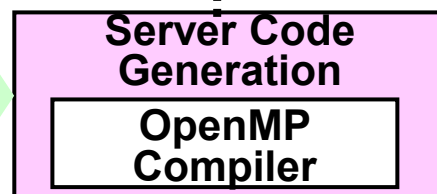
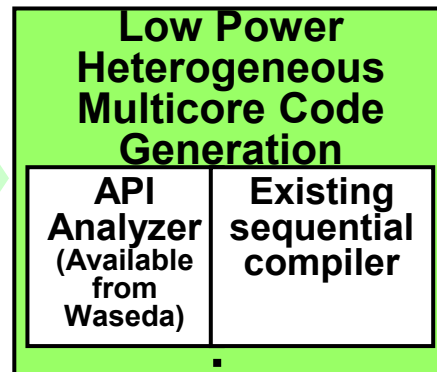
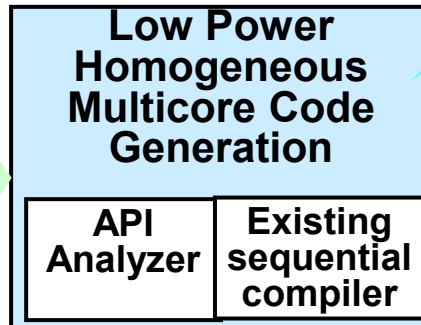
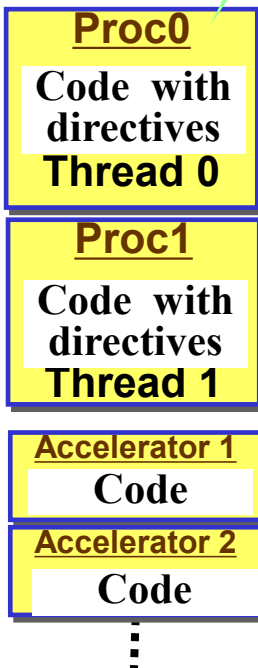
Homogeneous

Hetero

Manual parallelization / power reduction

Accelerator Compiler/ User
Add "hint" directives before a loop or a function to specify it is executable by the accelerator with how many clocks

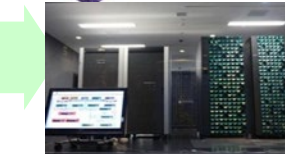
Parallelized API F or C program



Homogeneous Multicores from Vendor A (SMP servers)



Heterogeneous Multicores from Vendor B



Shred memory servers

Executable on various multicores

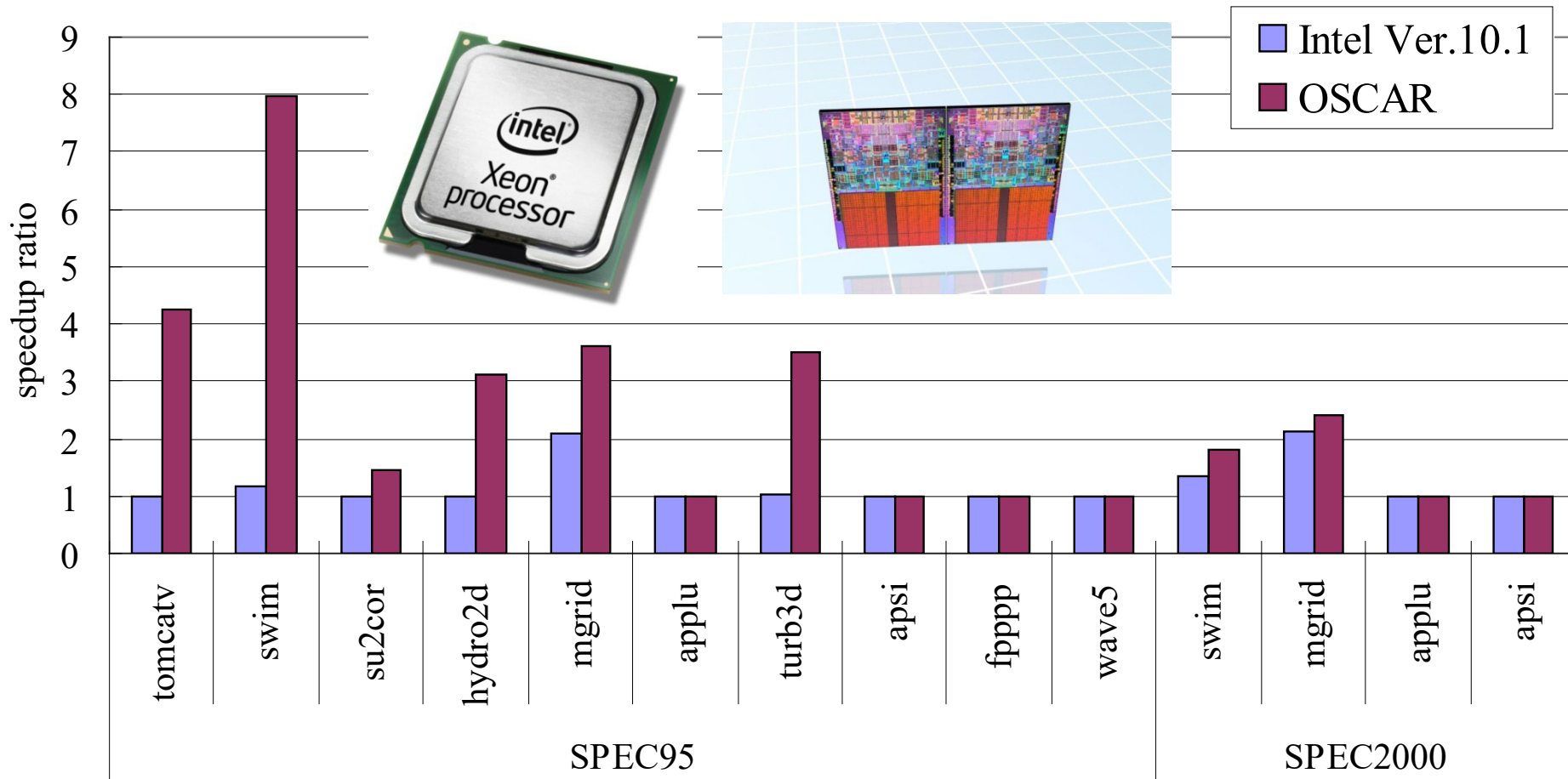
Waseda OSCAR Parallelizing Compiler

- Coarse grain task parallelization
- Data Localization
- DMAC data transfer
- Power reduction using DVFS, Clock/ Power gating

Hitachi, Renesas, NEC, Fujitsu, Toshiba, Denso, Olympus, Mitsubishi, Esol, Cats, Gaio, 3 univ.

OSCAR: Optimally Scheduled Advanced Multiprocessor
API : Application Program Interface

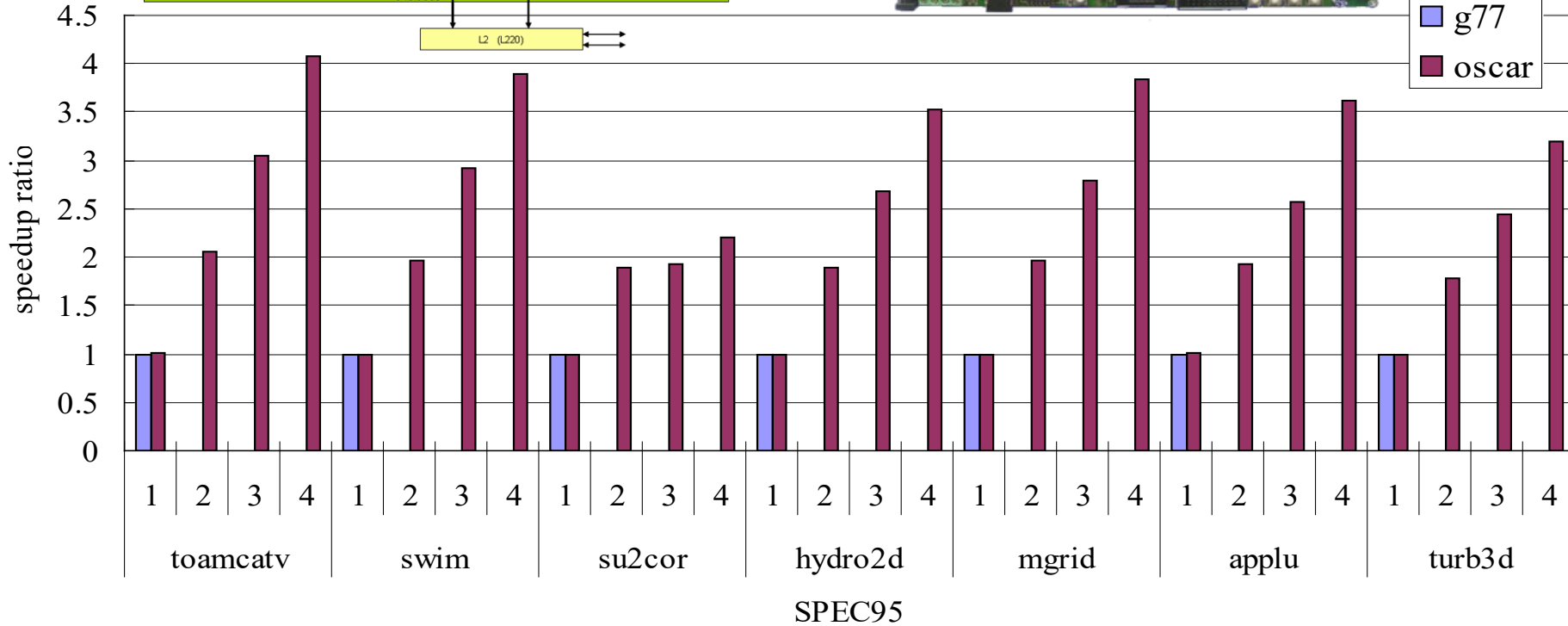
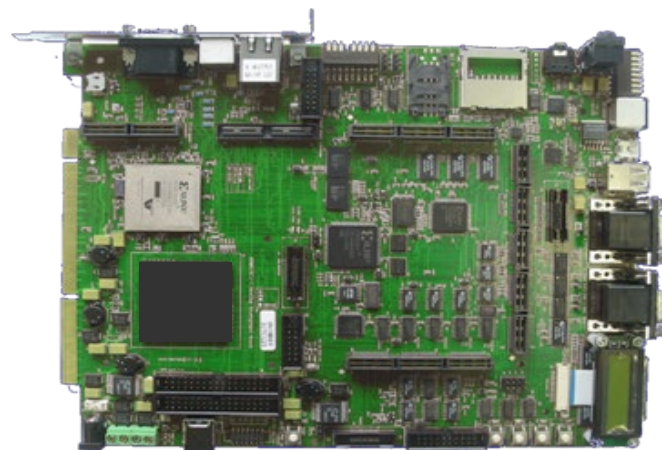
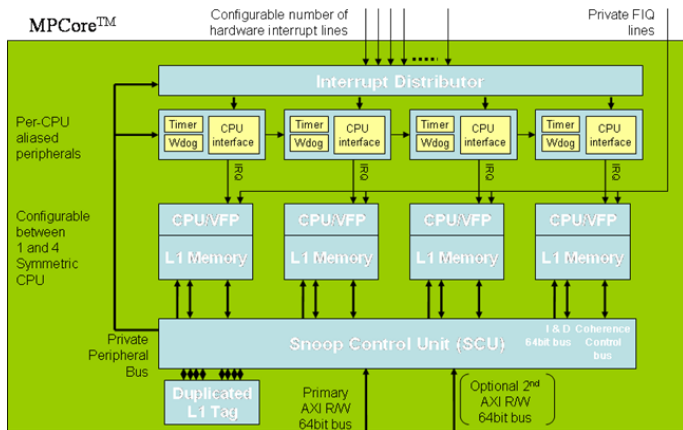
Performance of OSCAR Compiler Using the Multicore API on Intel Quad-core Xeon



- **OSCAR Compiler gives us 2.09 times speedup on the average against Intel Compiler ver.10.1**

NEC/ARM MPCore Embedded 4 core SMP

ARM and NEC Collaboration

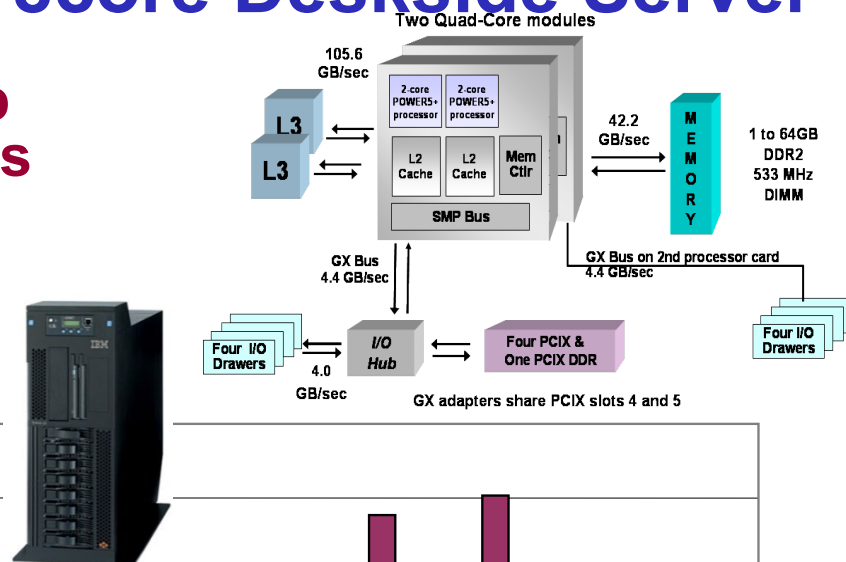
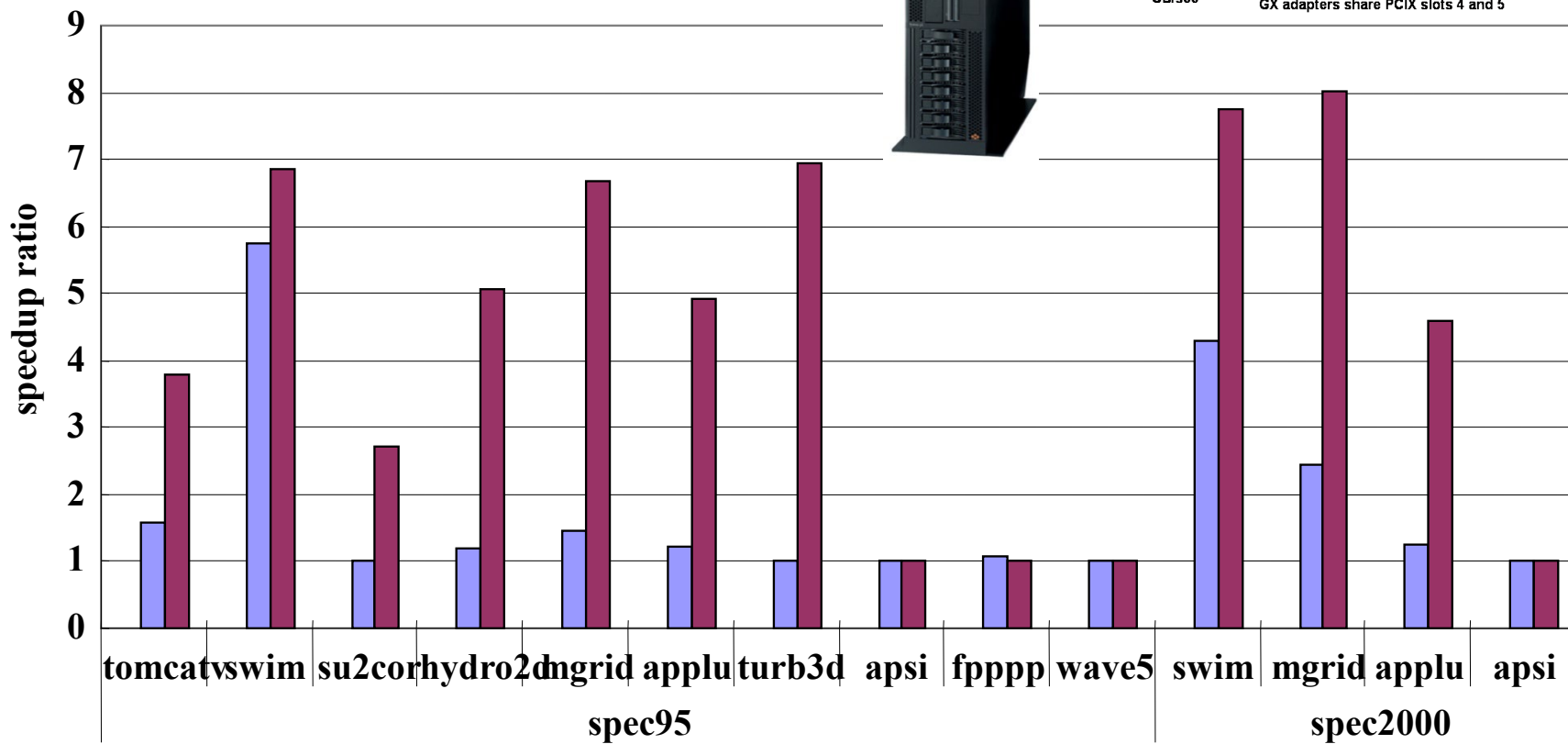


3.48 times speedup by OSCAR compiler against sequential processing

Performance OSCAR Multigrain Parallelizing Compiler on a IBM p550q 8core Deskside Server

■ **2.7 times speedup against loop parallelizing compiler on 8 cores**

■ **Loop parallelization**
 ■ **Multigrain parallelization**

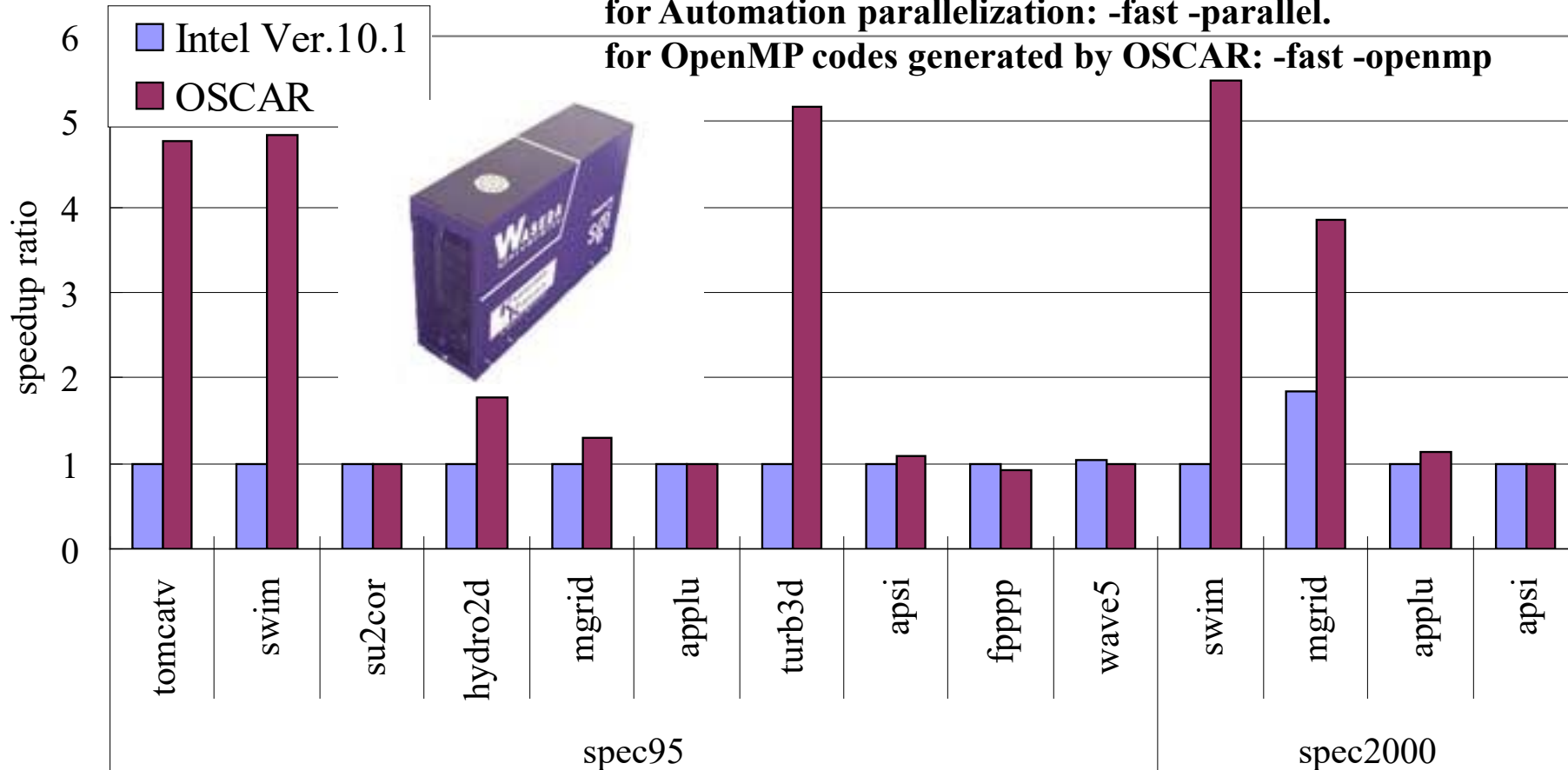


Performance of OSCAR compiler on 16 cores SGI Altix 450 Montvale server

Compiler options for the Intel Compiler:

for Automation parallelization: `-fast -parallel`.

for OpenMP codes generated by OSCAR: `-fast -openmp`

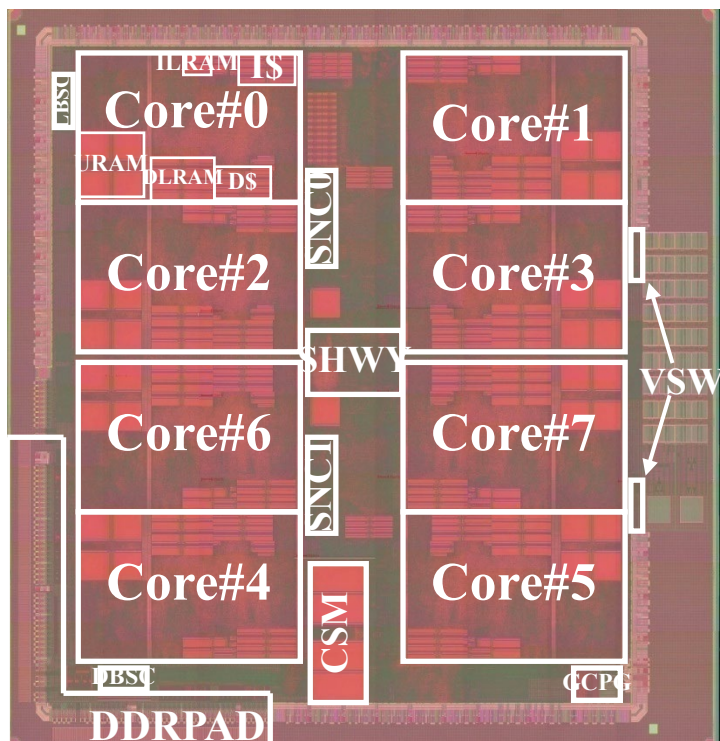


- **OSCAR compiler gave us 2.32 times speedup against Intel Fortran Itanium Compiler revision 10.1**

ムーアの法則の終焉

ムーアの法則(Moore's law): インテル創業者の一人であるゴードン・ムーア (Gordon E. Moore: IEEE Computer Pioneer Award)が、1965年の論文で提唱した「半導体の集積率は18か月で2倍になる」という経験則。

コンピュータの高性能化と低消費電力化にはマルチコアが必須



IEEE ISSCC08: Paper No. 4.5,
M.ITO, ... and H. Kasahara,
“An 8640 MIPS SoC with
Independent Power-off Control of 8
CPUs and 8 RAMs by an Automatic
Parallelizing Compiler”

$$\text{Power} \propto \text{Frequency} * \text{Voltage}^2$$

➔ (Voltage \propto Frequency)

$$\text{Power} \propto \text{Frequency}^3$$

周波数 Frequency を 1/4 にすると
(Ex. 4GHz→1GHz),

消費電力は 1/64 に削減

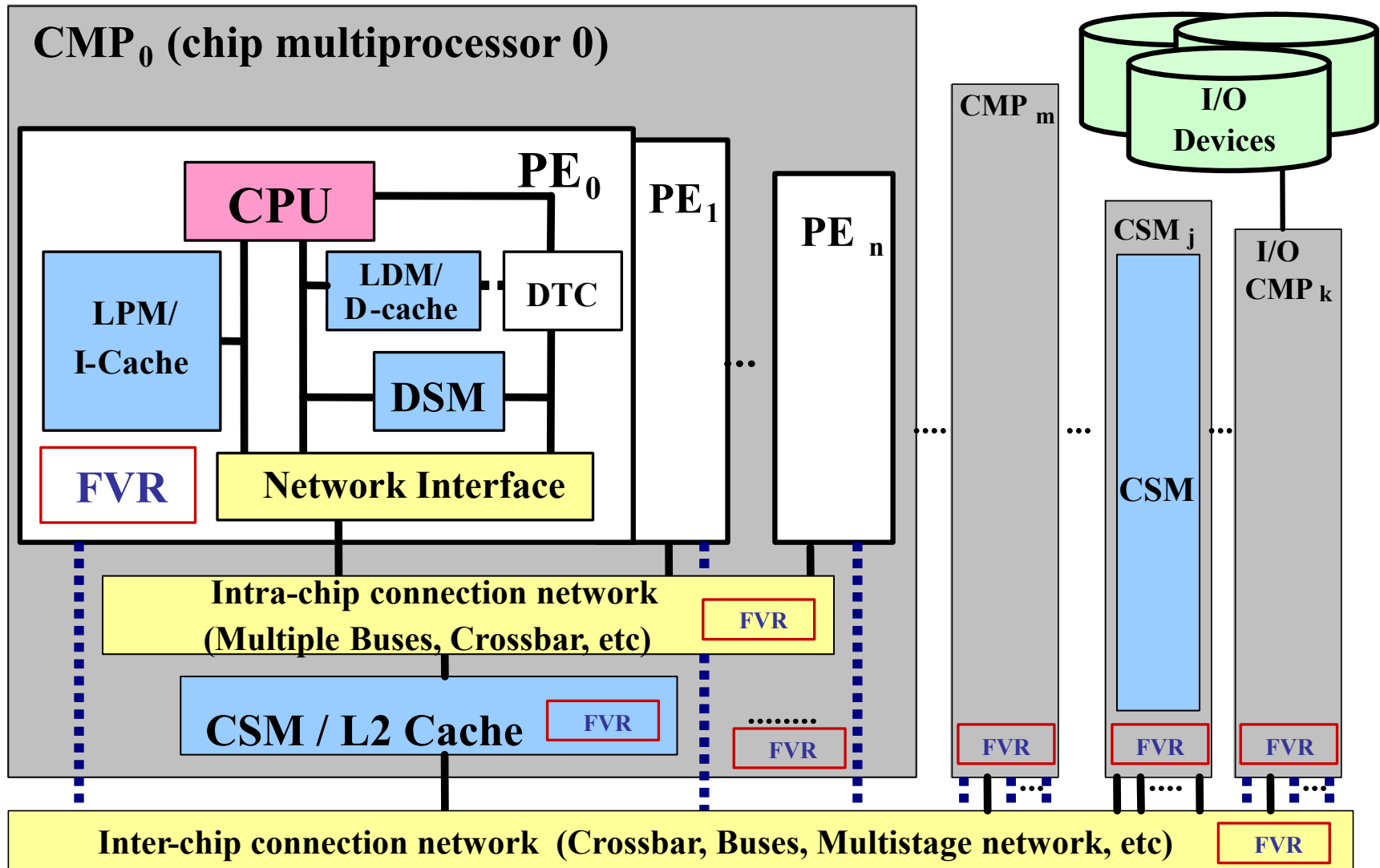
性能は 1/4 に低下 .

<マルチコア>

8cores をチップに集積すると,

電力は 依然 1/8 で 性能 は 2倍向上

OSCAR Multi-Core Architecture



CSM: central shared mem.

DSM: distributed shared mem.

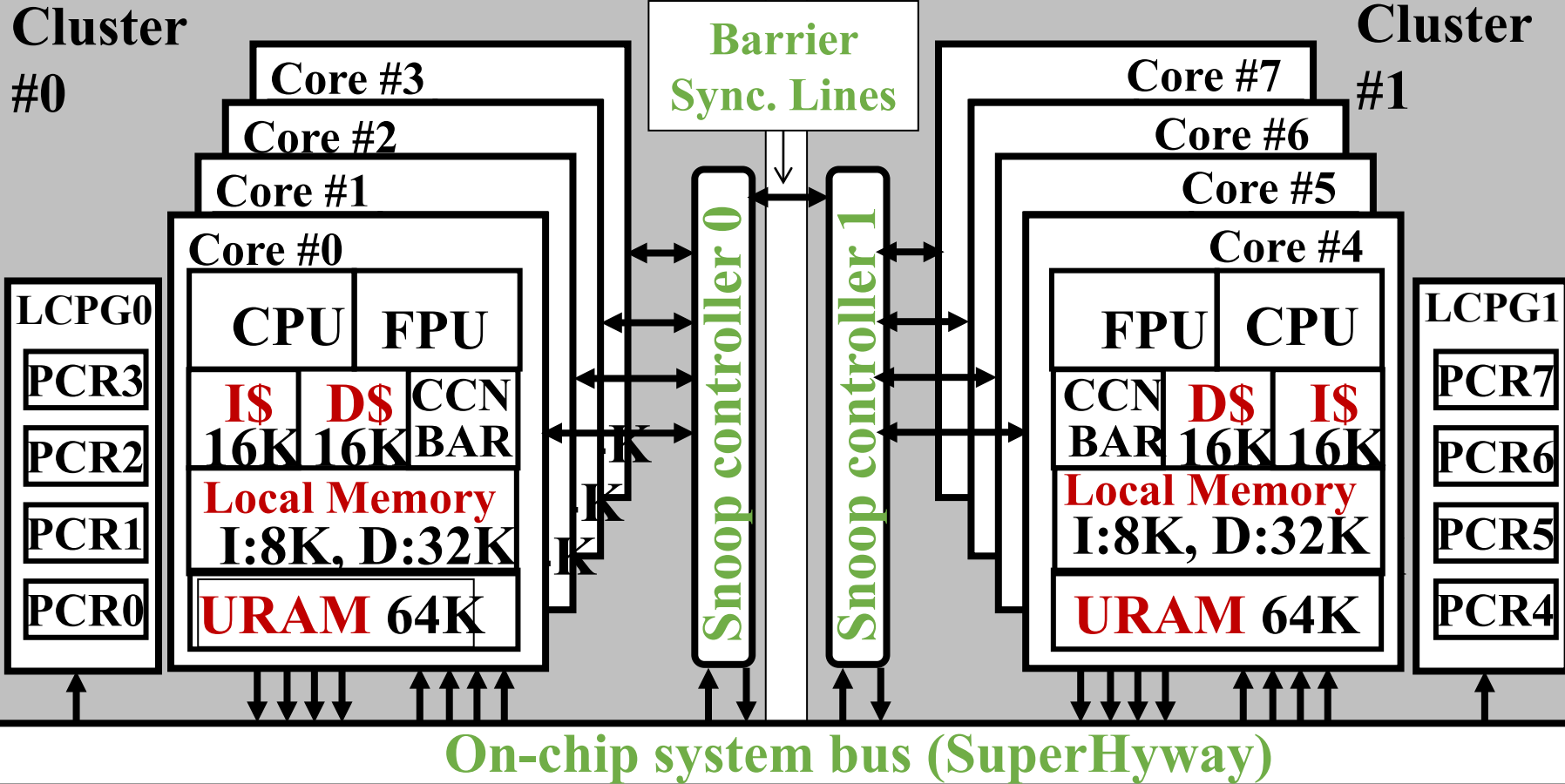
DTC: Data Transfer Controller

LDM : local data mem.

LPM : local program mem.

FVR: frequency / voltage control register

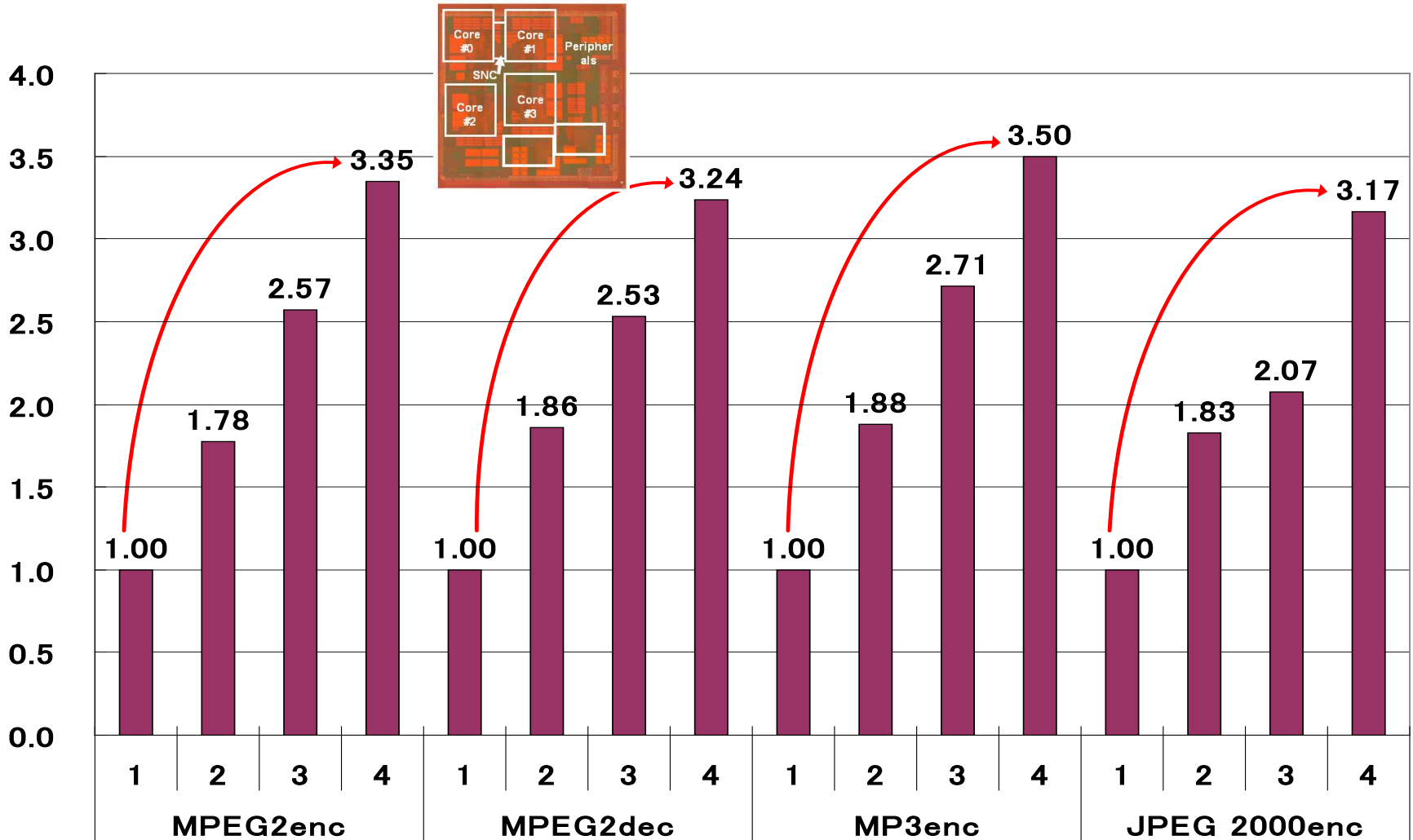
8 Core RP2 Chip Block Diagram



DDR2 control (Off-chip Shared Memory)
SRAM control (On-chip Shared Memory)
DMA control

LCPG: Local clock pulse generator
PCR: Power Control Register
CCN/BAR: Cache controller/Barrier Register
URAM: User RAM (**Distributed Shared Memory**)

Performance of OSCAR Compiler Using the Developed API on 4 core (SH4A) OSCAR Type Multicore

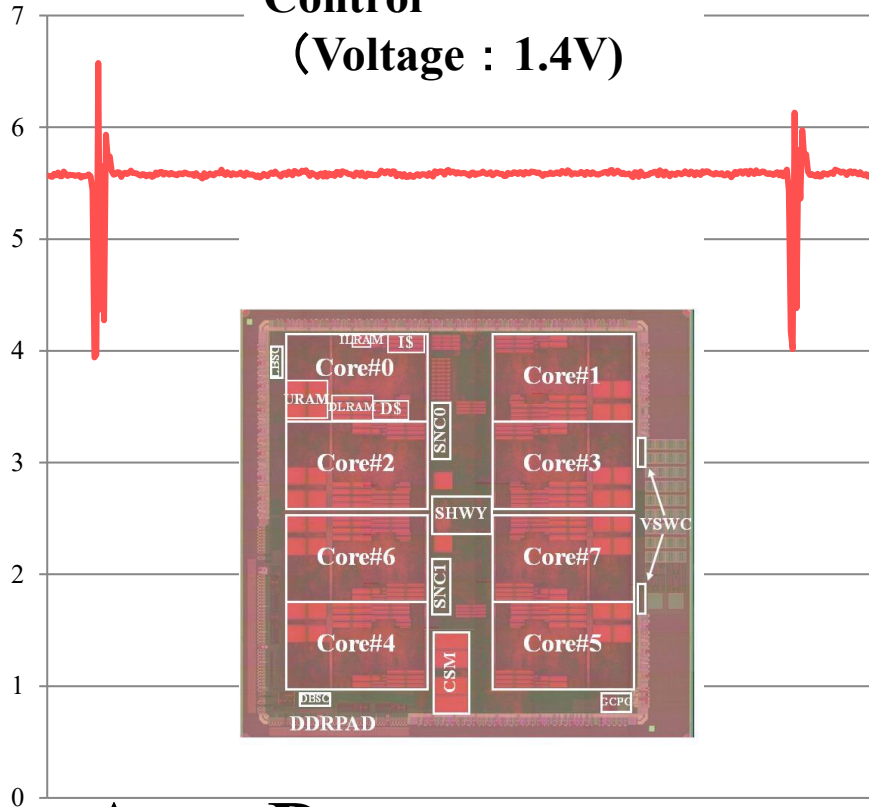


3.31 times speedup on the average for 4cores against 1core

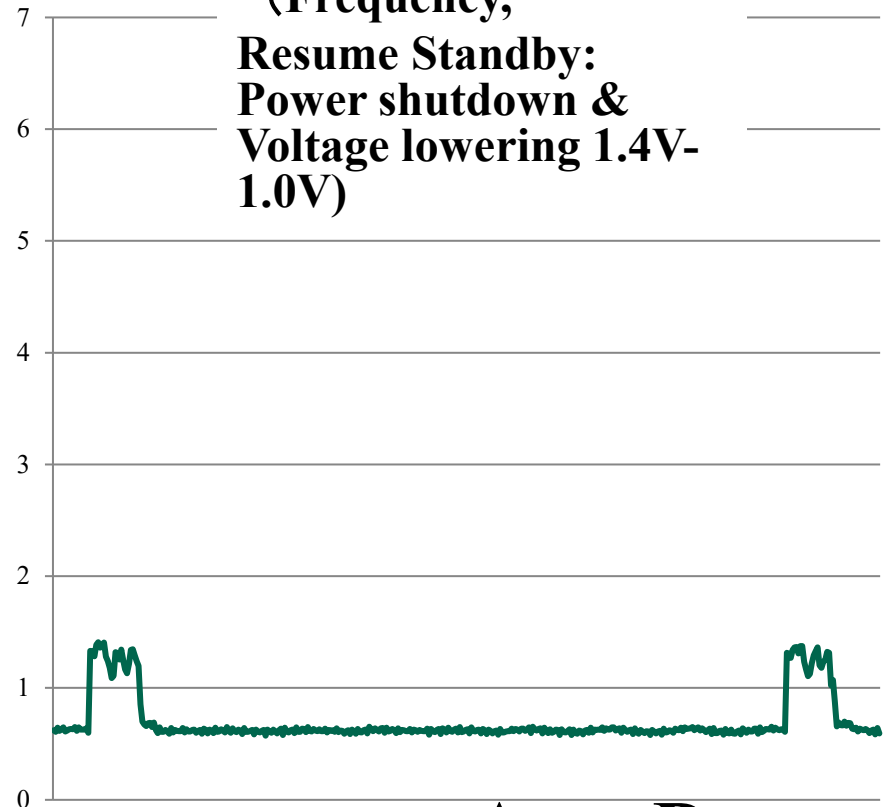
Power Reduction by OSCAR Parallelizing Compiler for Secure Audio Encoding

AAC Encoding + AES Encryption with 8 CPU cores

Without Power Control
(Voltage : 1.4V)



With Power Control
(Frequency,
Resume Standby:
Power shutdown &
Voltage lowering 1.4V-
1.0V)



Avg. Power 5.68 [W] **88.3% Power Reduction** **Avg. Power 0.67 [W]**

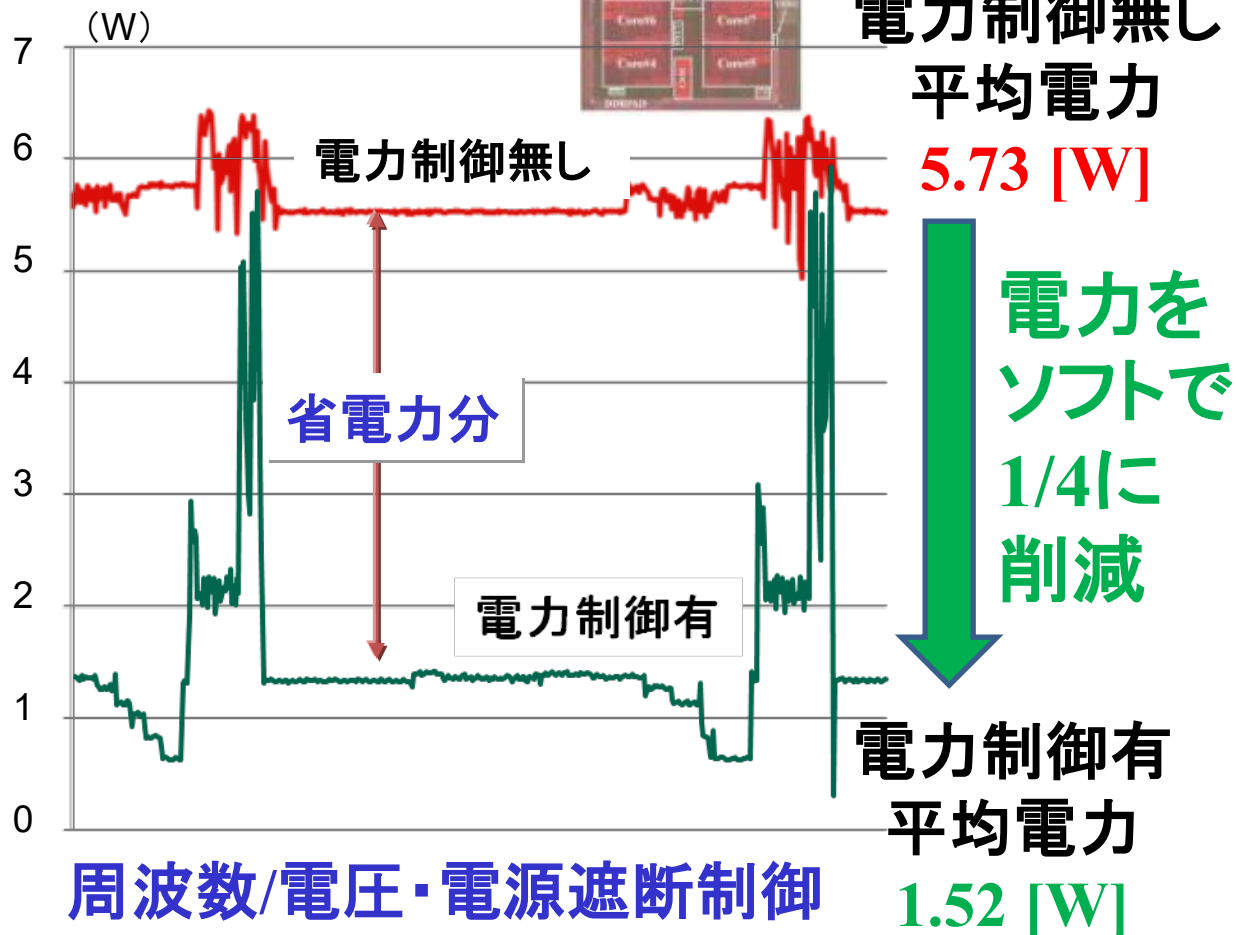


太陽光電力で動作する情報機器

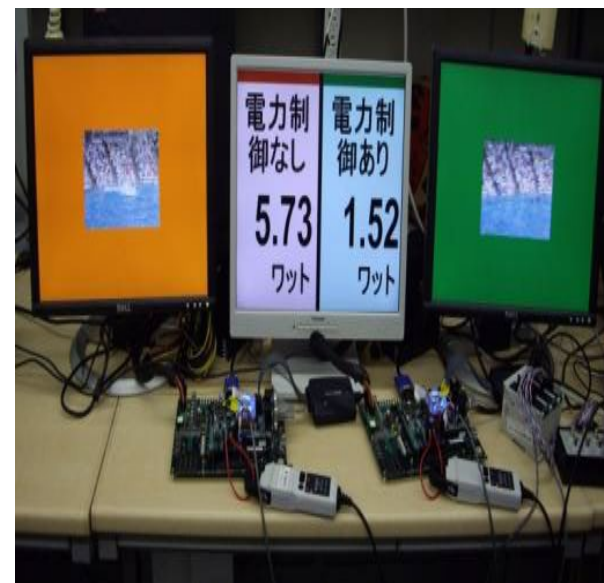
コンピュータの消費電力をHW&SW協調で低減。電源喪失時でも動作することが可能。

リアルタイムMPEG2デコードを、8コアホモジニアスマルチコアRP2上で、消費電力1/4に削減

世界唯一の差別化技術

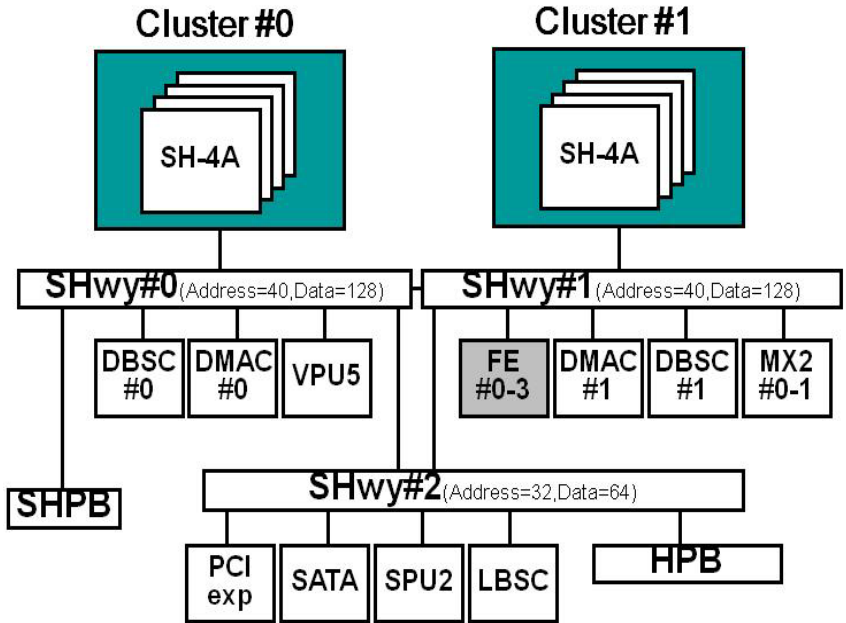
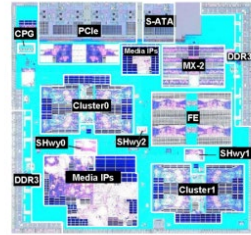


太陽電池で駆動可

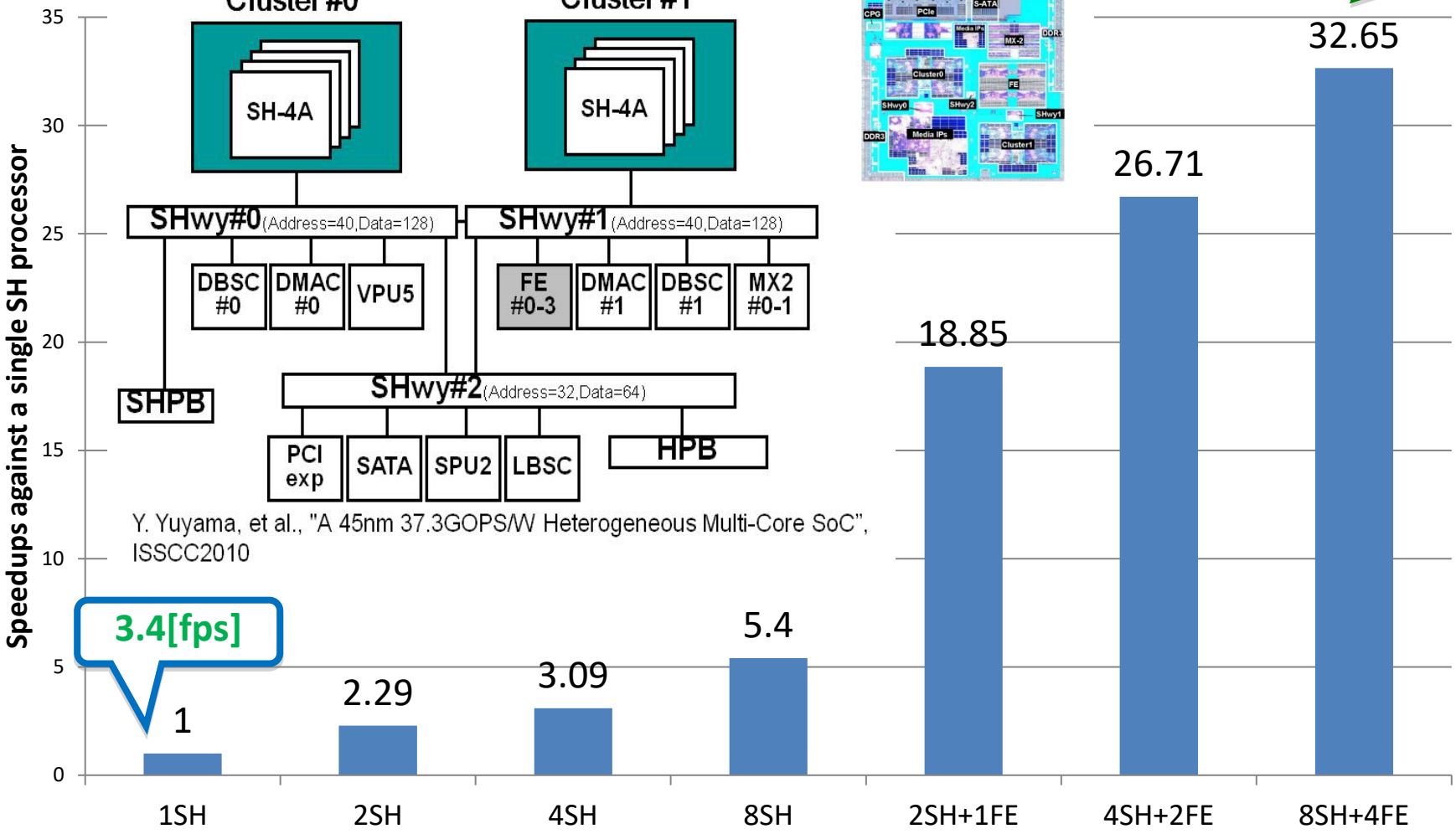


33 Times Speedup Using OSCAR Compiler and OSCAR API on RP-X (Optical Flow with a hand-tuned library)

111[fps]



Y. Yuyama, et al., "A 45nm 37.3GOPS/W Heterogeneous Multi-Core SoC", ISSCC2010



3.4[fps]

総合科学技術会議(平成20年4月10日)での

NEDOリアルタイム情報家電用マルチコアチップ(笠原リーダー)・デモの様子

<http://www8.cao.go.jp/cstp/gaiyo/honkaigi/74index.html>

第74回総合科学技術会議【平成20年4月10日】

1985年よりコンパイラ(ソフト)
・アーキテクチャ(ハード)協調
設計マルチプロセッサの研究

4 core multicore RP1 (2007), 8 core multicore RP2 (2008)
and 15 core Heterogeneous multicore RPX (2010)
developed in NEDO Projects with Hitachi and Renesas



第74回総合科学技術会議の様子(1)



第74回総合科学技術会議の様子(2)



第74回総合科学技術会議の様子(3)



第74回総合科学技術会議の様子(4)

RP-1 (ISSCC2007 #5.3)	RP-2(ISSCC2008 #4.5)	RP-X(ISSCC2010 #5.3)
90nm, 8-layer, triple-Vth, CMOS	90nm, 8-layer, triple-Vth, CMOS	45nm, 8-layer, triple-Vth, CMOS
97.6 mm ² (9.88 x 9.88 mm)	104.8 mm ² (10.61 x 9.88 mm)	153.8 mm ² (12.4 x 12.4 mm)
1.0V (internal), 1.8/3.3V (I/O)	1.0-1.4V (internal), 1.8/3.3V (I/O)	1.0-1.2V (internal), 1.2-3.3V (I/O)
600MHz, 4.32 GIPS, 16.8 GFLOPS	600MHz, 8.64 GIPS, 33.6 GFLOPS	648MHz, 13.7GIPS, 115GOPS, 36.2GFLOPS
11.4 GOPSW(32b換算)	18.3 GOPSW(32b換算)	37.3 GOPSW(32b換算)

実施場所：グリーン・コンピューティング・システム研究開発センター

2011年4月13日竣工， 2011年5月13日開所

経済産業省「2009年度産業技術研究開発施設整備費補助金」
先端イノベーション拠点整備事業

<目標>

太陽電池で駆動可能で

冷却ファンが不要な

超低消費電力・高性能マルチコア/
メニーコアプロセッサ*のハードウェア、
ソフトウェア、応用技術の研究開発

*1チップ上に多数のプロセッサコアを
集積する次世代マルチコアプロセッサ

<産学連携>

日立、富士通、ルネサス、NEC、トヨタ、
デンソー、オリンパス、NSITEX、三菱電機、
オスカーテクノロジ等

<波及効果>

超低消費電力メニーコア

➢CO₂排出量削減

➢サーバ国際競争力強化

➢我が国の産業利益を支える

情報家電、自動車等の高付加価値化



グリーン・コンピューティング：環境に優しい低消費電力・高性能計算



交通シミュレーション・信号制御
制御 NTTデータ・日立

環境への貢献
カーボンニュートラル

生命・SDGs
への貢献



笠原博徳

木村啓二

データセンター: 100WM(火力発電所必要)
→ 100MW=1GW (原子力発電所必要)

グリーンスパコン



OSCAR

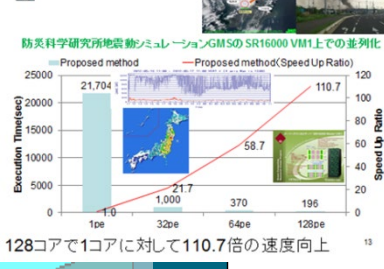
車載(エンジン制御・自動運転Deep Learning・ADAS・MATLAB/Simulink自動並列化) デンソー、ルネサス.NEC

HPC, AI, BigData 高速化・低消費電力化

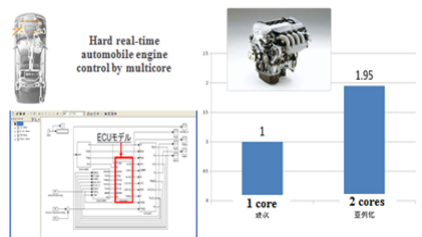
グリーンデータ・クラウドサーバ

OSCARマルチコア/サーバ & コンパイラ OSCAR

災害から命を守る



Engine Control by multicore with Denso
Though so far parallel processing of the engine control on multicore has been very difficult, Denso and Waseda succeeded 1.95 times speedup on 2core V850 multicore processor.



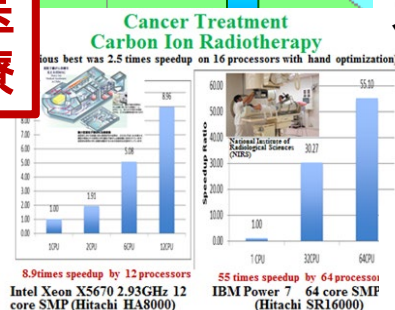
産業

災害

医療

生活

カプセル内視鏡オリンパス



パーソナル
スパコン

首都圏直下型地震火災延焼、住民避難指示

高信頼・低コスト・ソフト開発

カメラ

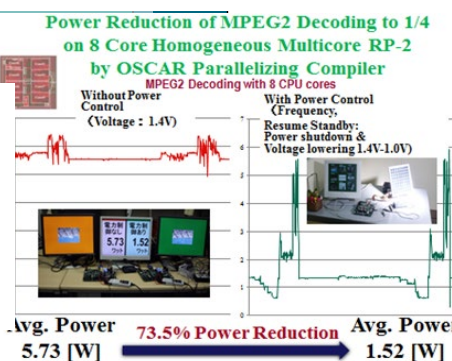
スマホ



太陽光駆動

重粒子ガン治療日立

新幹線
車体設計・
ディープ
ラーニング・
日立



世界の人々への貢献
安全安心便利な製品・サービス
(産官学連携・ベンチャー)



高速化

低消費電力化

地震波伝搬シミュレーションの高速化:富士通スパコン128 プロセッサコア上で、従来1コアより211倍の高速化に成功

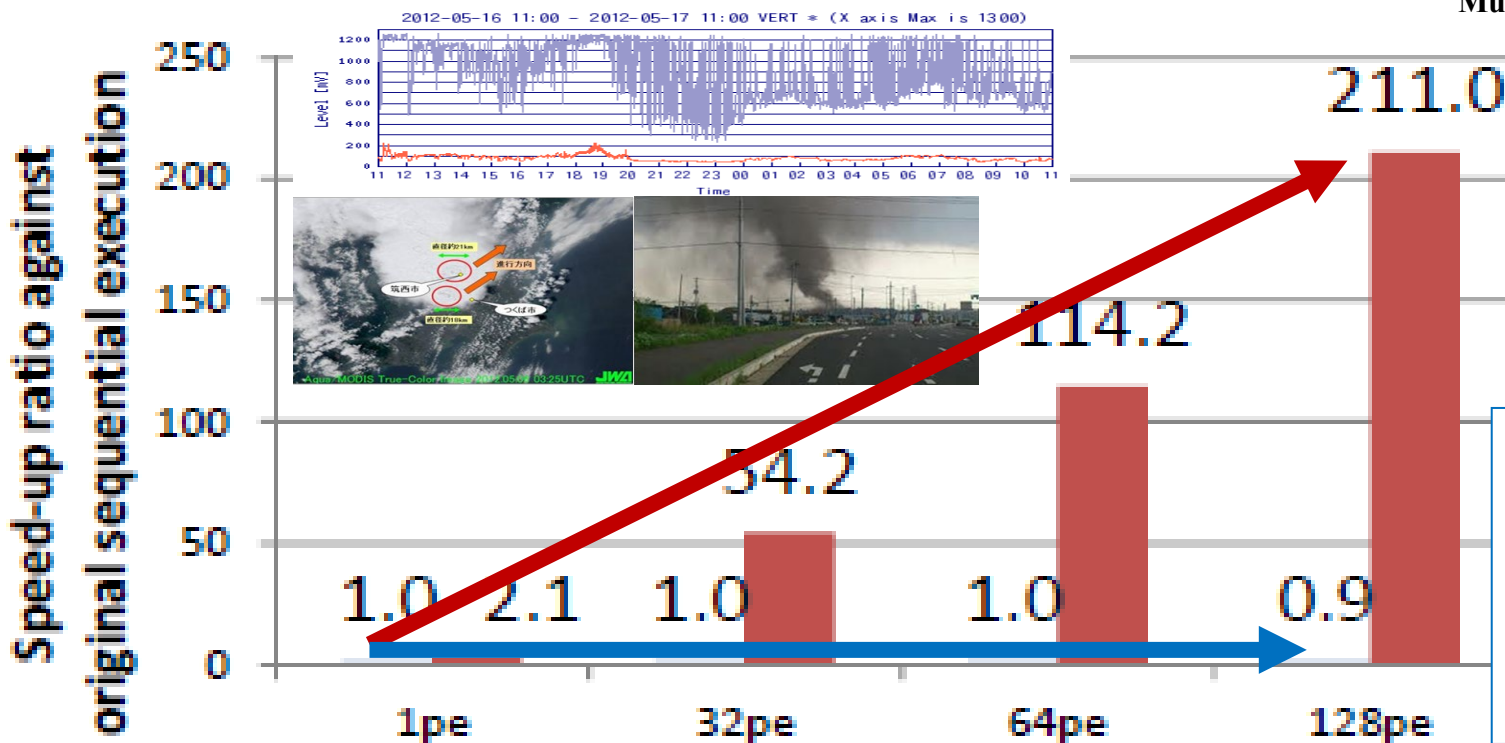


Fujitsu M9000 SPARC
Multicore Server

- Just more cores don't give us speedup
- Development cost and period of parallel software are getting a bottleneck of development of embedded systems, eg. IoT, Automobile

Earthquake wave propagation simulation GMS developed by National Research Institute for Earth Science and Disaster Resilience (NIED)

■ original (sun studio) ■ proposed method



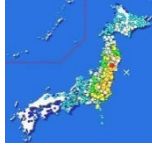
OSCAR
Compiler gives us 211 times speedup with 128 cores

Commercial compiler gives us 0.9 times speedup with 128 cores (slow-downed against 1 core)

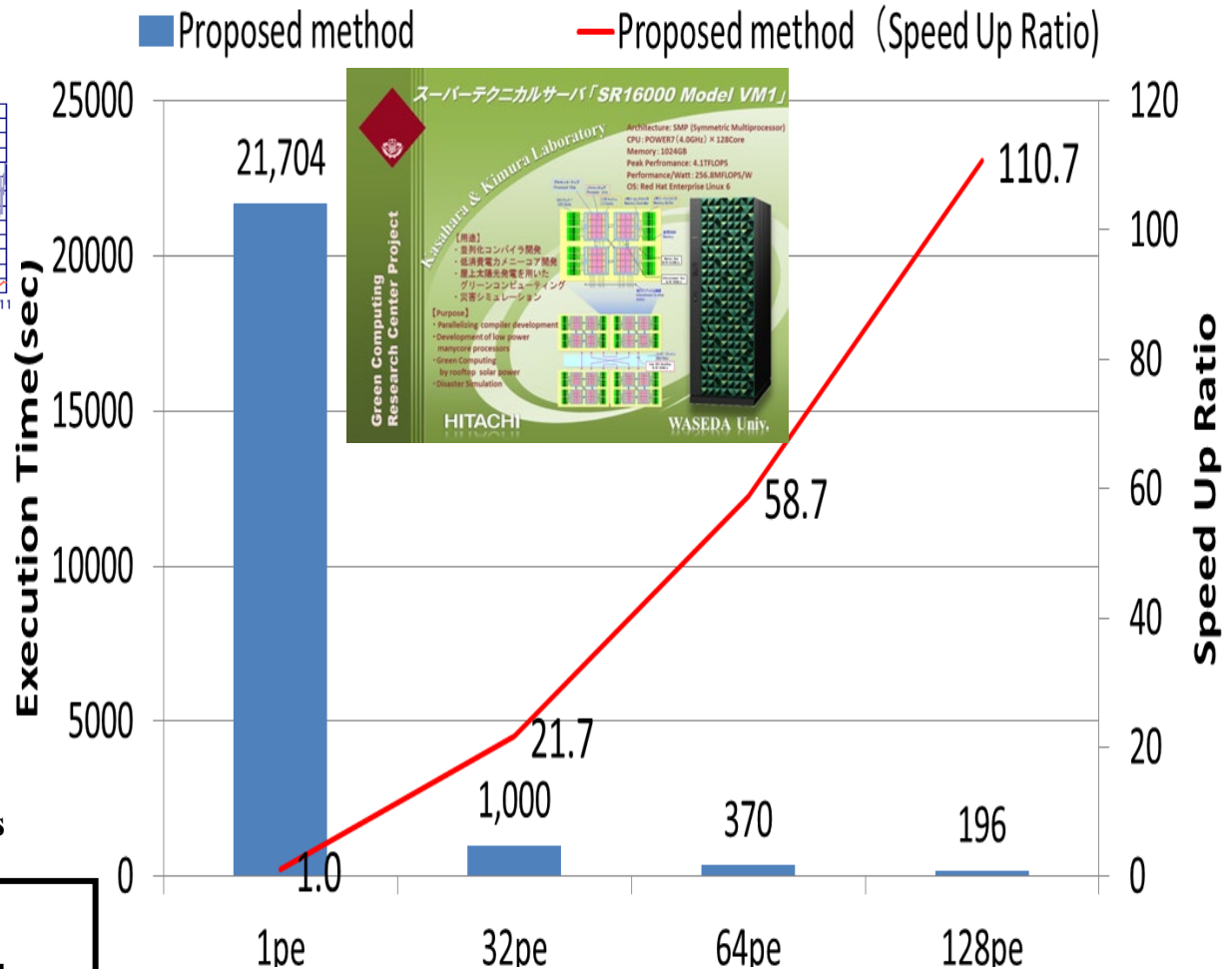
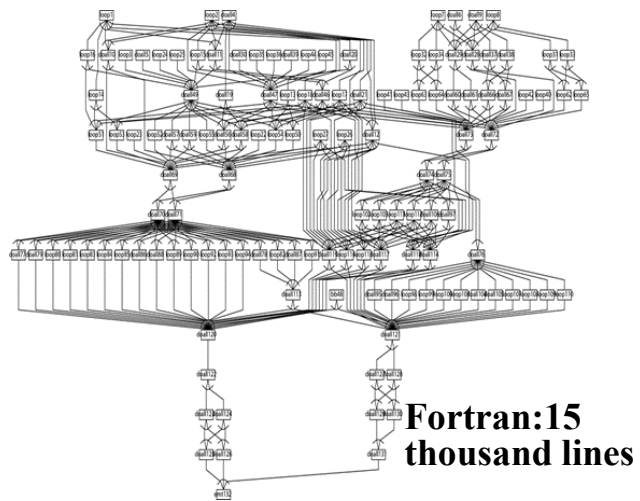
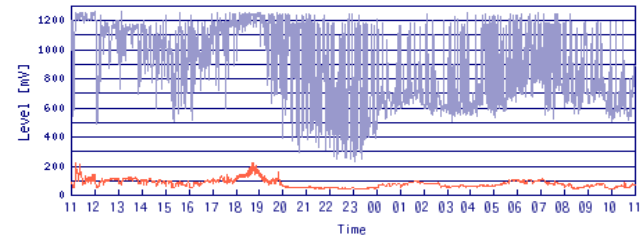
- Automatic parallelizing compiler available on the market gave us no speedup against execution time on 1 core on 64 cores
 - Execution time with 128 cores was slower than 1 core (0.9 times speedup)
- Advanced OSCAR parallelizing compiler gave us 211 times speedup with 128cores against execution time with 1 core using commercial compiler
 - OSCAR compiler gave us 2.1 times speedup on 1 core against commercial compiler by global cache optimization

110 Times Speedup against the Sequential Processing for GMS Earthquake Wave Propagation Simulation on Hitachi SR16000

(Power7 Based 128 Core Linux SMP) (LCPC2015)



2012-05-16 11:00 - 2012-05-17 11:00 VERT * (X axis Max is 1300)



Green Computing Research Center Project

スーパーテクニカルサーバ「SR16000 Model VM1」

Kawabara & Kimura Laboratory

Architecture: SMP (Symmetric Multiprocessor)
 CPU: POWER7 (4.0GHz) x 128Core
 Memory: 32GB
 Peak Performance: 4.17TLOPS
 Performance/Watt: 256.8MFLOPS/W
 OS: Red Hat Enterprise Linux 6

用途

- ・並列化コンピュータ開発
- ・低消費電力メモリーコア開発
- ・並立光源電圧を用いたグリーンコンピューティング
- ・災害シミュレーション

【Purpose】

- ・Parallelizing compiler development
- ・Development of low power manycore processors
- ・Green Computing by rooftop solar power
- ・Cluster simulation

HITACHI WASEDA Univ.

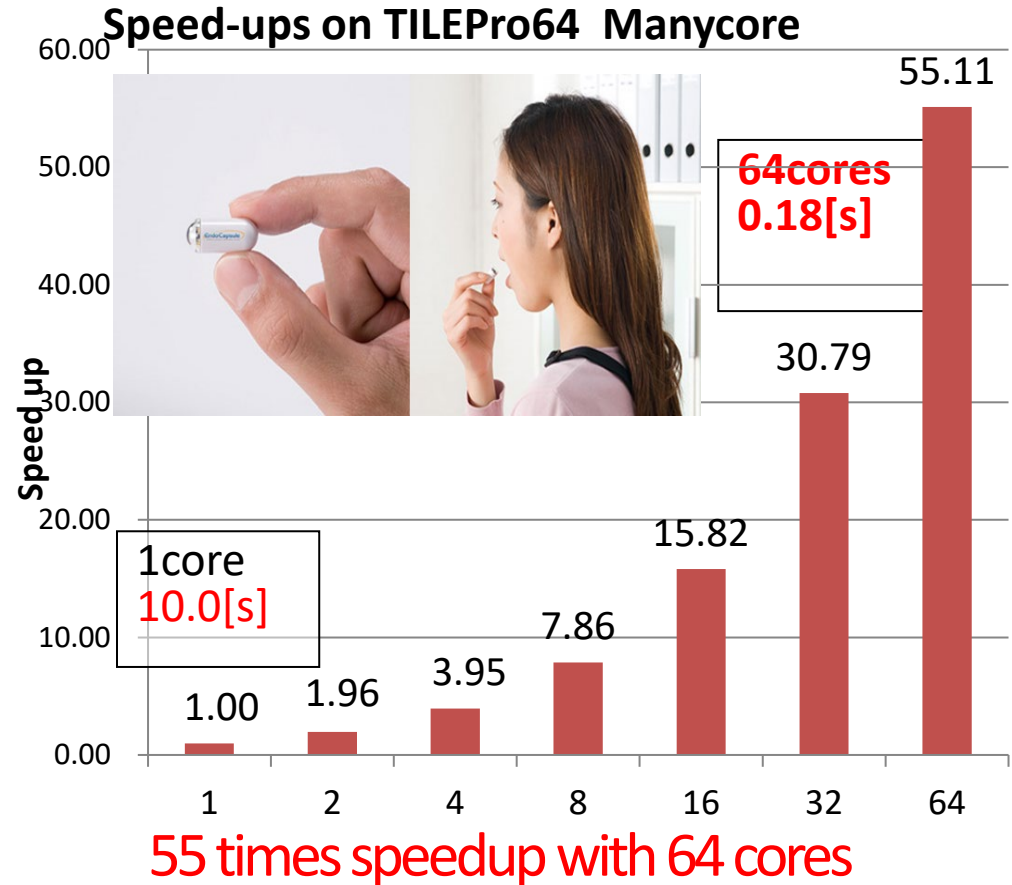
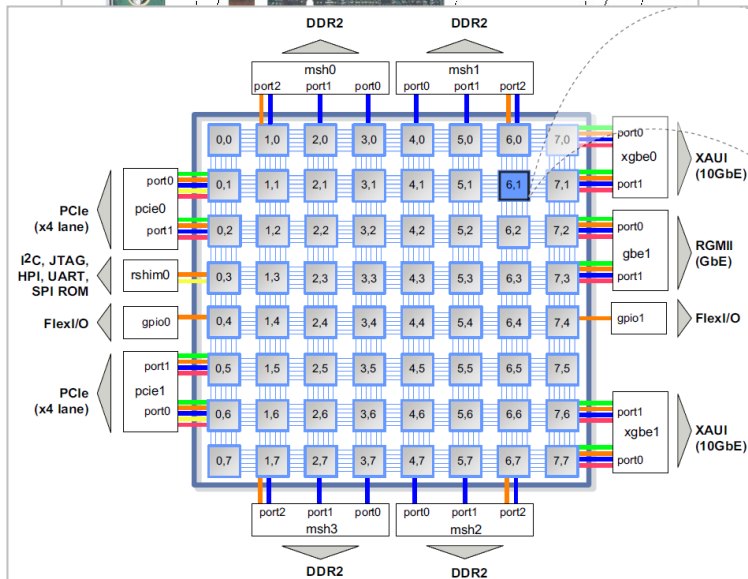
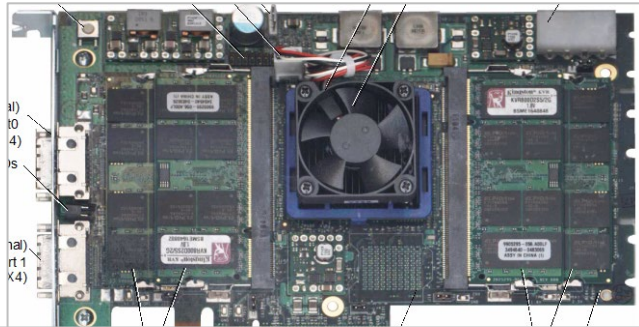
First touch for distributed shared memory and cache optimization over loops are important for scalable speedup

飲むカプセル内視鏡の研究開発

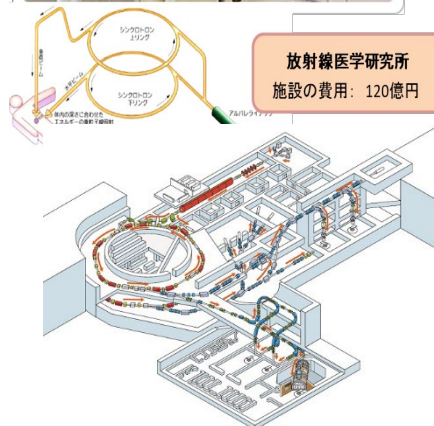
高精細画像圧縮プログラム JPEG-XRの並列化

64プロセッサコア集積のチップで55倍処理を高速化

- TILEPro64 (MITマサチューセッツ工科大学発ベンチャーの64コアチップ)

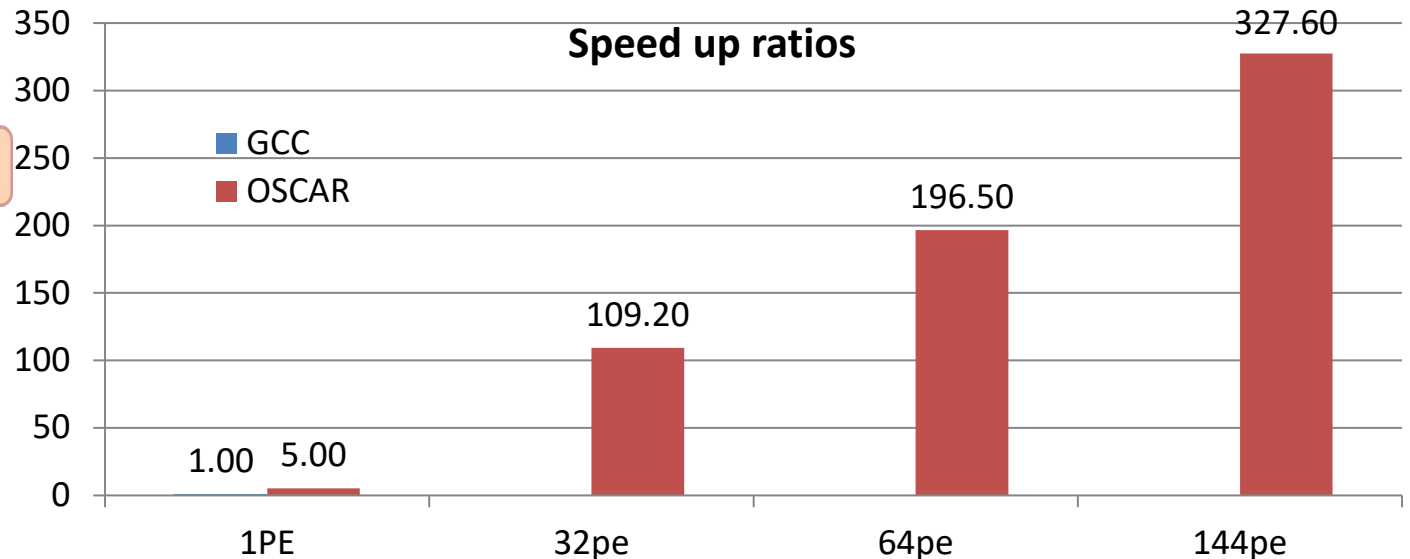


重粒子線がん治療計算の日立BS500ブレードサーバ上での並列化



放射線医学総合
研究所サイトより
<http://www.nirs.qst.go.jp/rd/cpt/index.html>

日立 SMPブレードサーバ BS500:
Xeon E7-8890 V3(2.5GHz 18core/chip) x8 chip 計144cores



- オリジナル逐次実行時間2948秒（約50分）が、OSCARコンパイラによる144コア並列処理で、9秒に短縮され、327.6倍の速度向上

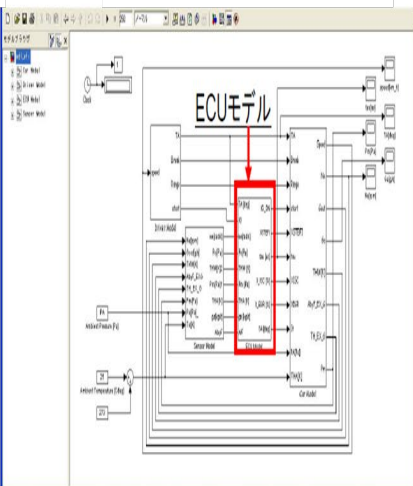
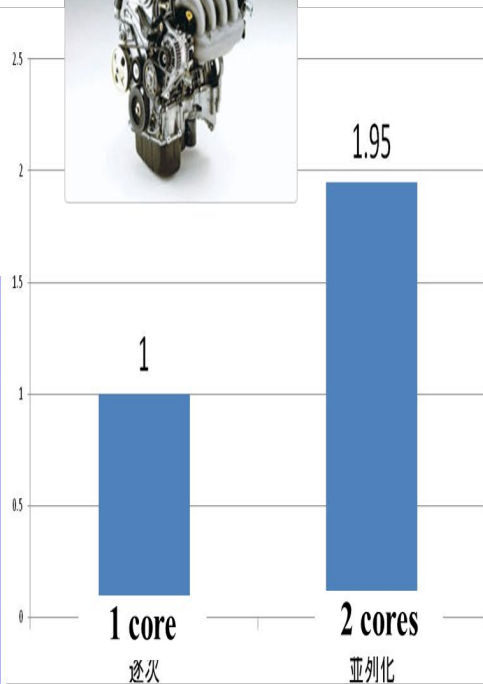
日本乗用車のエンジン制御計算をデンソー2コアECU上で、1.95倍の速度向上に成功。

欧州農耕作業車エンジン制御計算をインフィニオン2コアプロセッサ上で8.7倍の高速化に成功。

Engine Control by multicore with Denso

Though so far parallel processing of the engine control on multicore has been very difficult, Denso and Waseda succeeded 1.95 times speedup on 2core V850 multicore processor.

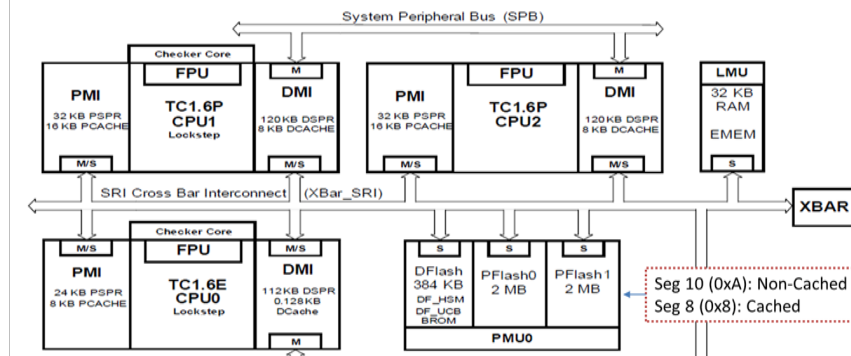
- Hard real-time automobile engine control by multicore using local memories
- Millions of lines C codes consisting conditional branches and basic blocks



Automatic Parallelization of an Engine Control C Program with 400 thousands lines on AUTOSAR on 2 cores of Infineon AURIX TC277

Infineon AURIX TC277

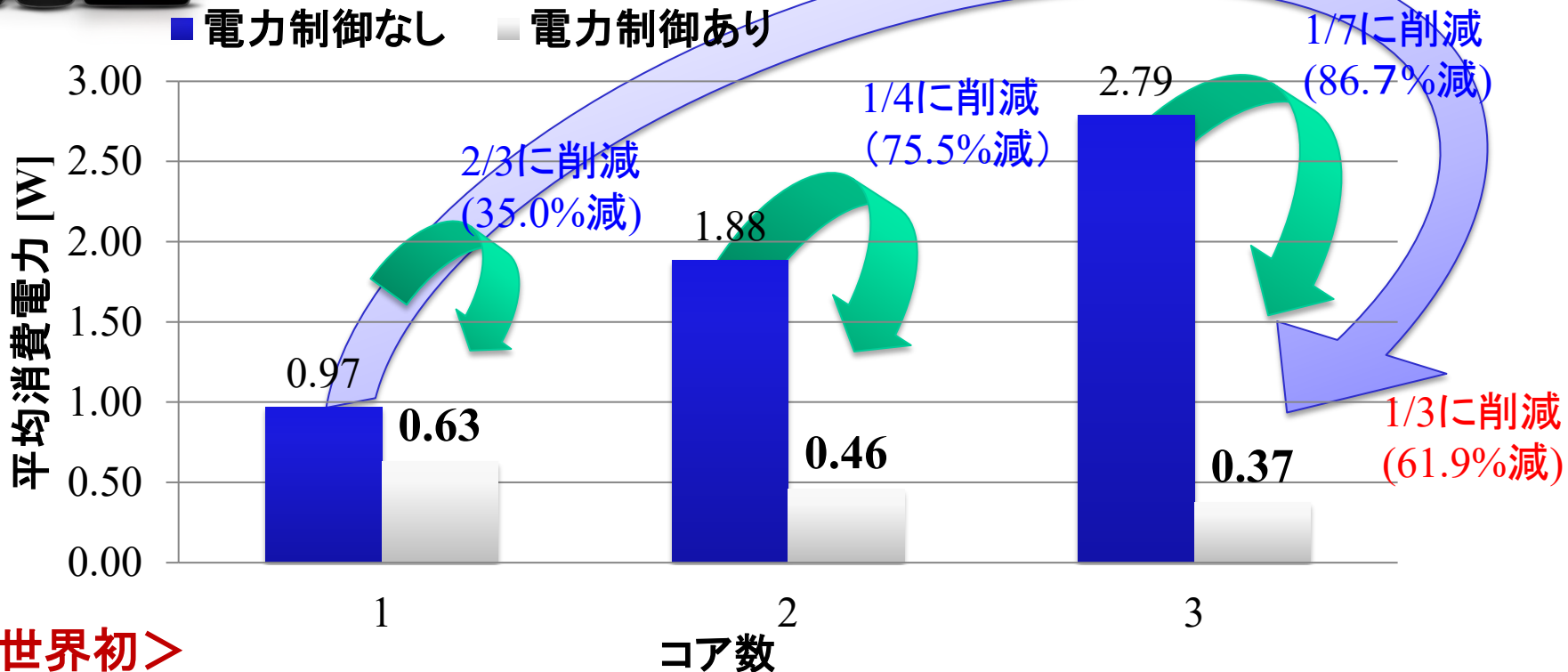
- Abbreviations:
- PCACHE: Program Cache
 - DCACHE: Data Cache
 - DSPR: Data Scratch-Pad RAM
 - PSPR: Program Scratch-Pad RAM
 - BROM: Boot ROM
 - PFlash: Program Flash
 - DFlash: Data Flash (EEPROM)
 - S : SRI Slave Interface
 - M : SRI Master Interface



Androidスマートフォン上での電力削減

http://www.youtube.com/channel/UCS43INYEIkC8i_KIgfZYQBQ

週1回以下の充電,さらには
太陽光充電を目指して



<世界初>

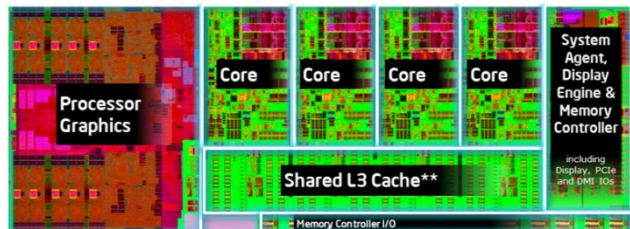
- 3PE電力制御なしと3PE電力制御ありで電力を最大**1/7**に削減
- 1PE電力制御なしと3PE電力制御ありで電力を**1/3**に削減

Automatic Power Reuction on Intel Haswell

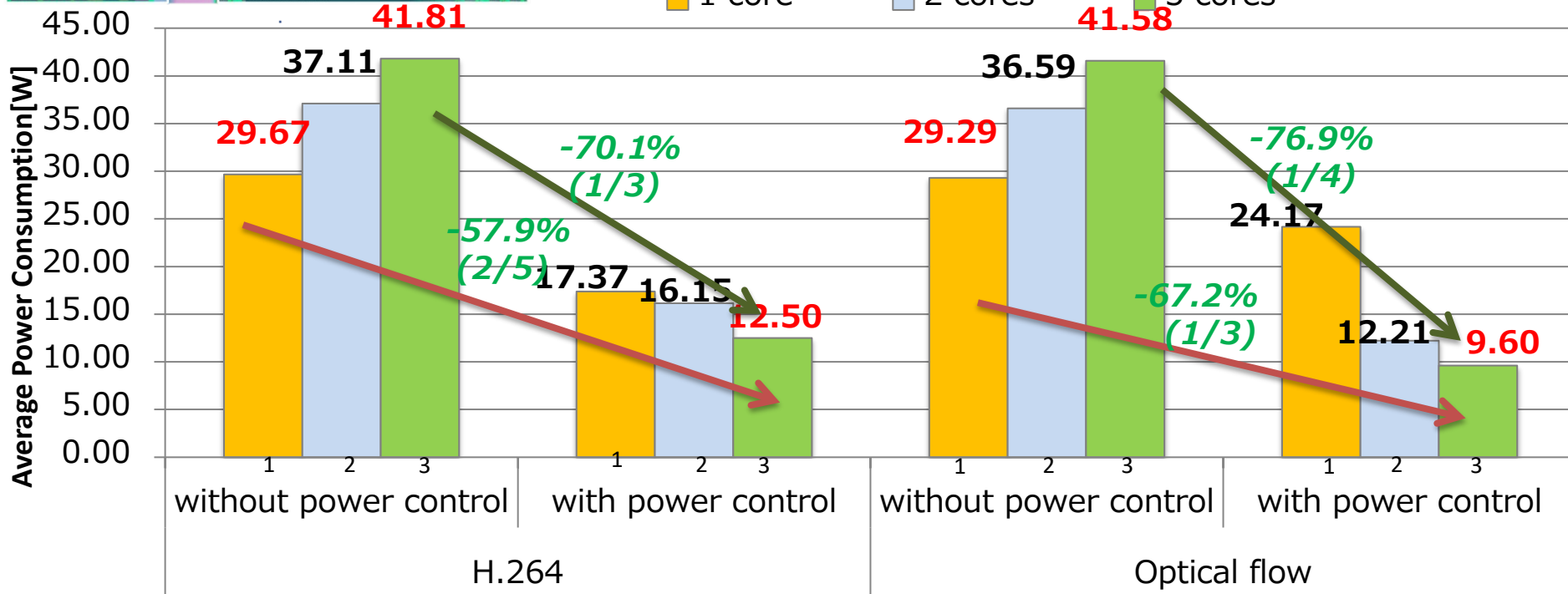
H.264 decoder & Optical Flow (3cores)

H81M-A, Intel Core i7 4770k

Quad core, 3.5GHz~0.8GHz



■ 1 core ■ 2 cores ■ 3 cores



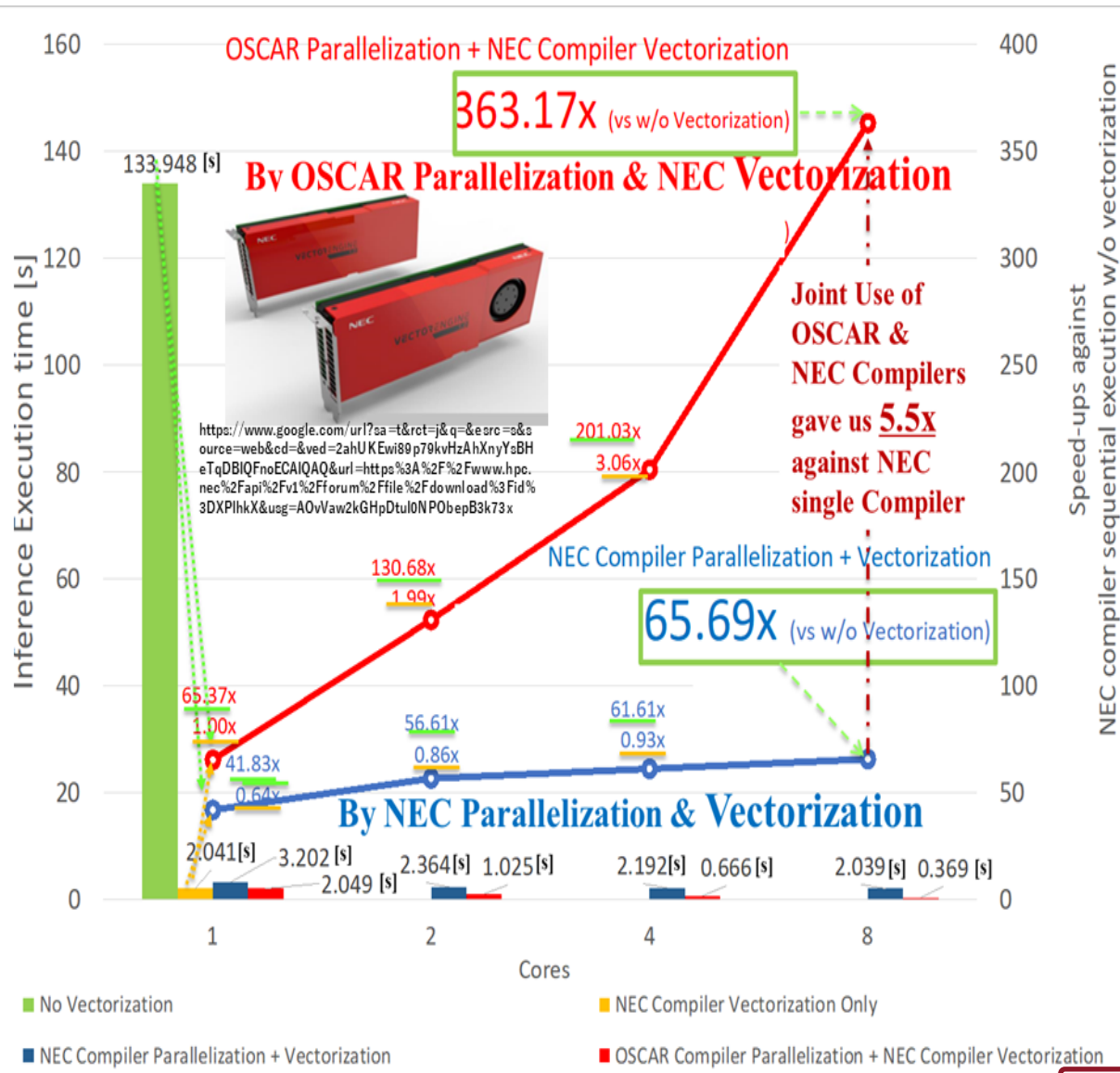
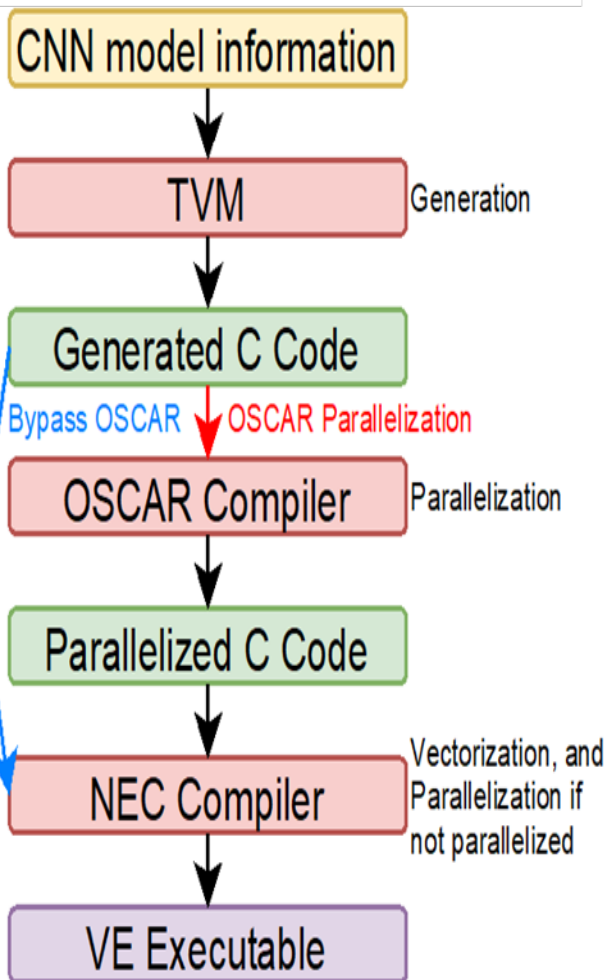
Power for 3cores was reduced to $1/3 \sim 1/4$ against without software power control

Power for 3cores was reduced to $2/5 \sim 1/3$ against ordinary 1core execution

Speedups of Deep Learning Winograd 2D-Convolution generated by TVM on NEC Personal Vector Supercomputer SX-Aurora TSUBASA 8 Core Type 10C

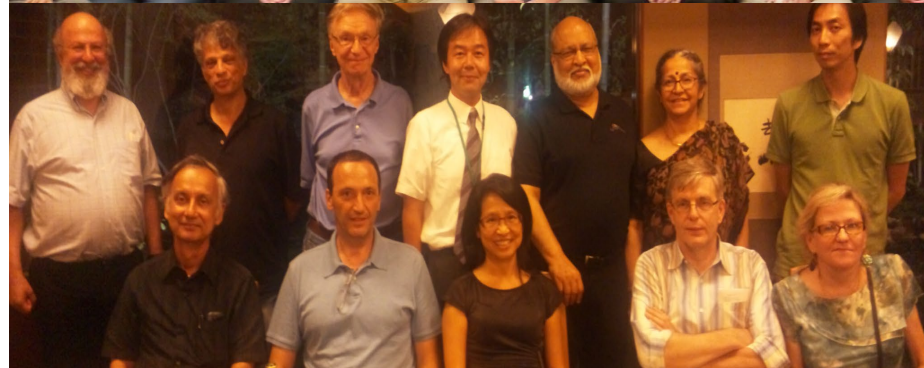
OSCAR Parallelization and NEC Vectorization gave us 363x Speedup against a Scalar Core

Parallelization of Deep Learning C Code generated by TVM



グリーンコンピューティングセンターでの国際イベント

The 25th International Workshop on Languages and Compilers for Parallel Computing (LCPC2012), September 11-13, 2012



A Strategic Initiative of Computing: Systems and Applications (SISA)- Integrating HPC, Big Data, AI and Beyond, Jan.18-19, 2017

A Strategic Initiative of Computing: Systems and Applications

(SISA) --Integrating HPC, Big Data, AI and Beyond-- Jan. 18-19, 2017

Opening: Prof. Gao, Prof. Kasahara

Waseda VP Shuji Hashimoto

I. Architecture and Applications

Keynote: William J. Dally,

NVIDIA and Stanford University, USA

- Kimihiko Hirao, RIKEN, Japan
- G. W. Yang, Tsinghua Univ. China
- J. Sexton, IBM, USA

II. System Software and Applications

Keynote : Rick. Stevens ANL, USA

- S. Mikhail Smelyanskiy Intel USA
- Fred. Streitz, LLNL USA
- R. Govind, IIS, India
- H. Hironori Kasahara, Waseda Univ,

III. Extreme Scale and Beyond

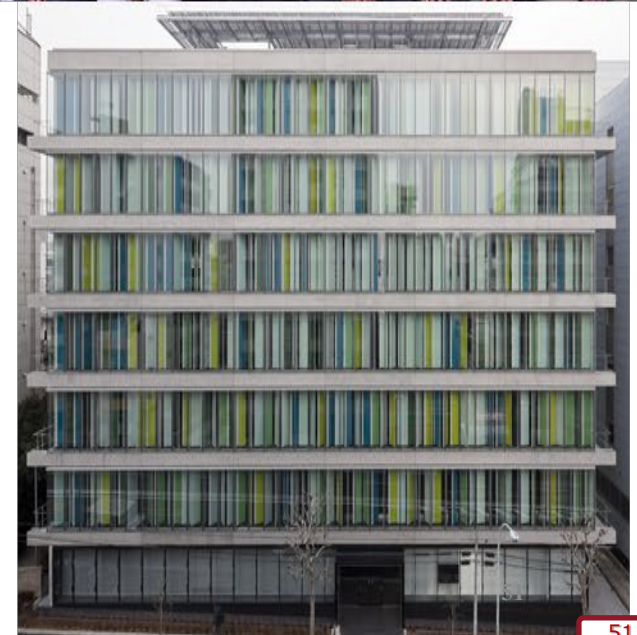
Keynote: Paul Messina ANL, USA

- Motoaki Saito, PEZY, Japan
- Eiji Ishida, MEXT, Japan
- Depei Qian, BUAA, China
- Toshiyuki Shimizu, Fujitsu, Japan

IV. Integration of HPC, Big Data, and AI

Keynote: Thomas Sterling, Indiana Univ., USA

- Masaru Kitsuregawa, NII and Univ. of Tokyo, Japan
- Thomas Schulthess, ETH, Swiss
- Moriyuki Takamura/Toshiaki Kitamura, Oscar Tech, Japan



MULTICORE VIDEO SERIES

Practical Innovation

Multicore processors have become pervasive, but most organizations struggle to use them efficiently. That's why we brought together renowned experts in the field for this video series to examine the innovative techniques they use to improve reliability and performance while reducing costs, time, and power consumption.

Hear about some of the most advanced power-reduction, parallelization, and vectorization technologies used in a range of industry applications, including automobiles, big data, cloud computing, cluster computing, medical image processing, multimedia, smartphones, and supercomputing.

**World's best
educational
content**

Learn from the World's Leading Multicore Compiler Experts



Automatic Parallelization
David Padua



**Dependences and
Dependence Analysis**
Utpal Banerjee



**Instruction Level
Parallelization**
Alexandru Nicolae



**The Polyhedral
Model**
Paul Feautrier



Vectorization
P. Sadayappan



**Vectorization/Parallelization
in the Intel Compiler**
Peng Tu



**Autoparallelization
for GPUs**
Wen-mei Hwu



Dynamic Parallelization
Rudolf Eigenmann



**Multigrain Parallelization
and Power Reduction**
Hironori Kasahara



**Vector
Computation**
David Kuck



**Vectorization/Parallelization
in the IBM Compiler**
Yaoqing Gao



Roundtable Discussion
All Presenters

Who Should Watch these Videos?

Professionals in any industry that demands real-time processing, high performance, and speed will find these videos an important tool for getting better results from their multicore processing systems and future-proofing their applications.

Educators and graduate students will also find inspiration from this window into the minds of some of the most accomplished experts in multicore.

www.computer.org/multicore-video



Bjarne Stroustrup: Morgan Stanley & Columbia Univ.
2018 IEEE Computer Society Computer Pioneer Award
 IEEE COMPSAC2018 Keynote & Award Ceremony



July 26, 2018, Keynote,
Hitotsubashi Hall



July 25, 2018 Award Ceremony
Rihga Royal Hotel Tokyo

215
International Conferences

12 Magazines

35 Journals

47 Total Publications

847,000+
Articles in CSDL

12,000+
Volunteers

615
Committees/
Boards

2,352+
Meetings/
Teleconferences

6
New Standards

230
Active Standards

**IEEE754,
802**

373,100+
Community Members

168
Countries with CS Members

634
Chapters



Satisfaction and Sustainability

Hironori Kasahara, 2018, IEEE Computer Society President

The IEEE Computer Society's role in the advancement of computing is increasingly important in all areas of our lives. By promoting efficiencies, accessibility, environmental responsibility, innovations, and safety, CS members and volunteers continuously contribute to a bright global future. Also, the CS faces a number of serious challenges, and looks to members to help implement changes and pave the way for a strong future.

As the IEEE Computer Society's President in 2018, I would like to first express sincere appreciation to the Computer Society members, volunteers, and staff, as well as the other engineers, researchers, and students all over the world who have made important contributions to CS activities. Computing technology's role our life has become increasingly large and essential, thanks to advanced technologies, such as deep learning, AI, self-driving vehicles, smart home, IoT, robotics, big data, computer trading,

educational offerings, it is our high quality content that differentiates us from other organizations and free online activities. All of our offerings are realized through the dedication and effort of global experts and leading researchers who are committed volunteers and members.

To provide the above products and services continuously and on time, the CS volunteers who serve as editors in chief, editors, reviewers, program committee chairs and members, technical committee chairs, program board members, committee members, members of the Board of

e-commerce, cloud computing, embedded computing, green computing, high-performance computing, smart cities, medical applications, and more.

The CS should drive progress in these technologies—and those still to come—by providing the latest science and information, along with the places to discuss and methods to deploy them. CS members, as well as other IEEE societies' members, international sister societies' members, and other interested individuals can regularly contribute or simply consume information through journals, magazines, conferences, events, websites, and so on. Indeed, through our publications, conferences, and

PRESIDENT HIRONORI KASAHARA
kasahara@waseda.jp.



ACM/IEEE SC (SuperComputing) 19, Denver, Nov.17-22, 2019



Cornel Univ. Prof. Steven Squyres火星探査、CalTech. Dr. Katie Boumanブラックホール可視化成功の講演等

Bjarne Stroustrup: Morgan Stanley & Columbia Univ. 2018 IEEE Computer Society Computer Pioneer Award IEEE COMPSAC2018 Keynote & Award Ceremony



July 26, 2018, Keynote,
Hitotsubashi Hall



July 25, 2018 Award Ceremony
Rihga Royal Hotel Tokyo



Bob Ramakrishna Rau Award Lunch in MICRO51 in Fukuoka Japan on Oct. 23, 2018.

**ACM/IEEE CS Micro51 with record high 706 Participants
was operated by CS this year.**

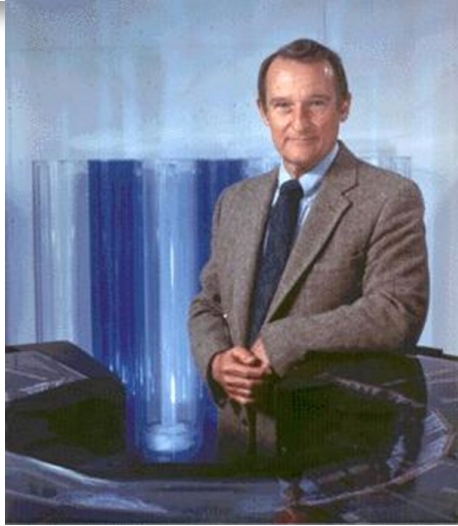


**Rau Award Winner Dr. Ravi Nair,
Rau Award Chair Dr. Kemal
Ebcioglu & CS President Hironori
Kasahara**



**General co-chairs Profs Koji Inoue & Mark Oskin with CS distinguished
researchers and ACM SIGARCH CARE member in Banquet.**

Seymour Cray: Father of Supercomputers using vector pipeline



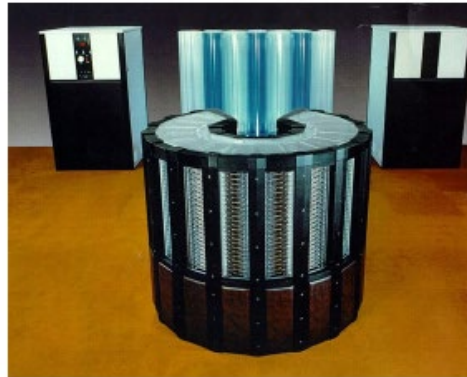
2019 Seymour Cray Award Winner:
David Kirk, NVIDIA Corporation (retired)



<https://www.youtube.com/watch?v=Yc-VFuRWevw>



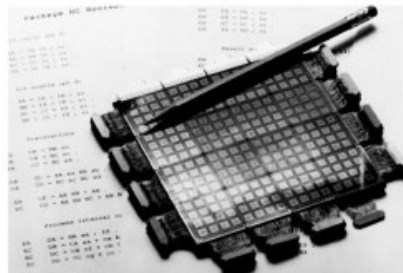
Cray 1



Cray 2



Cray 3



6. Cooperating with other IEEE societies and international sister societies

LONG TERM : Outside Partners

MoU with UN ITU in AI for Good, May 16, 2018

(United Nations International Telecommunication Union)

- Cooperation in conferences, publication, and education



ACM President Vicki L. Hanson (new ED&CEO) & Pat Ryan Chief Operating Officer

Kasahara's Remarks

IEEE Young Professionals Panel on July 25

Panelists: CS Presidents: Roger Fujii, 2016(Moderator); John Walz, 2012; Dejan Milojcic, 2014; Hironori Kasahara, 2018; Cecilia Metra, 2019
Planned by IEEE Tokyo Young Professionals Chair Dr. Mayumi



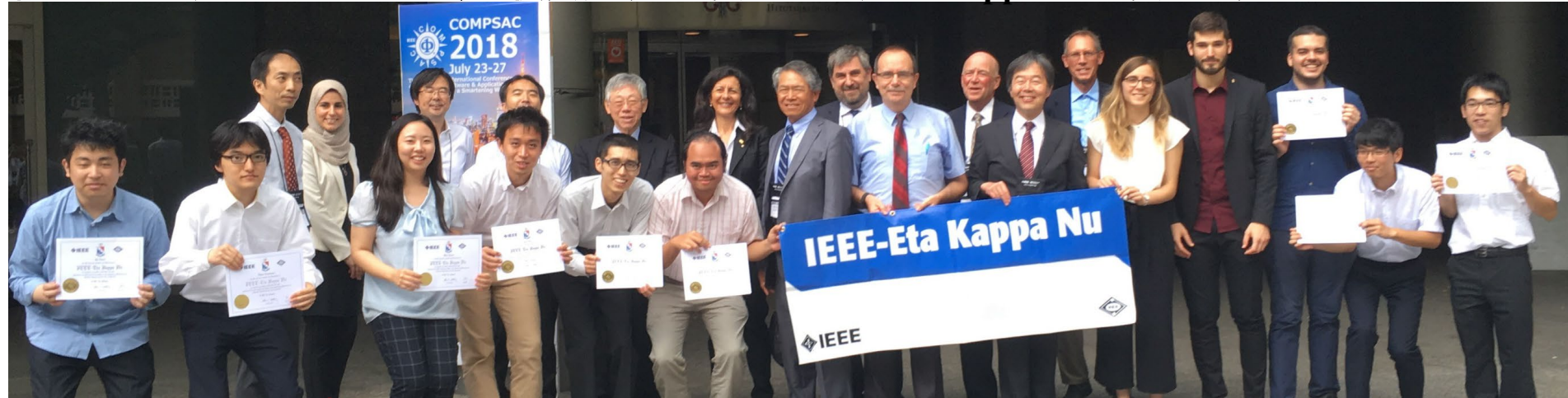
July 25, 2018 COMPSAC YP Panel

Panel Title

How joining a professional society can be beneficial to the early and ongoing career development of Young Professionals

IEEE Eta Kappa Nu (HKN) 早稲田大学に日本初の学生チャプター Waseda Univ. Student Chapter Mu Tau on July 25, 2018 設立式

Eta Kappa Nuは1904年10月28日にUniv. of Illinois at Urbana-Champaignにて設立。最初のチャプターはアルファ。Pudue大、Ohio State大を経て、2009年に全米で200の電気・コンピュータ工学系学科、2010年にIEEEの名誉ソサエティとなり、現在、世界で約260チャプター、20万人以上の会員。会員にはGoogle創設者を始め、米国大企業の社長・役員多数。会員は生涯、Eta Kappa Nu会員の特典が与えられる。



IEEE 理事: John Walz (CS President 2012), Dejan Milojicic (CS President 2014)

IEEE CS会長: Sorel Reisman 2011 (COMPSAC Standing Committee Chair), Roger Fujii 2016, Hironori Kasahara 2018, Cecilia Metra 2019, **早稲田大学:白井克彦元総長**



**IEEE HKN Prof. Paolo Montuschi と
トリノ工科大学HKNチャプターリーダー**

IEEE-HKN
Graduation
CELEBRATION

2019-2020
Outstanding Chapter Awards

Mu Tau Chapter 1st Activity:
Paolo's talk on July 29, at Waseda U.

Collaboration for the Future

Hironori Kasahara, 2018 IEEE Computer Society President

In 2018, the IEEE Computer Society (CS) leaders, volunteers, and staff collaborated to improve both the satisfaction of CS members and the sustainability of the Society. This joint effort dramatically improved CS finances to the extent that they are now healthy.

The IEEE Computer Society (CS) started 2018 by implementing various action items to address financial challenges, most of which were approved in the November 2017 Board of Governors (BoG) meeting, with the Executive Committee (ExCom) and BoG members and staff. These include

- ▶ reducing the number of BoG members from 21 to 18 by changing the rules to elect six new members every year, which was applied starting with the 2018 election
- ▶ reducing the number of in-person BoG meetings from three to two in 2018 by having online BoG meetings, which allows us to make prompt decisions

- ▶ simplifying the June 2018 CS annual awards ceremony without professional support while maintaining the greatest respect for the award winners through posting their articles on the CS homepage and CS social network sites Twitter, Facebook, Instagram, and LinkedIn and inviting some of the winners to CS conferences, which attracted more participants to these gatherings
- ▶ considering extending the length of the presidential term to two years, which was discussed in meetings of the Constitution and Bylaw Committee and Ad Hoc Committee
- ▶ changing all in-person program board meetings to online from 2018, although the CS would still support expenses for meetings without travel expenses, for example, meetings during conferences
- ▶ merging or sunseting some CS publications
- ▶ instituting overlenth page charges while relaxing conditions for authors and editorial boards, compared to the model that was approved in the November 2017 BoG meeting, to foster special issues in transactions collaborating with conferences
- ▶ starting a new surplus distribution system for conferences that improved their financial condition and flexibility

早稲田オープン・イノベーション・エコシステム

早稲田大学

研究活性化

- 博士学生支援 (ニーズを理解した人材育成：授業料・生活費：Stipend)
- トップ論文誌・国際会議掲載支援
- 研究者インセンティブ：報奨・講義軽減
- 競争領域産学連携研究スペースの提供
- トップ研究者の雇用

産学連携推進

- ワンストップ窓口
- 知財創出支援：特許申請・審査 (欧州400万円/件)
- 知財活用支援：ライセンス
- 産業界とのマッチング支援 (WOI開催含む)
- シーズ技術紹介 (広報)
- ニーズ解決に向けた学内チーム構築
- 契約支援 (見積, 学生含むNDA・知財)
- 研究費管理・研究倫理講座受講支援

ベンチャー創出・育成

- ファンド紹介・独自ファンド
- 知財ライセンス：現金・転換社債型
新株予約権付社債・株・新株予約権等
- チーム (経営・経理・会計・法律人材) 紹介
- アクセラレーション (バリューアップ・マッチング) 支援
- シリコンバレー、イスラエル等世界との協力

世界に有用な高付加価値
製品・サービス

産学連携研究

教員・大学院生・
産業界技術者・研究者参加
産業界からのニーズに基づく
未知問題解決・実用化に挑む

共同開発技術・知
高度人材
財

信頼・協力
技術者
マッチング
新技術

産業界

産学連携競争領域研究
開発・実用化
ビジネスモデル構築
(標準化含め)

大学発ベンチャー

シーズ紹介
ニーズ
研究費

創出・育成

支援

国



JST 早稲田オープン・イノベーション・エコシステム挑戦的研究プログラム

W-SPRING: 社会ニーズを理解した博士課程学生の育成(生活費・学費の支援)

産業競争力の強化と 世界に伍する研究大学への進化

年間180名の支援

早稲田オープン・イノベーション・エコシステムの確立

産官学連携、社会ニーズを理解した博士の育成、論文・知財創出、成功ベンチャーの育成によるスパイラルアップ

イノベーション創出

- SDGsを踏まえた4分野(グリーン、ライフ、デジタル、ソーシャル)の設定によって、幅広い研究領域を包含
- 理工系と人文社会科学系博士学生の横断研究による総合知の創出

マネジメント・支援体制

- 副総長(研究担当)・副総長(教務担当)・人社系常任理事・理工学術院長が指揮を取る全学プログラム
- 事業統括・副統括が候補者全員を面談し優秀な学生を選抜

次世代研究者の育成

「次世代研究者挑戦的研究プログラム」採択プロジェクト・事業統括一覧

早稲田大学	笠原 博徳	早稲田オープン・イノベーション・エコシステム挑戦的研究プログラム	180
-------	-------	----------------------------------	-----

キャリア開発・育成コンテンツ

- 卓越大学院、リーディング大学院、EDGE-NEXT、SCOREを活用した実績と魅力ある産学連携・起業家育成コンテンツ※
- 多彩な50社の独自インターンシップとジョブ型インターンシップの併用、429社の産学連携共同研究を通じた人材育成

ベンチャー

- Waseda EDGE (EGDE-NEXT)
- SCORE大学推進型
- T-UNITE (SCORE)

GTIE

研究成果展開事業 大学発新産業創出プログラム
 <大学・エコシステム推進型 スタートアップ・エコシステム形成支援>
 採択機関一覧(2021年度審査分)

Greater Tokyo Innovation Ecosystem (GTIE)
 参画している拠点都市のコンソーシアムなどの名称
 スタートアップ・エコシステム「東京コンソーシアム」

主幹機関 東京大学	主幹機関 早稲田大学	主幹機関 東京工業大学
-----------	------------	-------------

Oxford University, 11/12-13,2019(CSでの招待講演及び連携協議)

Oxford大は、2021年9月現在、THE大学ランキング6年連続No.1

Vice Chancellor Prof. Louise Richardson
(WoI 2020での基調講演(予定))
Head of Astrophysics: Prof. Rob Fender
Dept. of Physics: Prof. Ian Shipsey
Astrophysics: Prof. H.Falche, et. al.

Merton College
Warden: Prof. Irene Tracy
Fellow: Dr. Peter Braam
Sub Warden: Prof. Judy Armitage
CS: Prof. Jeremy Gibbons



Choral Evensong, 750th Anniversary Room

2020年4月オックスフォード大との大学間協定締結(CS,数学,物理)



DEPARTMENT OF
**COMPUTER
SCIENCE**



HOME ADMISSIONS RESEARCH **NEWS & EVENTS** ABOUT US ALUMNI OUR STUDENTS INNOVATION

HOME > NEWS & EVENTS > NEWS > UNIVERSITY OF OXFORD SIGNS MEMORANDUM OF UNDERSTANDING WITH WASEDA UNIVERSITY

News

Latest News

Inspired Research Newsletter

Media Wall

Blogs

News Archive

Events

University of Oxford signs Memorandum of Understanding with Waseda University

Posted: 22nd April 2020

To support exchanges of graduate students and staff and to collaborate on research, a Memorandum of Understanding has been signed between the Departments of Computer Science, Mathematics, and Physics at Oxford and **Waseda University** in Tokyo. The new Memorandum of Understanding was established following the visit of **Professor Hironori Kasahara** (senior executive vice president of Waseda) in November to give a **lecture** on green computing; **Professor Jeremy Gibbons** (Computer Science) and **Professor Peter Braam** (Physics) made the return visit to Waseda in January to set up the memorandum. Waseda is one of the top private universities in Japan, with particular strengths in robotics and green computing, and this agreement will provide new opportunities for working together, particularly in machine learning and programming languages.

Photos



BACK TO TOP

Calendars
RSS Feeds
Privacy & Cookies

Internal
Sitemap



© University of Oxford 2020



Topic
トピック

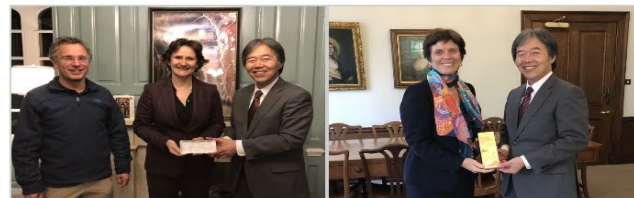
オックスフォード大学と研究交流促進

オックスフォード大学と大学間協定締結

2020年4月17日付で、早稲田大学とオックスフォード大学は大学間協定を締結しました。この協定により、早稲田大学とオックスフォード大学の“Computer Science”、“Mathematics”、“Physics”分野での研究・教育面の組織的な交流の活性化が実現します。



オックスフォード大学とは、かねてより幅広い分野での研究交流が行われていましたが、個々の教員同士の交流が点在している状態でした。この度、両大学に於いて更なる組織的な研究交流の促進を模索する中、研究交流に特化した大学間協定を締結する運びとなりました。今後は大学間協定の締結を土台にして、よりスケールの大きい研究・教育面での交流が可能となります。相互に研究者や大学院生の交換を促進し、研究プロジェクトを推進することになります。



また、この3分野にとどまらず、多方面での研究交流へと幅を広げるべく協議していくことが合意されており、今後、さらなる2大学間の交流の発展を目指していきます。

ヨーロッパにおける研究交流を加速

本学は2016年にヨーロッパにおける研究拠点として、ベルギーのブリュッセルにオフィスを開設しました。すでにヨーロッパの多くの大学との研究交流が進んでいます。オックスフォード大学との大学間協定の締結によって、これまで本学が推進してきたヨーロッパにおける研究交流を、さらに加速させることが可能となります。

Tags

Vision 150, 国際課, 教務部, 教育, 研究活動, 総長室

Posted

Wed, 22 Apr 2020

ツイート

Like Share

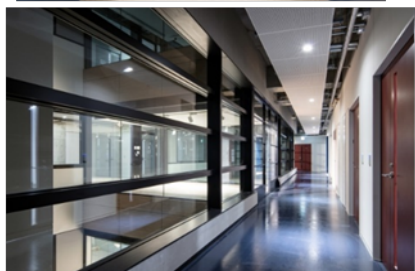
メールで送信

早稲田大学リサーチイノベーション統合センター

「リサーチイノベーションセンター」(2020年3月竣工)



B1 コマツ百周年記念ホール



1階 イノベーションギャラリー

副総長(研究推進担当)が
統括所長を兼任



リサーチイノベーション統合センター

統括所長: 笠原博徳

早稲田オープンイノベーションエコシステムの推進母体

研究戦略センター

所長: 若尾真治

URAを介した大学の研究戦略
機能

オープンイノベーション戦略研究機構

所長(機構長): 笠原博徳(兼任)
統括クリエイティブマネージャー: 中谷義昭

企業出身ファクトリ
ークリエイティブマ
ネージャーを活用し
た組織的企業連携

知財・研究連携支援センター (TLO: WTLO)

所長: 笠原博徳(兼任)

技術・法務専門家による
知財獲得・技術移転戦略機能

アントレプレナーシップセンター

所長: 柴山知也

ベンチャー支援、アクセラ
レーション

提携VC

(2018年11月~

WERU Investment
Research & Business Developer



Beyond
Next
Ventures

JST Score プロジェクト

PoCファンド
(2020年7月~)

早稲田オープン・イノベーション・バレー (教職員・学生の挑戦を支援する環境の提供)

スマートエナジーシステム・イノベーションセンター



- JST「革新的イノベーション創出プログラム」(COIサテライト拠点)
- 蓄電池研究開発の拠点として広く学内外の研究者と連携

リサーチイノベーションセンター



- 総工費100億円(自主経費)による産学連携拠点の建設(2020年3月竣工、地上6階地下2階 総床面積18,000m²)
- 研究戦略・アントレプレナーシップ・TL0・文部科学省事業「オープンイノベーション機構」等各センターの統合
- 各種研究支援事業(産学連携ワンストップ窓口、産学連携契約支援、アウトリーチ機能)を整備

インキュベーションセンター

- 早稲田大学の学生・教職員を対象に起業支援を実施
- ベンチャー企業向けスペース・設備を整備

各務記念材料 技術研究所

- 文部科学省「環境整合材料基盤技術共同研究拠点」

早稲田アリーナ



- 多目的施設「早稲田アリーナ」(2018年12月竣工)
- 健康スポーツサイエンス研究を推進

早稲田キャンパス

- 「ナノライフ創新機構」「スマート社会技術融合研究機構」
- 国のDBと連携しオープンイノベーションを加速

- 「次世代ロボット研究機構」

戸山キャンパス

喜久井町キャンパス

西早稲田キャンパス

TWIns

グリーン・コンピューティング・システム 研究開発センター



- 経済産業省「産業技術研究開発施設整備事業」の支援を受け建設(2011年)
- 次世代マルチコア・メニーコアのハードウェア、ソフトウェア、応用技術等の研究開発を推進

2021年3月9-10日 オンライン開催(参加:2300人)

WOI'21実行委員長
早稲田大学副総長(研究推進)
笠原博徳



WOI'21

WASEDA OPEN INNOVATION FORUM 2021

早稲田オープン・イノベーション・フォーラム2021

オックスフォード
THE大学ランキング
5年連続世界No.1

What the University of Oxford
has learned during the pandemic
Vice-Chancellor of the University of Oxford
Prof. Louise Richardson



IEEE
世界最大の学会



文部科学省 大臣官房審議官(科学技術・学術政策局担当) 梶原 将 氏
経済産業省 大臣官房審議官(産業技術環境局・福島復興担当) 萩原 崇弘 氏



グリーン・コンピューティング・システム研究機構
10周年記念講演会

Oxford-Waseda
Computer Science Symposium
(オックスフォード大学との大学間協定両大学トップ研究者の講演)

研究院・研究機構の取り組み紹介

早稲田知財活用ベンチャー紹介

研究成果展開事業 社会還元加速プログラム(SCORE) Demo Day

学生の発表 (EDGE-NEXT、ビジネスコンテスト優勝者、DSコンペティション優秀賞受賞者の講演)

「早稲田オープン・イノベーション・エコシステム」の実現に向けて

経済界、ベンチャー、研究者、学生とのオンライン交流の場！



ブース展示

企業・ベンチャー・早稲田大学研究者によるオンラインブース展示
各ブースでは、持続可能な開発目標（SDGs）を提示

セミナープログラム

世界最先端の国内外企業・政府・大学リーダーたちによる講演やパネルディスカッション

オープニング

早稲田大学校長 田中 晋治
実行委員長 早稲田大学副総長 笠原 博徳
文部科学省 経済産業省

招待講演・講演

岡 修三氏

一般社団法人日本経済団体連合会 副会長
東京海上日動火災保険株式会社 相談役

大橋徹二氏

一般社団法人日本経済団体連合会 副会長
JFEホールディングス 理工学部創設歴史的
竹内期本部長が創設30周年記念講演

Mr. Dave West

CISCO Systems
Asia Pacific & China President
イノベーション推進フェーズ2 海外投資
推進 早稲田大学 商学大学院 教授
ムーンショット関連先駆的イノベーション研究推進
委員会 早稲田大学 工学部 教授
WASEDA'S Health Study 総括



経団連 岡 修三 副会長



JFE 大橋徹二会長



CISCO アジア
パシフィック 中国
Dave West 社長

招待講演・講演

Susan Kathy Land 氏
IEEE 2021 President

櫻田 謙悟 氏

公益社団法人経済同友会 代表幹事
SOMPOホールディングス
グループCEO 取締役代表執行役社長

中谷 義昭 早稲田大学

オープンイノベーション戦略研究機構副機構長

木村 啓二 早稲田大学

オンラインコンペティティングシステム研究機構副機構長



IEEE Susan
Kathy Land 会長



経済同友会
櫻田 謙悟
代表幹事

早稲田大学研究開発フォーラム

産学連携によるカーボンニュートラル研究の展開
～カーボンニュートラルの企業方針、本学との共同研究、
今後の産学連携研究の方向性～

- 早稲田大学カーボンニュートラル研究推進
- ICTの活用によるICTのシステムインテグレーションによる研究推進
- カーボンニュートラルの企業方針、本学との共同研究、今後の産学連携研究の方向性をテーマに討論
(電力ネットワーク/グリーンビジネスフォーメーション/通信ネットワーク/ICM/ICV/建築/建設)

講演者・プログラムは変更になる可能性があります

産学連携協定記念講演

コマツ

三井不動産株式会社

プラチナ協賛企業講演

JST研究成果展開事業 社会還元加速プログラム (SCORE) Demo Day

若手研究者・学生の発表

早稲田オープン・イノベーション・エコシステム挑戦的研究プログラム (W-SPRING)
次世代アントレプレナー育成事業 (EDGE- NEXT) , 高等研究所 (WIAS)



チューリング賞受賞記念講演が開催されるコンピュータアーキテクチャの世界最高峰国際会議 ACM/IEEE ISCAの2025年6月早稲田開催が決定

Co-Chairs: Jean-Luc Gaudiot (Prof. UCI, IEEE CS President 2017)
 Hironori Kasahara (SEVP Waseda, IEEE CS President 2018)



Waseda Univ. Main Campus Meeting Facilities

Waseda Open Innovation Valley
 (Variety Sizes of meeting rooms in side 5 minutes working area)

Conference Center <ul style="list-style-type: none"> 450 persons 100 persons 80 persons 50 persons 	Rihga Royal Hotel <ul style="list-style-type: none"> Lunch, Dinner, 1000 persons Banquet room several 200-300 hundreds persons meeting rooms: A few minutes from ISCA 	ISCA Place: Okum Auditorium <ul style="list-style-type: none"> 1F: 1120 persons B1: 300 Persons 	Research Innovation Center <ul style="list-style-type: none"> 180 persons *1 50 persons *4 40 persons meeting rooms *2
Waseda U. Main Campus <ul style="list-style-type: none"> 6000 persons 	Ono Hall & Waseda Tower <ul style="list-style-type: none"> 250 persons 150 persons 50 persons *2 40 persons *3 	Green Computing R&D Center <ul style="list-style-type: none"> 180 persons *1 30 (VIP Meeting) 40 persons *3 	

ACM/IEEE International Symposium on Computer Architectureにてコンピュータ分野のノーベル賞と言われるチューリング賞記念講演会を早稲田大学大隈講堂で実施予定

ACM チューリング賞

A.M. TURING CENTENARY CELEBRATION WEBCAST



コンピュータ分野のノーベル賞



Turing Award > Winners

毎年生産される200億個以上の
プロセッサの99%がRISC
スタンフォード大前学長・
Alphabet(Google親会社)会長

Jeffrey Ullman



2020 アルゴリズムと
プログラミング言語

Geoffrey Hinton



2018 AI
ディープ・ラーニング

John L. Hennessy



2017 コンピュータ構成法
RISC:スマホ-スパコン

Alfred Aho



2020 アルゴリズムと
プログラミング言語

Yoshua Bengio



2018 AI
ディープ・ラーニング

Tim Berners-Lee



2016 World Wide Web

ディズニー・アニメーション・
スタジオ&ピクサーの元社長

Edwin Catmull アニメーションと
3Dグラフィックス



2019

トイ・ストーリー, モンスターズ・インク

Yann LeCun



2018 AI
ディープ・ラーニング

Whitfield Diffie



2015 公開鍵暗号

Pat Hanrahan



2019 アニメーションと
3Dグラフィックス

カリフォルニア大バークレー
名誉教授, ACM元会長

David A Patterson



2017 コンピュータ構成法
RISC:スマホ-スパコン

Martin Hellman



2015 公開鍵暗号

年200億個以上のプロセッサが生産

マルチコアプロセッサ: スマホ, タブレット, IoTデバイス, 自動車制御, サーバ, スパコン等
例: ARM, IBM Power, Renesas RH850, Infineon, SPARC, RISC V



64-bit
iPhone 13
2021



Launched September 14, 2021

Designed by Apple Inc.

Common manufacturer(s) : TSMC

Max. CPU clock rate to 3.23 GHz in iPhone 13 Pro

Technology node: 5 nm

6 Cores: 2 “Avalanche”高性能コア & 4 “Blizzard”省エネコア

Instruction set: A64, **Transistors:** 15 billion (15億個)

GPU(s): Apple-designed 5 core GPU in iPhone 13

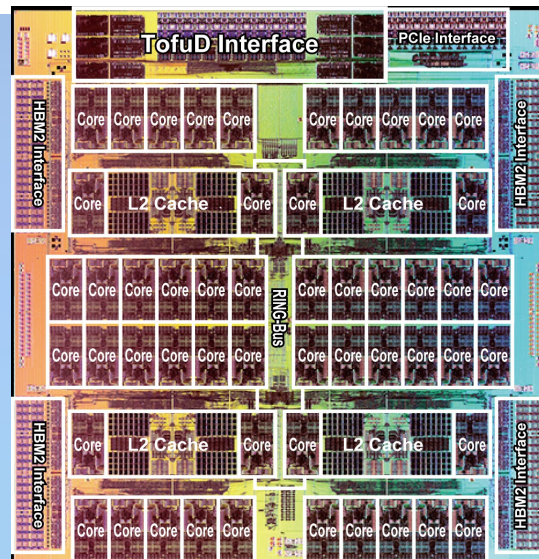
https://en.wikipedia.org/wiki/Apple_A15

<https://www.apple.com/jp/shop/buy-iphone>

理研富岳スーパーコンピュータ 2020年6月から2021年11月まで世界No.1



<https://fugaku100kei.jp/fugaku/>



<https://www.r-ccs.riken.jp/en/fugaku/about/>

RIKEN Center for Computational Science, Fujitsu (arm based processor)

Cores: 7,299,072; **Memory:** 4,866,048GB;

Processor: A64FX 48Cores, 2.2GHz

Interconnect: Tofu interconnect D

Linpack (Rmax) 415,530 TFlop/s;

Theoretical Peak (Rpeak): 513PFLOPS

HPCG [TFlop/s] 13,366.4; **Power:** 28.3MW

48コア/チップ, 2.2GHz, 7 nm FinFET,

約7百30万コア, 28MW

理論最高性能: 51京回浮動小数点演算/秒,

2020年6月時点

<https://japanese.engadget.com/arm-super-computer-fugaku-top-500-034015910.html>

ソーラーパワー・パーソナル・スパコン: 新アクセラレータ・グリーンマルチコア (AI、ビッグデータ、自動運転車、交通制御、ガン治療、地震、ロボット)

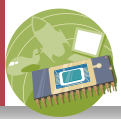
世界最高性能・低電力化機能OSCARコンパイラとの協調



ベクトルアクセラレータ併置・共有メモリ型マルチコアシステム
 性能: **8TFLOPS**, 主メモリ: **8TB**
 電力: **40W**, 効率: **200GFLOPS/W**

- 命令拡張なくどのプロセッサにも付加できるベクトルアクセラレータ
- 低消費電力で高速に立ち上がるベクトルで、低コスト設計
- コンパイラによる自動ベクトル・並列化及び自動電力削減
- 周波数・電源電圧制御機能
- バリア高速同期・ローカル分散メモリで無駄削減
- ローカルメモリ利用で低メモリコスト
- 誰でもチューニングなく使用でき、低コスト短期間ソフト開発可能

*アクセラレータ特許はJST特許群支援認定



Future Multicore Products with Automatic Parallelizing Compiler



Next Generation Automobiles

- Safer, more comfortable, energy efficient, environment friendly
- Cameras, radar, car2car communication, internet information integrated brake, steering, engine, moter control

Smart phones



- From everyday recharging to less than once a week
- Solar powered operation in emergency condition
- Keep health

Advanced medical systems



- Cancer treatment,
Drinkable inner camera
- Emergency solar powered
 - No cooling fun, No dust , clean usable inside OP room



Personal / Regional Supercomputers



- Solar powered with more than 100 times power efficient : FLOPS/W
- Regional Disaster Simulators saving lives from tornadoes, localized heavy rain, fires with earth quakes