

OSCAR自動並列化コンパイラ

プログラムの自動高速化及び自動省電力化



アドバンスマルチコアプロセッサ研究所(笠原・木村研)
<http://www.kasahara.cs.waseda.ac.jp>

OSCAR自動並列化コンパイラ

効率的な性能向上および省電力化を実現
 自動化による工数削減、ソフトウェア生産性向上が可能

マルチグレイン並列化

一般的なループ並列化に加え、ループや関数呼び出し間の並列性を生かす粗粒度並列化、文レベルでの並列性を生かす近細粒度並列化を組み合わせることによる効率的な並列化

データローカライゼーション

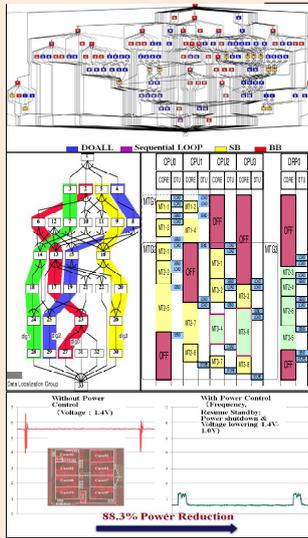
分散共有メモリ、キャッシュやローカルメモリへデータの自動分割配置

データ転送オーバーラップ

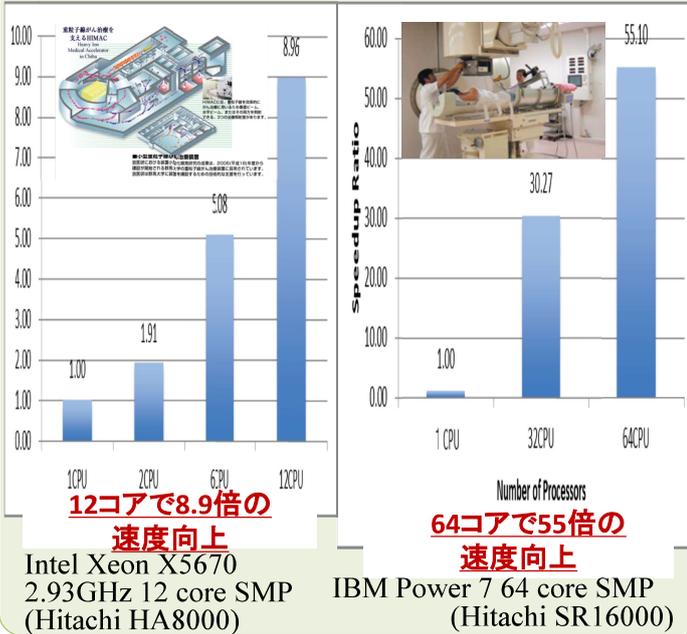
DMAコントローラによる、タスク実行とオーバーラップしたデータ転送

電力制御

DVFSや電力遮断をハードウェアに合わせて自動挿入



重粒子線ガン治療計算の高速化



ソフトウェアコヒーレントキャッシュ

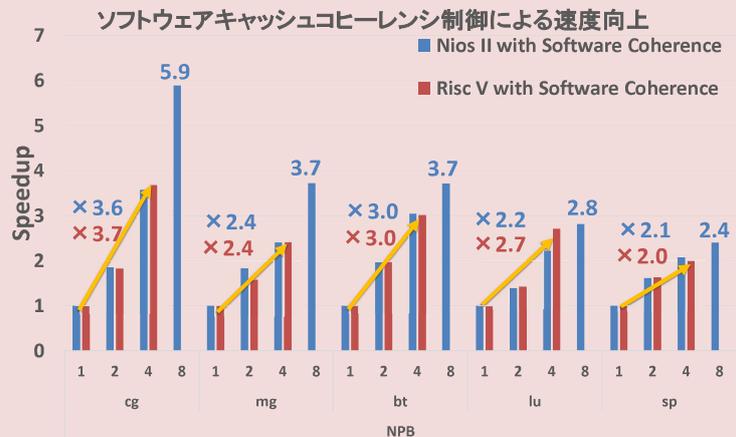
並列コンパイラによる、ハードウェアキャッシュコヒーレンス制御機構を持たない共有メモリマルチコアシステムのためのソフトウェアキャッシュコヒーレンス制御

利点

- キャッシュコヒーレンス制御用ハードウェアが不要であるためハードウェア全体の小型化、省電力化が可能
- コンパイラによるキャッシュ操作のスケジューリングとメモリ最適化による高速化

評価環境

- NIOS II / Risc V multicore system implemented in Arria10 SoC FPGA
 - I\$: 32KB / D\$: 32KB (Each PE)
 - # of PE: 1PE, 2PE, 4PE, 8PE (only NIOS II)
- 評価アプリケーション
 - NAS Parallel Benchmarks



ローカルメモリ管理

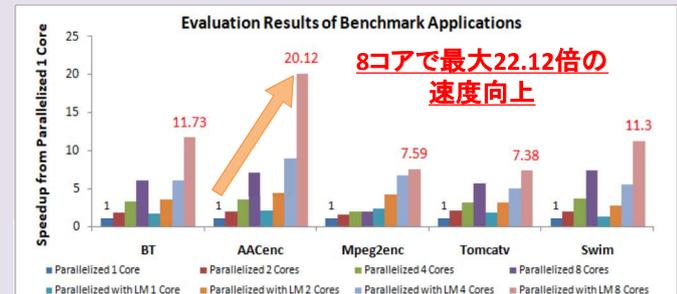
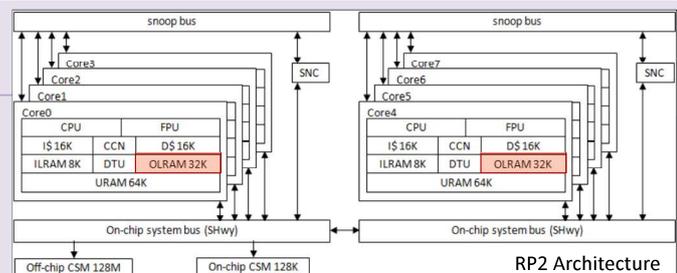
OSCARコンパイラによる、マルチコアプロセッサ向けローカルメモリ管理技術

概要

- 複数ループからのデータを分解し、高速・小容量のローカルメモリへマッピング
- ローカルメモリのブロックサイズは入力ソースプログラムの特徴から決定

評価

- RP2 PROCESSOR (Renesas Electronics, Hitachi, Waseda University)
 - 32KB Local Memory (LM) per core
- Benchmark Applications
 - From NAS Parallel Benchmark, SPEC, AAC Encoder, and MediaBench





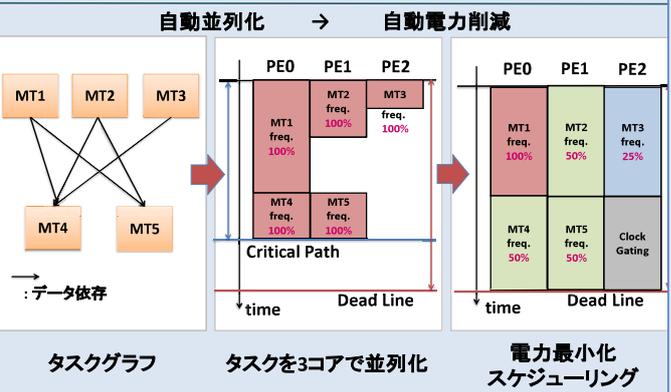
OSCAR低消費電力・並列・ベクトル化コンパイラ Low Power Accelerator

自動で電力を1/3に削減/自動ベクトル化による高速化 Compilation

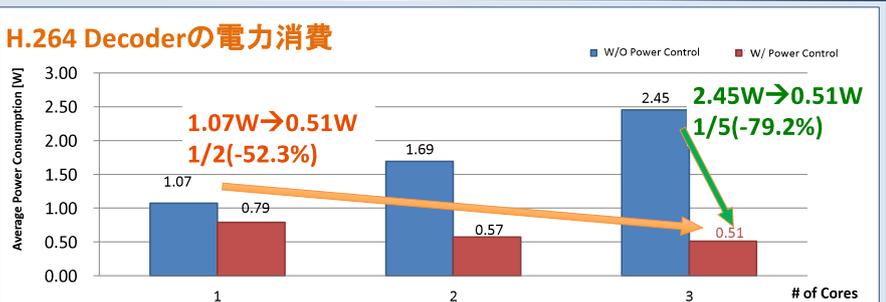
情報理工学科 笠原博徳(早稲田大学副総長)・木村啓二研究室
<http://www.kasahara.cs.waseda.ac.jp/>



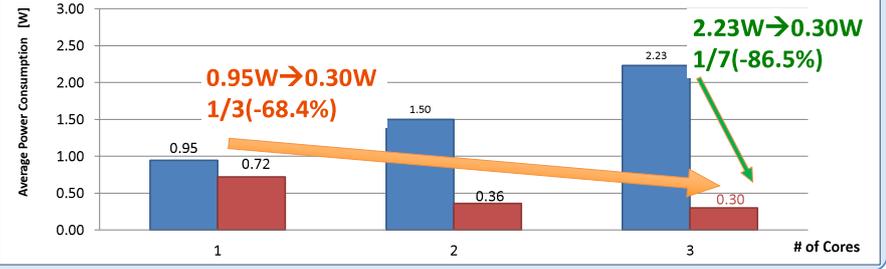
コンパイラによる省電力化 (3コアの場合)



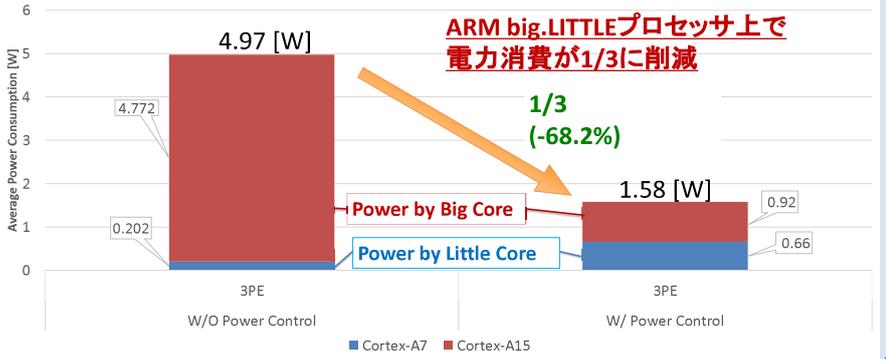
ARM Cortex-Aプロセッサ上での電力削減 (Power Reduction)



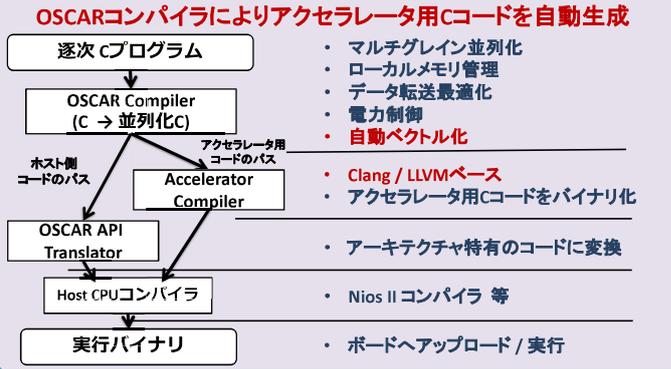
Optical Flowの電力消費



ARM big.LITTLEプロセッサ上での電力削減 (Power Reduction)



自動ベクトル化コンパイルフロー



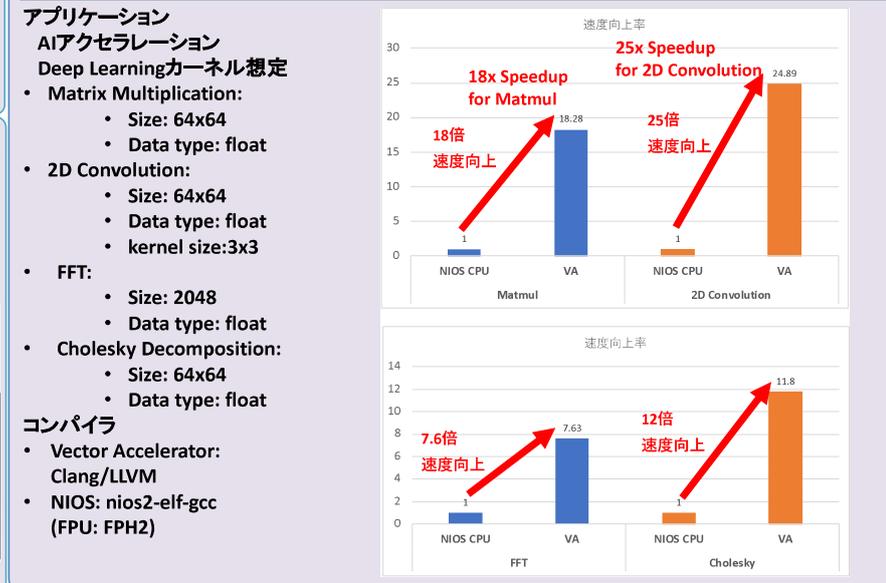
ベクトルアクセラレータのFPGA実装

ボード: Intel Cyclone V FPGA

実装上の仕様:

- 16 single precision ops/cycle
- Local Data Memory Bandwidth 32 byte/clock
- All data located on Local Data Memory
- Local Data Memory size: 64KB

ベクトルアクセラレータのFPGA上での速度 Speedup by Vector Accelerator on FPGA



Vector Accelerator & DTU (Data Transfer Unit)

特徴

- CPUの種類に関わらず接続が可能 (Intel, ARM, IBM)
- データ・ドリブンで実行を開始 (同期フラグ)

機能 [tentative]

- ベクトル機能ユニット
 - 8 double precision ops/clock
 - 64 characters ops/clock
 - 可変ベクトル長レジスタ
 - Chaining LD/ST & Vector pipes
 - 最大ベクトル長 = 256 elements
- スカラー機能ユニット
- データ転送機能ユニット
 - Overwrap execution w/ data transfer (現在はDMAを使用)



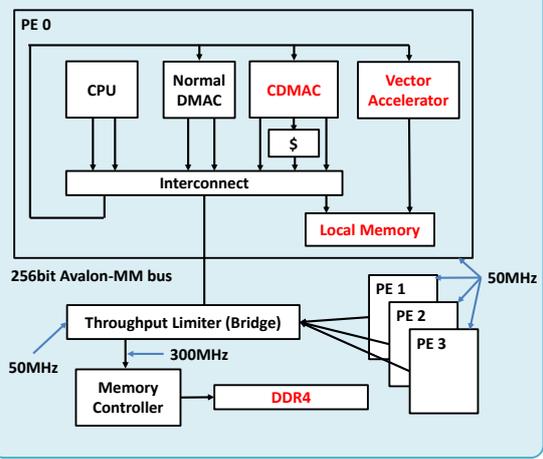
OSCAR ベクトルマルチコア プラチナベクトルアクセラレータ

アドバンスマルチコアプロセッサ研究所(笠原・木村研)

<http://www.kasahara.cs.waseda.ac.jp>

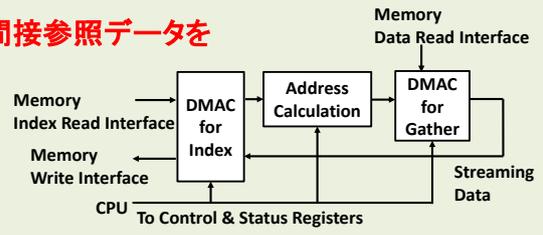
- OSCARコンパイラ
- ベクトルアクセラレータ
- Clang/LLVM

プラチナ・ベクトルマルチコア



カスケードDMAコントローラ(CDMAC)

- 主記憶からローカルメモリへのデータ転送にDMAコントローラを使用
 - データ転送とアクセラレータでの演算を分離・並列に実行できる
 - アクセラレータ上で間接参照でもローカルメモリから連続的に読み出し可能
 - 効率的な疎行列データへのアクセスを実現
 - この疎行列アクセスのためのDMACとして、**CDMAC**を提案
 - 間接メモリアクセス: $out_arr[i] = data_arr[indices[i]]$
 - DMACではアドレス計算とデータアクセスを連続的に繰り返し実施
 - キャッシュの利用
 - 頻繁にアクセスされる**間接参照データ**を**キャッシュに配置**
- ex.)構造計算 (データ局所性が高い)



FPGAを使った評価環境

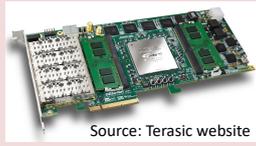
ボード名: DE5a-Net-DDR4 (intelFPGA Arria10)

ベクトルアクセラレータ(VA):

- 1サイクルあたり8個の単精度浮動小数点演算
- ローカルメモリ⇄VAのデータ幅は32byte
- VAで使用するデータは全てローカルメモリに配置
- ローカルデータメモリ容量: 32KB

CPU (NIOS II/f):

- コンパイラ: nios2-elf-gcc
- 浮動小数点ハードウェア: Floating Point Hardware 2
- キャッシュサイズ: 32KB



Source: Terasic website

疎行列密ベクトル積の高速化

アプリケーション

- SuiteSparse Matrix Collectionから疎行列を取得 (フロリダ大学のSparse Matrix Collectionより)
- 疎行列形式: SELLフォーマット
- 単精度浮動小数点と32bit整数型を利用

Result

- CPU実行時と比較して、CDMACを利用してベクトルアクセラレータで実行することで、**17倍の速度向上**
- ランダムにデータが散らばっている疎行列よりも、**帯行列で高い速度向上を実現**
 - CDMACの**キャッシュ**を有効利用
 - 構造計算に最適

NAS Parallel Benchmark CG

アプリケーション

- NAS PARALLEL Benchmark CG
 - Size S, W
- コード変形
 - Fotranで書かれたプログラムをC言語へ
 - CSR形式で書かれた疎行列をSELL形式に変更
 - ソフトウェアキャッシュ制御を用いた並列化

