

「平成21年度産業技術開発施設整備費補助金」グリーンコンピューティングセンター拠点リーダ 早稲田大学・アドバンストマルチコアプロセッサ研究所所長・副総長(研究推進) 笠原博徳

1980 早大電気工学科卒, 1982同修士了
1985 早大大学院博士課程了,工学博士,日本学術振興会特別研究員
カリフォルニア大学バークレー客員研究員
1986 早大理工専任講師, 1988年 助教授, 1997 教授,
現在 理工学術院情報理工学科
1989~1990 イリノイ大学Center for Supercomputing R&D客員研究員
2004 アドバンストマルチコア研究所所長
2017 日本工学アカデミー会員(2020理事),日本学術会議連携会員
2018 IEEE Computer Society President, 早大副総長

1987 IFAC World Congress Young Author Prize
1997 情報処理学会坂井記念特別賞
2005 半導体理工学研究センタ共同研究賞
2008 LSI・オブ・ザ・イヤー 2008 準グランプリ,
Intel Asia Academic Forum Best Research Award
2010 IEEE CS Golden Core Member Award
2014 文部科学大臣表彰科学技術賞研究部門
2015 情報処理学会フェロー,
2017 IEEE Fellow, 2017 IEEE Eta-Kappa-Nu
2019 Spirit of IEEE Computer Society Award
2020 情報処理学会功績賞,
テレコム先端技術研究支援センター(SCAT)会長大賞

査読付き論文222件, 招待講演197件,新聞・Web記事・TV等メディア掲載660件
特許取得58件(日本・米国・英国・中国等)

政府・学会委員等歴任数 263件

IEEE Computer Society President 2018, Executive Committee委員長,
理事(2009-14), 戦略計画委員会委員長, Nomination Committee委員長,
Multicore STC委員長, IEEE CS Japan委員長(2005-07), IEEE技術委員会等
【経済産業省・NEDO】情報家電用マルチコア・
アドバンスト並列化コンパイラ・グリーンコンピューティング・プロジェクトリーダ,
NEDOコンピュータ戦略委員長等
【内閣府】スーパーコンピュータ戦略委員, 政府調達苦情検討委員,
総合科学技術会議情報通信PT 研究開発基盤領域&セキュリティ・ソフト検
討委員, 日本国際賞選定委
【文部科学省・海洋研】地球シミュレータ中間評価委員、情報科学技術委員,
HPCI計画推進委員,次世代スパコン(京)中間評価委員・概念設計評価委員,
地球シミュレータES2導入技術アドバイザー委員等,
JST ムーンショット G3 ロボット & AI Vice Chair,
【COCON】産業競争力懇談会理事,等

早稲田オープンイノベーションフォーラム2021, 2021/3/10
グリーン・コンピューティング・システム研究機構10周年記念講演会

早稲田大学グリーン・コンピューティング・システム研究開発センター

経済産業省「2009年度産業技術研究開発施設整備費補助金」

先端イノベーション拠点整備事業

2011年4月13日竣工,2011年5月13日開所

<目標>

太陽電池で駆動可能で

冷却ファンが不要な

超低消費電力・高性能マルチコア/
メニーコアプロセッサ*のハードウェア、
ソフトウェア、応用技術の研究開発

*1チップ上に多数のプロセッサコアを
集積する次世代マルチコアプロセッサ

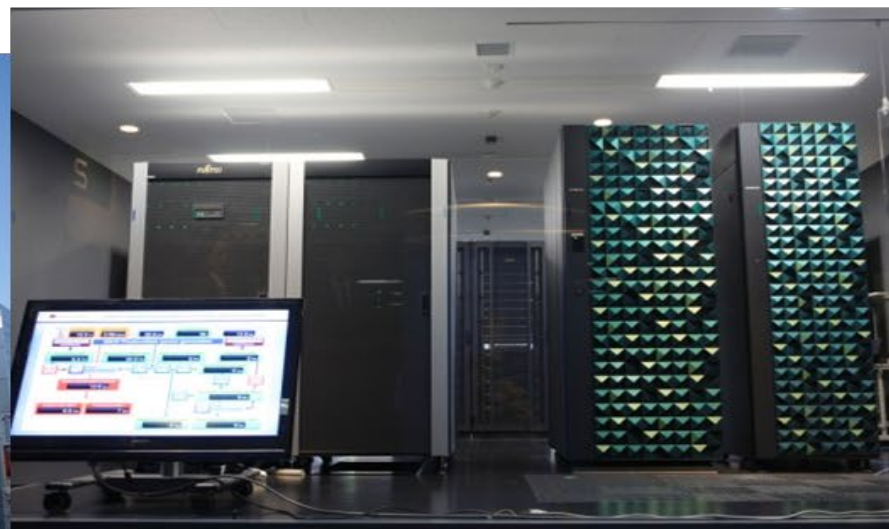
<産学連携>

日立,富士通,ルネサス,NEC,トヨタ,
デンソー, オリンパス,NSITEX、三菱電機,
オスカーテクノロジー等

<波及効果>

超低消費電力メニーコア

- CO₂排出量削減
- サーバ国際競争力強化
- 我が国の産業利益を支える
情報家電,自動車等の高付加価値化



総合科学技術会議(平成20年4月10日)での NEDOリアルタイム情報家電用マルチコアチップ・デモの様子

<http://www8.cao.go.jp/cstp/gaiyo/honkaigi/74index.html>

第74回総合科学技術会議【平成20年4月10日】



第74回総合科学技術会議の様子(1)



第74回総合科学技術会議の様子(2)



第74回総合科学技術会議の様子(3)



第74回総合科学技術会議の様子(4)

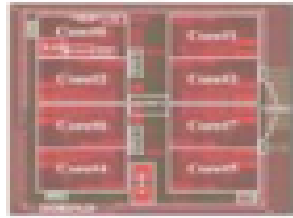
1985年よりコンパイラ（ソフト）・アーキテクチャ（ハード）協調設計マルチプロセッサの研究

4 core multicore RP1 (2007), 8 core multicore RP2 (2008) and 15 core Heterogeneous multicore RPX (2010) developed in NEDO Projects with Hitachi and Renesas

RP-1 (ISSCC2007 #5.3)	RP-2 (ISSCC2008 #4.5)	RP-X (ISSCC2010 #5.3)
90nm, 8-layer, triple-Vth, CMOS	90nm, 8-layer, triple-Vth, CMOS	45nm, 8-layer, triple-Vth, CMOS
97.6 mm ² (9.88 x 9.88 mm)	104.8 mm ² (10.61 x 9.88 mm)	153.8 mm ² (12.4 x 12.4 mm)
1.0V (internal), 1.8/3.3V (I/O)	1.0-1.4V (internal), 1.8/3.3V (I/O)	1.0-1.2V (internal), 1.2-3.3V (I/O)
600MHz, 4.32 GIPS, 16.8 GFLOPS	600MHz, 8.64 GIPS, 33.6 GFLOPS	648MHz, 13.7GIPS, 115GOPS, 36.2GFLOPS
11.4 GOPS/W (32b換算)	18.3 GOPS/W (32b換算)	37.3 GOPS/W (32b換算)

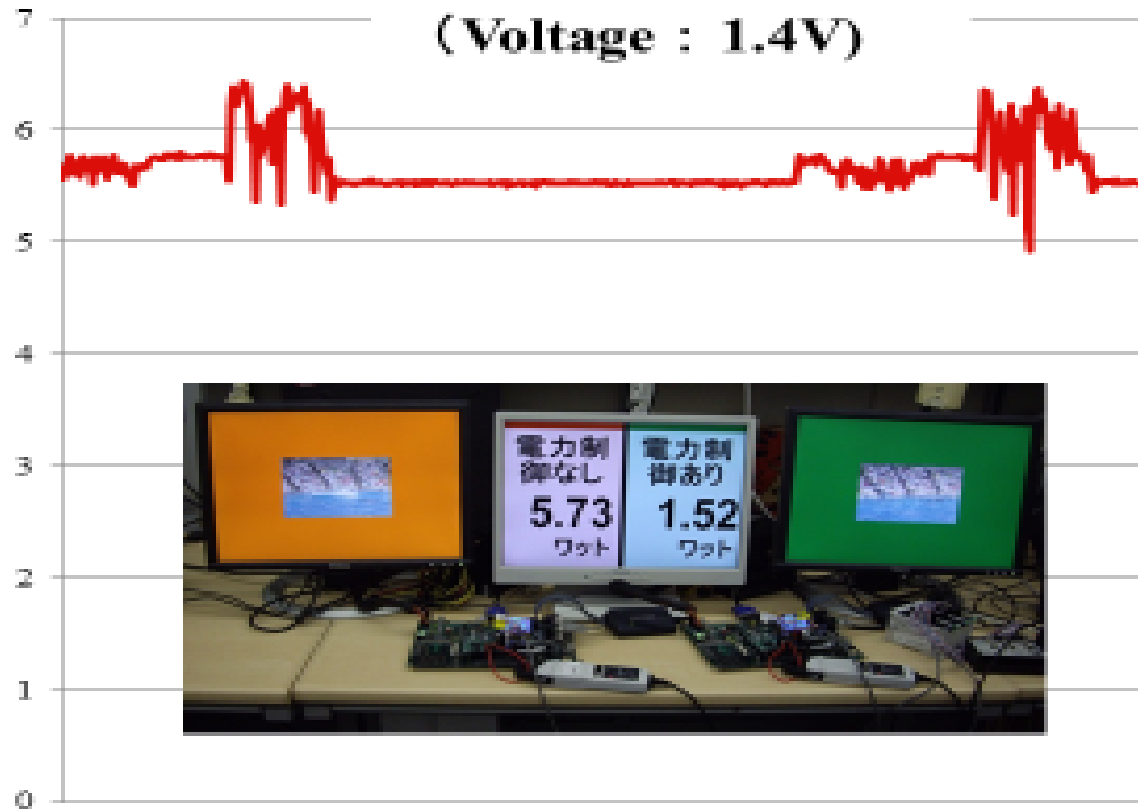
Power Reduction of MPEG2 Decoding to 1/4 on 8 Core Homogeneous Multicore RP-2 by OSCAR Parallelizing Compiler

MPEG2 Decoding with 8 CPU cores



Without Power
Control

(Voltage : 1.4V)



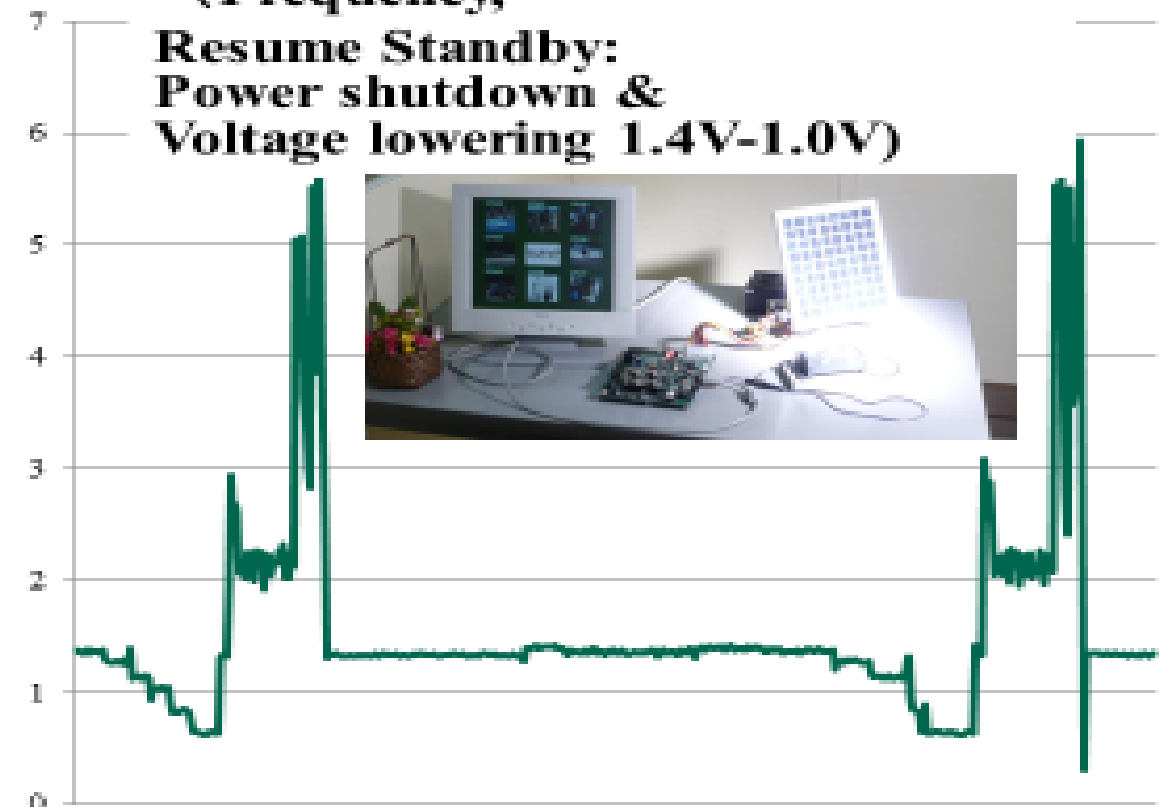
Avg. Power
5.73 [W]

73.5% Power Reduction



With Power Control
(Frequency,

Resume Standby:
Power shutdown &
Voltage lowering 1.4V-1.0V)



Avg. Power
1.52 [W]

OSCAR Parallelizing Compiler

To improve **effective performance**, **cost-performance** and **software productivity** and **reduce power**

Multigrain Parallelization(LCPC1991,2001,04)

coarse-grain parallelism among loops and subroutines (2000 on SMP), near fine grain parallelism among statements (1992) in addition to loop parallelism

Data Localization

Automatic data management for distributed shared memory, cache and local memory (Local Memory 1995, 2016 on RP2,Cache2001,03)
Software Coherent Control (2017)

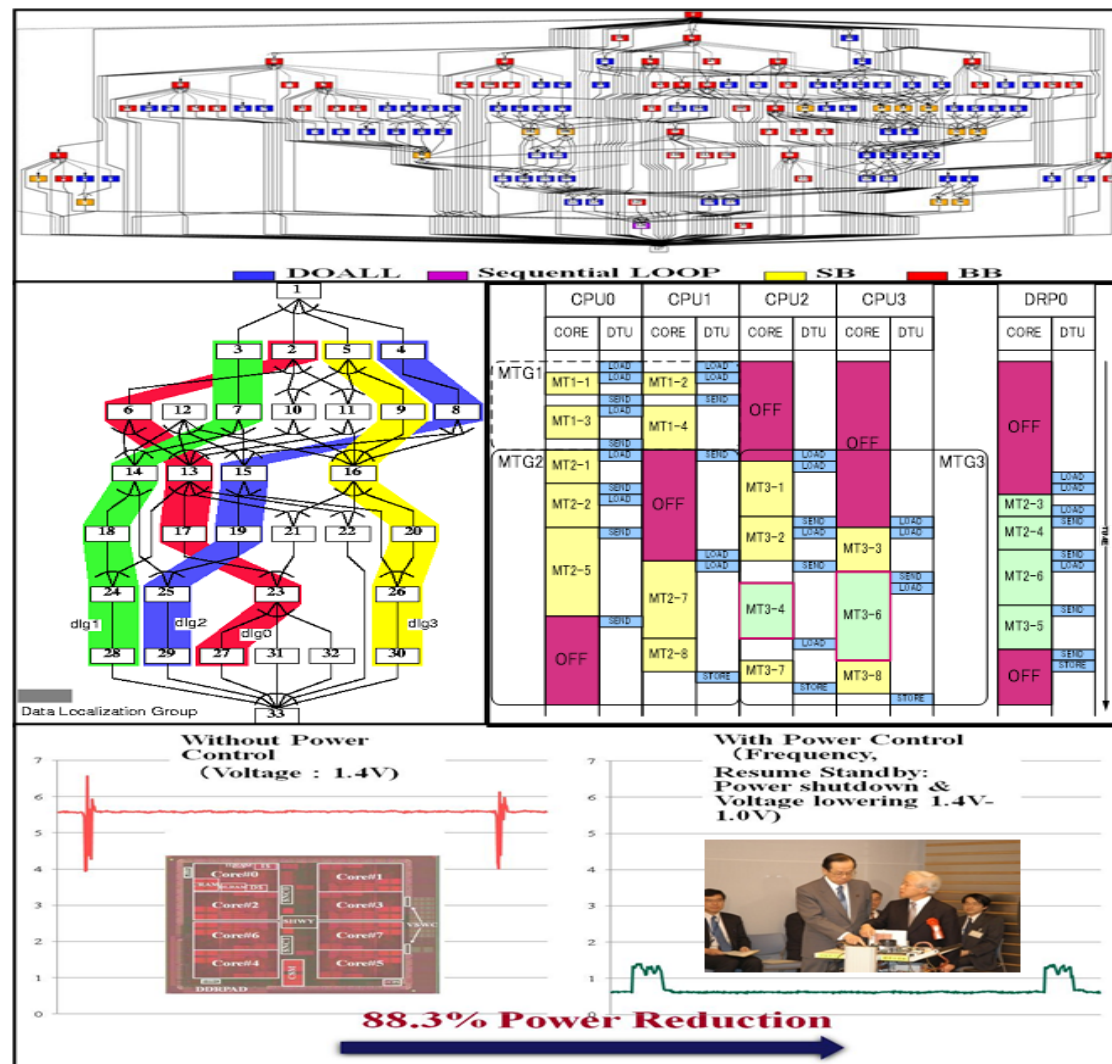
Data Transfer Overlapping(2016 partially)

Data transfer overlapping using Data Transfer Controllers (DMAs)

Power Reduction

(2005 for Multicore, 2011 Multi-processes, 2013 on ARM)

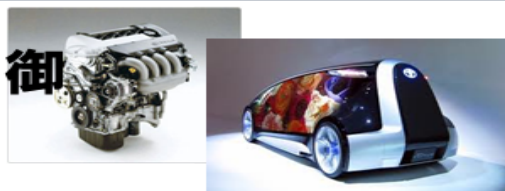
Reduction of consumed power by compiler control DVFS and Power gating with hardware supports.



アドバンスマルチコアプロセッサ研究所の共同研究

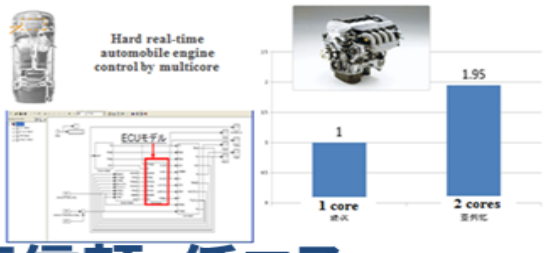
日立, NTT, 三菱, NEC, オスカーテクノロジー, デンソー, トヨタ, ルネサス, NSITEXE, 富士通, オリンパス

制御



車載(エンジン制御・自動運転Deep Learning・ADAS・MATLAB/Simulink自動並列化) デンソー, ルネサス, NEC

Engine Control by multicore with Denso
Though so far parallel processing of the engine control on multicore has been very difficult, Denso and Waseda succeeded 1.95 times speedup on 2core V850 multicore processor.



高信頼・低コスト・ソフト開発

FA 三菱

産業競争力を守る

交通シミュレーション・信号制御 NTTデータ・日立

環境を守る

命を守る



アドバンスマルチコアプロセッサ研究所

OSCARマルチコア/メニーコア & コンパイラ オスカー

産業

カプセル内視鏡オリンパス

カメラ



太陽電池駆動・週1以下の充電 (医療: 重粒子線照射計画) 日立

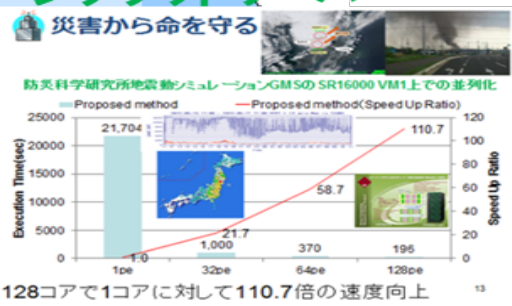
持続的高付加価値製品の開発

企業

大学

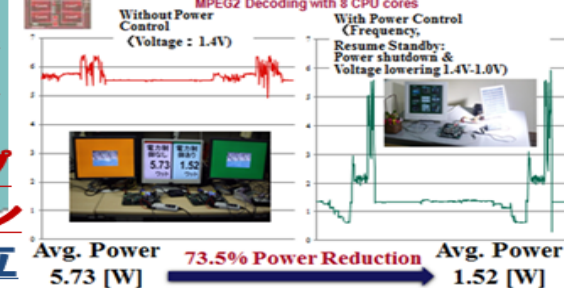
高速化

グリーンクラウドサーバ



首都圏直下型地震火災延焼、住民避難指示

Power Reduction of MPEG2 Decoding to 1/4 on 8 Core Homogeneous Multicore RP-2 by OSCAR Parallelizing Compiler



低消費電力化

新幹線車体設計・ディープラーニング・日立

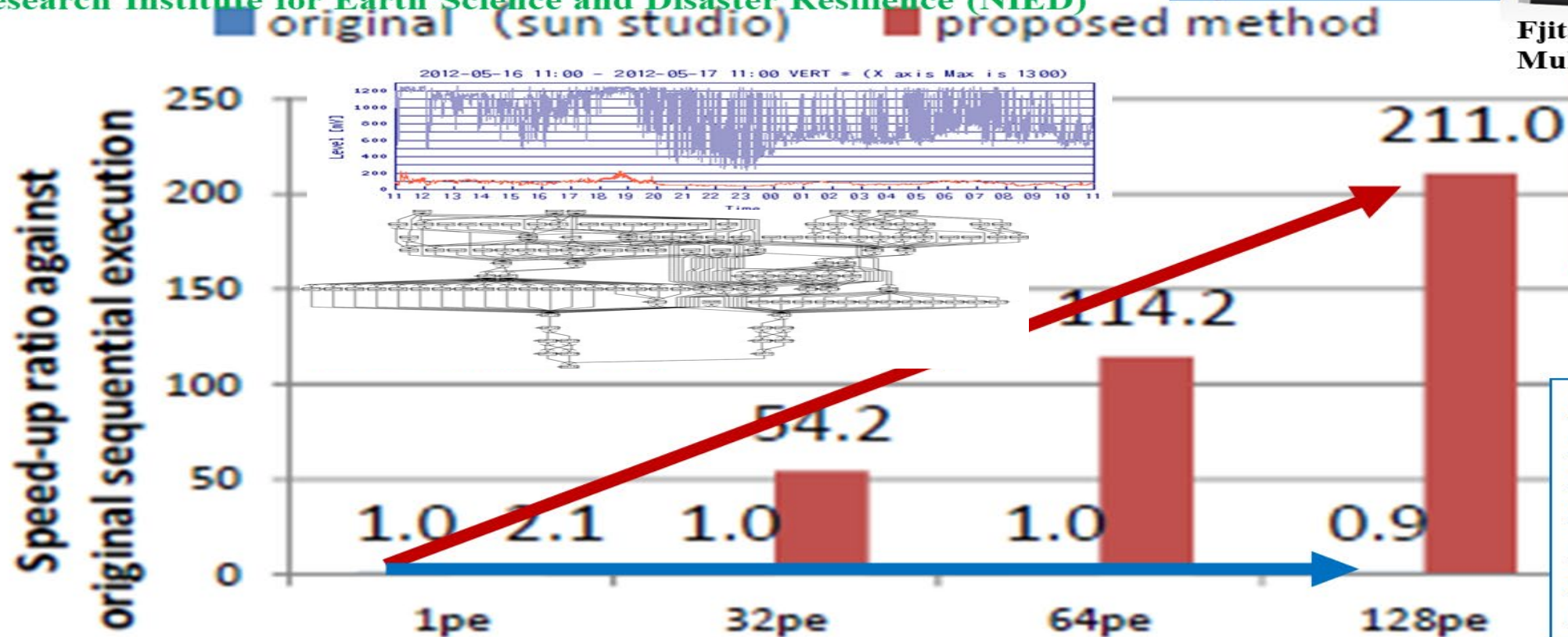
Parallel Soft is important for scalable performance of multicore (LCPC2015)

- Just more cores don't give us speedup
- Development cost and period of parallel software are getting a bottleneck of development of embedded systems, eg. IoT, Automobile

Earthquake wave propagation simulation GMS developed by National Research Institute for Earth Science and Disaster Resilience (NIED)



Fujitsu M9000 SPARC Multicore Server



OSCAR
Compiler gives
us 211 times
speedup with
128 cores

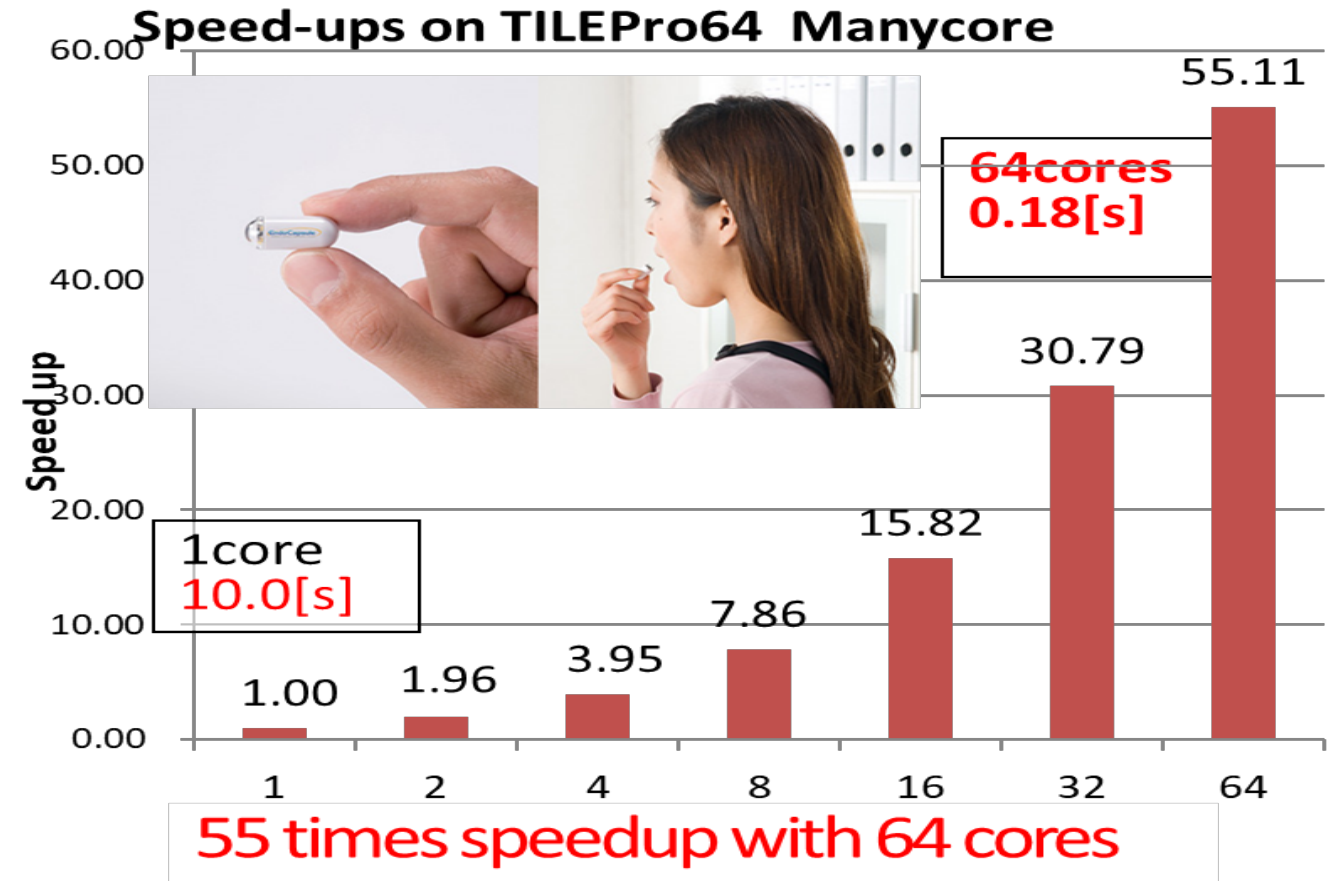
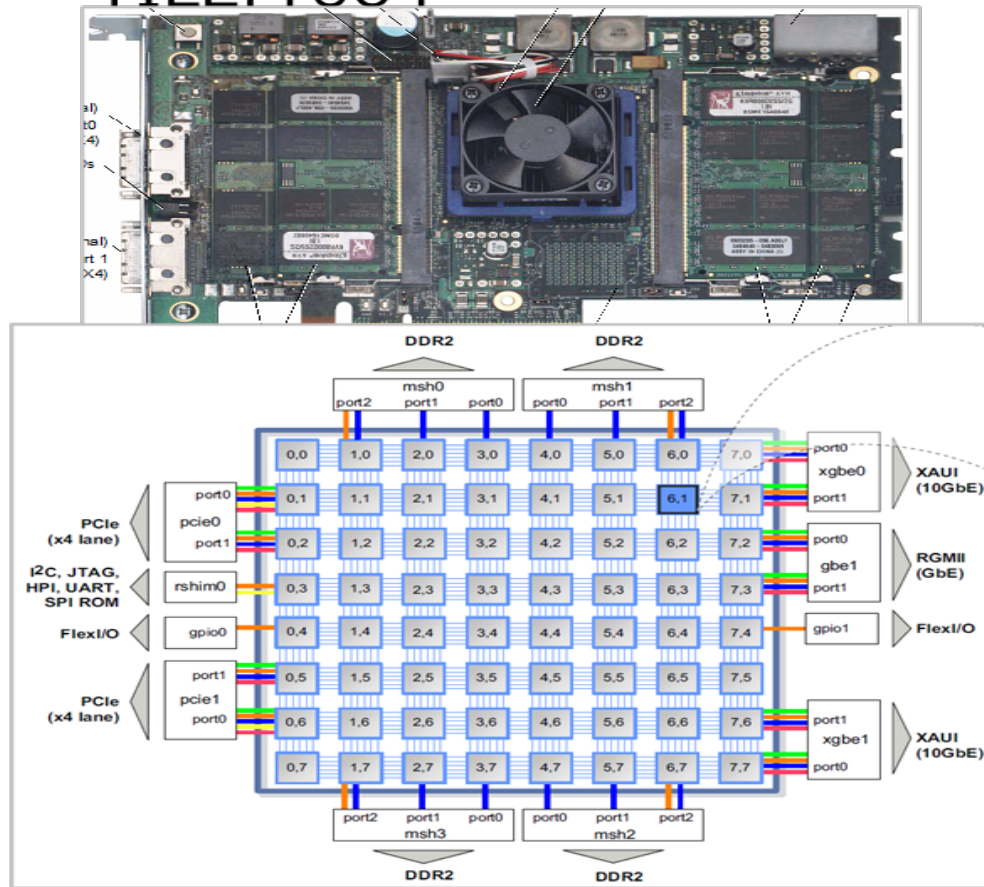
Commercial
compiler gives
us 0.9 times
speedup with
128 cores (slow-
downed against
1 core)

- Automatic parallelizing compiler available on the market gave us no speedup against execution time on 1 core on 64 cores
 - Execution time with 128 cores was slower than 1 core (0.9 times speedup)
- Advanced OSCAR parallelizing compiler gave us 211 times speedup with 128cores against execution time with 1 core using commercial compiler
 - OSCAR compiler gave us 2.1 times speedup on 1 core against commercial compiler by global cache optimization

Automatic Parallelization of JPEG-XR for Drinkable Inner Camera (Endo Capsule)

10 times more speedup needed after parallelization for 128 cores of Power 7. Less than 35mW power consumption is required.

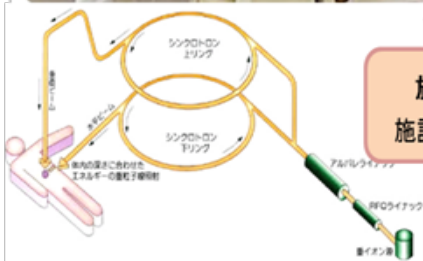
- TILEPro64



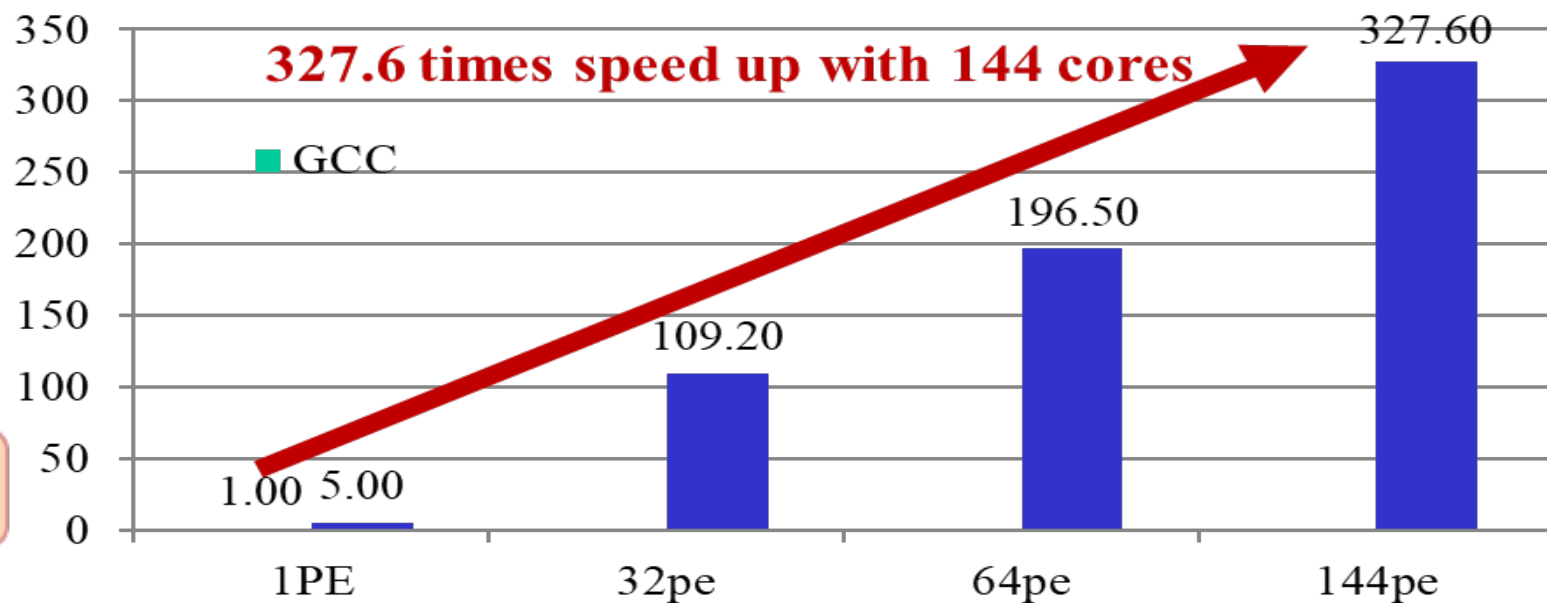
Performance on Multicore Server for Latest Cancer Treatment Using Heavy Particle (Proton, Carbon Ion)

327 times speedup on 144 cores

Hitachi 144cores SMP Blade Server BS500:
Xeon E7-8890 V3(2.5GHz 18core/chip) x8 chip



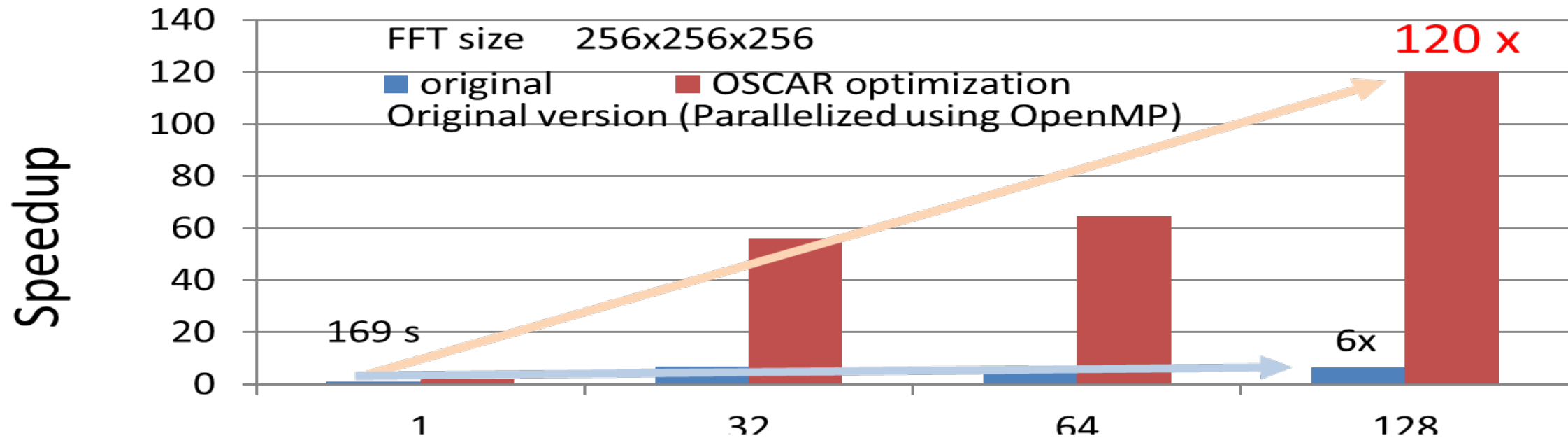
放射線医学研究所
施設の費用: 120億円



➤ Original **sequential execution time 2948 sec (50 minutes)** using GCC was reduced to **9 sec with 144 cores** (327.6 times speedup)

➤ Reduction of treatment cost and reservation waiting period is expected

Parallelization of 3D-FFT for New Magnetic Material Computation on Hitachi SR16000 Power7 CC-Numa Server



OSCAR optimization

- reducing number of data transpose with interchange, code motion and loop fusion

Hironori Kasahara has started collaboration with robot Group and research of hard-realtime Control and Simulation since 1982.

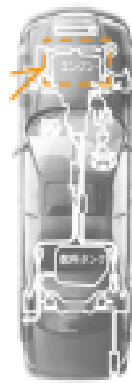
H. Kasahara, S. Narita, "Parallel Processing of Robot Arm Control Computation on a Multimicroprocessor System", IEEE Journal of Robotics and Automation, Vol. RA-1, No. 2, Jun. 1985.

H. Kasahara, H. Fujii, M. Iwata, "Parallel Processing of Robot Motion Simulation", Proc. IFAC 10th World Congress, pp.329-336, Jul. 1987. "IFAC World Congress Young Author Prize", 1987.

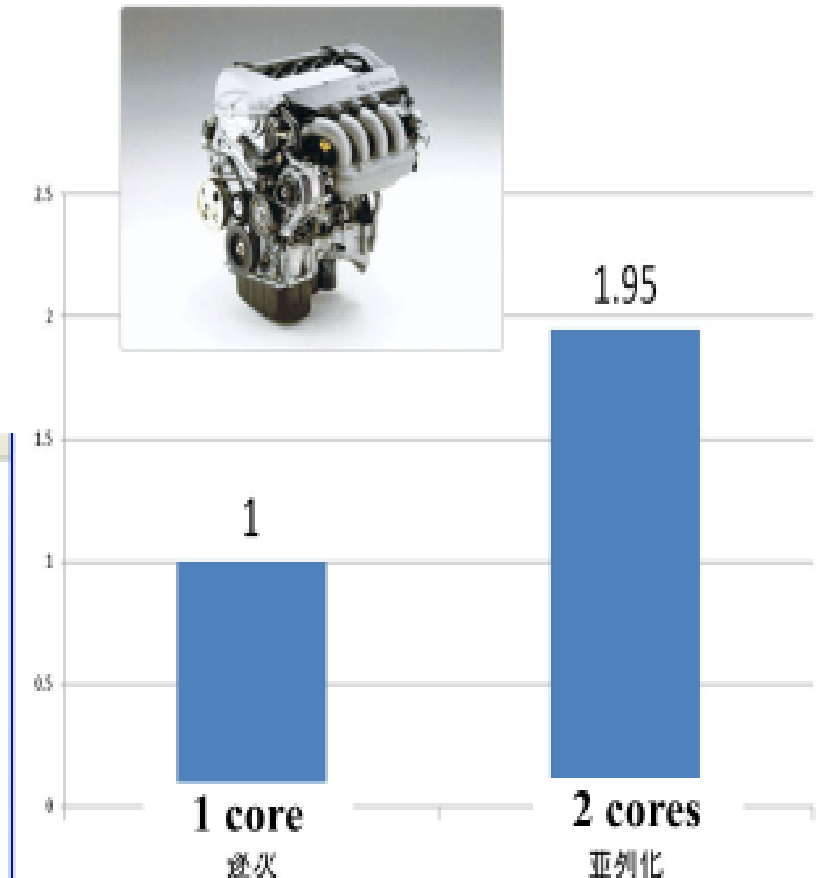
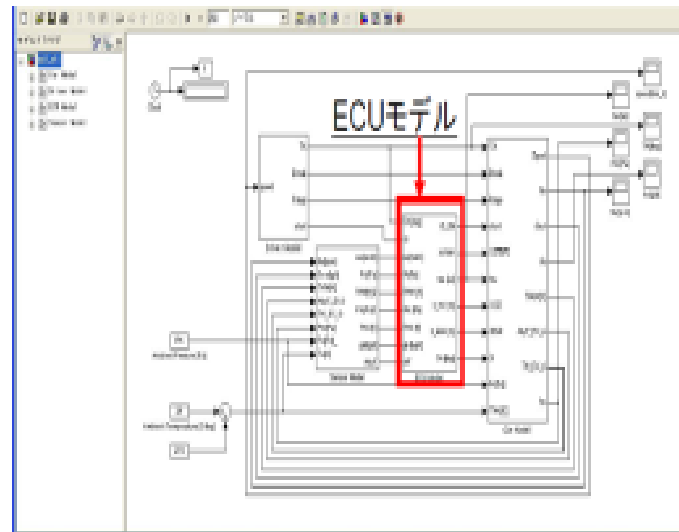


Engine Control by multicore with Denso

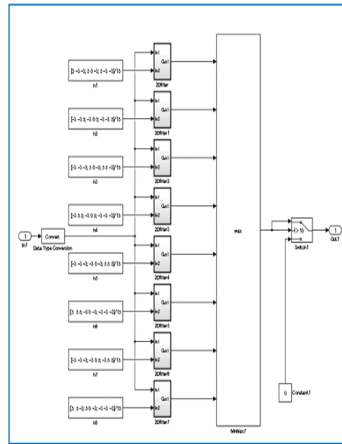
Though so far parallel processing of the engine control on multicore has been very difficult, Denso and Waseda succeeded 1.95 times speedup on 2core V850 multicore processor.



- Hard real-time automobile engine control by multicore using local memories
- Millions of lines C codes consisting conditional branches and basic blocks



OSCAR Compile Flow for Simulink Applications



Simulink model

Generate C code
using Embedded Coder



```

/* Model step function */
void VesselExtraction_step(void)
{
    int32_T i;
    real_T u0;

    /* DataTypeConversion: '(S1)/Data Type Conversion' incorporates:
    * Import: '(root)/In1'
    */
    for (i = 0; i < 16384; i++) {
        VesselExtraction_B.DataTypeConversion[i] = VesselExtraction_U.In1[i];
    }

    /* End of DataTypeConversion: '(S1)/Data Type Conversion' */

    /* Outputs for Atomic SubSystem: '(S1)/2Dfilter' */

    /* Constant: '(S1)/h1' */
    VesselExtraction_Pfilter(VesselExtraction_B.DataTypeConversion,
        VesselExtraction_P.h1_Value, &VesselExtraction_B.Pfilter,
        (Pfilter_VesselExtraction_T *)&VesselExtraction_P.Pfilter);

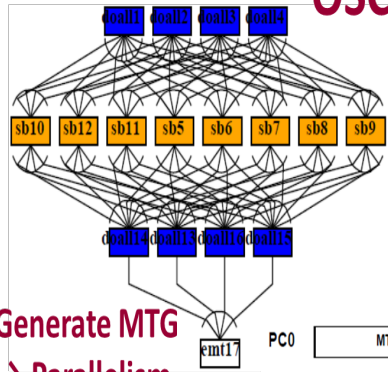
    /* End of Outputs for SubSystem: '(S1)/2Dfilter' */

    /* Outputs for Atomic SubSystem: '(S1)/2Dfilter' */

    /* Constant: '(S1)/h2' */
    VesselExtraction_Pfilter(VesselExtraction_B.DataTypeConversion,
        VesselExtraction_P.h2_Value, &VesselExtraction_B.Pfilter1,
        (Pfilter_VesselExtraction_T *)&VesselExtraction_P.Pfilter1);
    
```

C code

OSCAR Compiler



(1) Generate MTG
→ Parallelism

(2) Generate gantt chart
→ Scheduling in a multicore



(3) Generate parallelized C code
using the OSCAR API
→ Multiplatform execution
(Intel, ARM and SH etc)

```

void VesselExtraction_step ( )
{
    int thr1 ;
    int thr2 ;
    int thr3 ;

    void thread_function_001 ( void )
    {
        VesselExtraction_step_PE1 ( ) ;
    }

    oscar_thread_create ( &thr1 ,
        thread_function_001 , (void*)1 ) ;
    oscar_thread_create ( &thr2 ,
        thread_function_002 , (void*)2 ) ;
    oscar_thread_create ( &thr3 ,
        thread_function_003 , (void*)3 ) ;

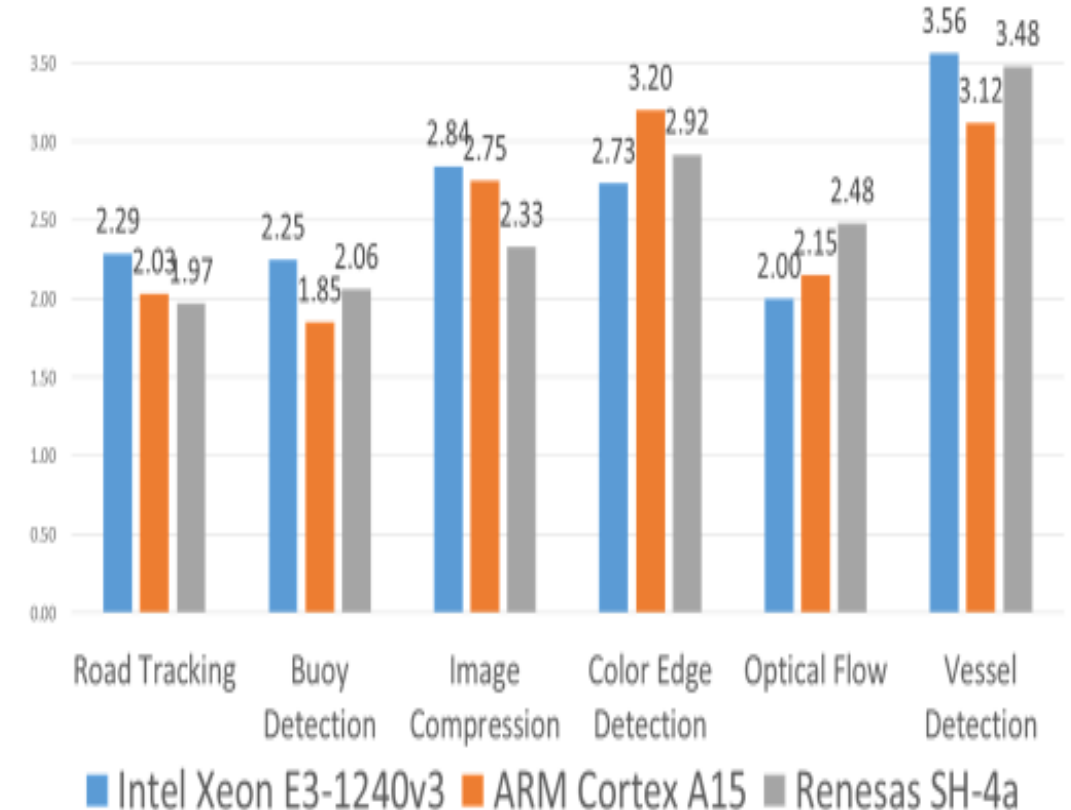
    VesselExtraction_step_PEO ( ) ;

    oscar_thread_join (thr1) ;
    oscar_thread_join (thr2) ;
    oscar_thread_join (thr3) ;
}
    
```

Speedups of MATLAB/Simulink Image Processing on

Various 4core Multicores

(Intel Xeon, ARM Cortex A15 and Renesas SH4A)



Road Tracking, Image Compression : <http://www.mathworks.co.jp/ip/help/vision/examples>

Buoy Detection : <http://www.mathworks.co.jp/matlabcentral/fileexchange/44706-buoy-detection-using-simulink>

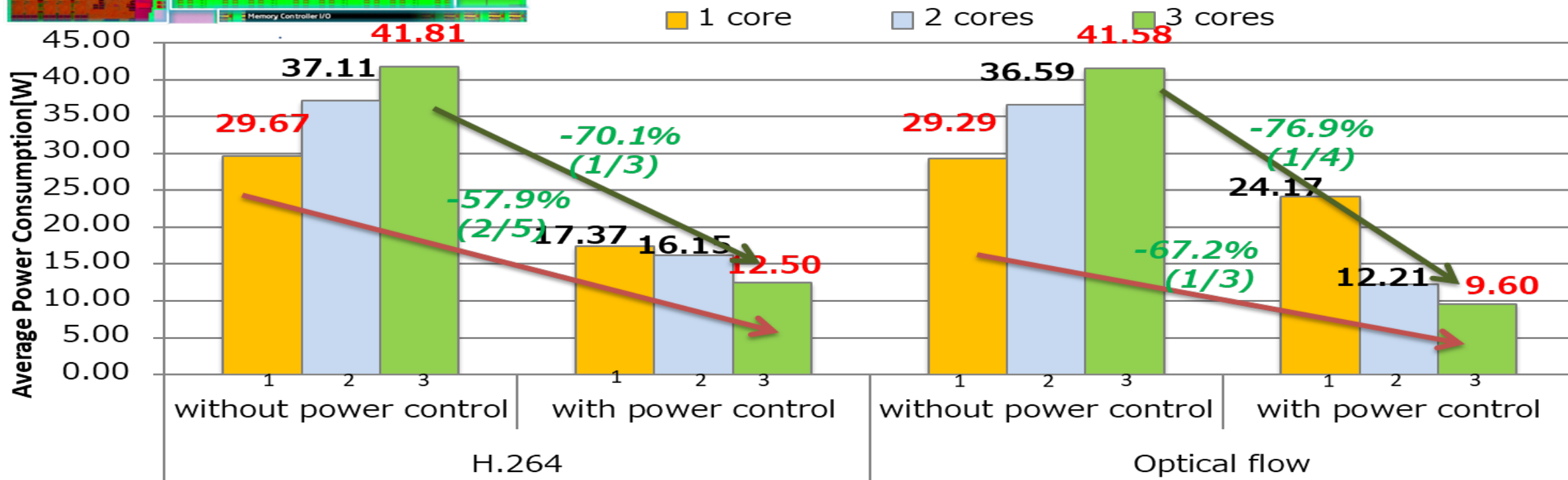
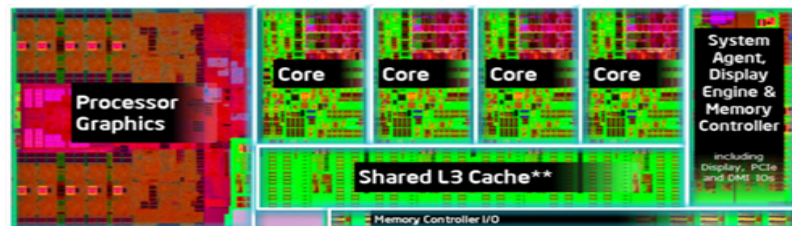
Color Edge Detection : <http://www.mathworks.co.jp/matlabcentral/fileexchange/28114-fast-edges-of-a-color-image-actual-color-not-converting-to-ayscale/>

Vessel Detection : <http://www.mathworks.co.jp/matlabcentral/fileexchange/24990-retinal-blood-vessel-extraction/>

Automatic Power Reuction on Intel Haswell

H.264 decoder & Optical Flow (3cores)

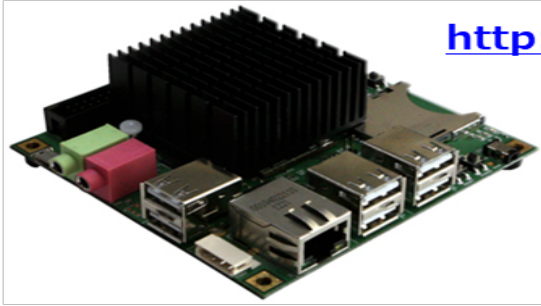
H81M-A, Intel Core i7 4770k
Quad core, 3.5GHz~0.8GHz



Power for 3cores was reduced to **1/3 ~ 1/4** against without software power control
Power for 3cores was reduced to **2/5 ~ 1/3** against ordinary 1core execution

Automatic Power Reduction on ARM CortexA9 with Android

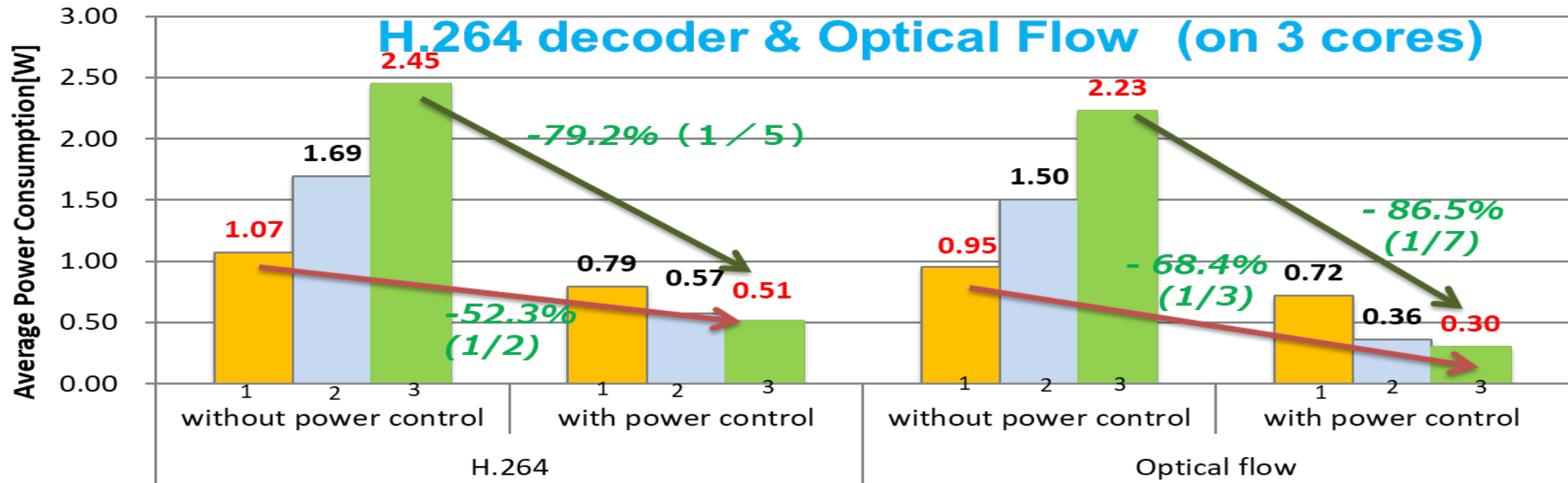
http://www.youtube.com/channel/UCS43INYEIkC8i_KIgFZYQBQ



ODROID X2

Samsung Exynos4412 Prime, ARM Cortex-A9 Quad core
1.7GHz ~ 0.2GHz, used by Samsung's Galaxy S3

1 core 2 cores 3 cores



Power for 3cores was reduced to **1/5 ~ 1/7** against **without software power control**
Power for 3cores was reduced to **1/2 ~ 1/3** against **ordinary 1core execution**

MULTICORE VIDEO SERIES

Practical Innovation

Multicore processors have become pervasive, but most organizations struggle to use them efficiently. That's why we brought together renowned experts in the field for this video series to examine the innovative techniques they use to improve reliability and performance while reducing costs, time, and power consumption.

Hear about some of the most advanced power-reduction, parallelization, and vectorization technologies used in a range of industry applications, including automobiles, big data, cloud computing, cluster computing, medical image processing, multimedia, smartphones, and supercomputing.

**World's best
educational
content**

Learn from the World's Leading Multicore Compiler Experts



Automatic Parallelization
David Padua



**Dependences and
Dependence Analysis**
Utpal Banerjee



**Instruction Level
Parallelization**
Alexandru Nicolae



**The Polyhedral
Model**
Paul Feautrier



Vectorization
P. Sadayappan



**Vectorization/Parallelization
in the Intel Compiler**
Peng Tu



**Autoparallelization
for GPUs**
Wen-mei Hwu



Dynamic Parallelization
Rudolf Eigenmann



**Multigrain Parallelization
and Power Reduction**
Hironori Kasahara



**Vector
Computation**
David Kuck



**Vectorization/Parallelization
in the IBM Compiler**
Yaoqing Gao



Roundtable Discussion
All Presenters

Who Should Watch these Videos?

Professionals in any industry that demands real-time processing, high performance, and speed will find these videos an important tool for getting better results from their multicore processing systems and future-proofing their applications.

Educators and graduate students will also find inspiration from this window into the minds of some of the most accomplished experts in multicore.

www.computer.org/multicore-video

グリーンコンピューティングセンターでの国際イベント

The 25th International Workshop on Languages and Compilers for Parallel Computing (LCPC2012), September 11-13, 2012



グリーンコンピューティングセンターでの国際イベント

A Strategic Initiative of Computing: Systems and Applications (SISA)- Integrating HPC, Big Data, AI and Beyond, Jan.18-19, 2017

A Strategic Initiative of Computing: Systems and Applications (SISA) --Integrating HPC, Big Data, AI and Beyond-- Jan. 18-19, 2017

Opening: Prof. Gao, Prof. Kasahara

Waseda VP Shuji Hashimoto

I. Architecture and Applications

Keynote: William J. Dally,
NVIDIA and Stanford University, USA

- Kimihiko Hirao, RIKEN, Japan
- G. W. Yang, Tsinghua Univ. China
- J. Sexton, IBM, USA

II . System Software and Applications

Keynote : Rick. Stevens ANL, USA

- S. Mikhail Smelyanskiy Intel USA
- Fred. Streitz, LLNL USA
- R. Govind, IIS, India
- H. Hironori Kasahara, Waseda Univ,

III. Extreme Scale and Beyond

Keynote: Paul Messina ANL, USA

- Motoaki Saito, PEZY, Japan
- Eiji Ishida, MEXT, Japan
- Depei Qian, BUAA, China
- Toshiyuki Shimizu, Fujitsu, Japan

IV. Integration of HPC, Big Data, and AI

Keynote: Thomas Sterling, Indiana Univ., USA

- Masaru Kitsuregawa, NII and Univ. of Tokyo, Japan
- Thomas Schulthess, ETH, Swiss
- Moriyuki Takamura/Toshiaki Kitamura, Oscar Tech, Japan



グリーンコンピューティングセンターでの国際イベント Future of High Performance Green Computing (HPGC2018)

2018年3月8日

Prof. David J Kuck (Univ. Illinois, Intel)
IEEE Computer Society Computer Pioneer Award 2011
Ms. Diane B. Greene (VMware Cofounder & CEO)
IEEE Computer Society Computer Entrepreneur Award 2011



2018.03.08 WasedaUniv. Symposium on
Future of High Performance Green Computing
2018 (HPGC2018)





Bjarne Stroustrup: Morgan Stanley & Columbia Univ.
2018 IEEE Computer Society Computer Pioneer Award
IEEE COMPSAC2018 Keynote & Award Ceremony



July 26, 2018, Keynote,
 Hitotsubashi Hall



July 25, 2018 Award Ceremony
 Rihga Royal Hotel Tokyo



•84,000+ members



- 480 chapters
- 168 countries
- 31 technical committees & councils



Cooperation with International Organizations in 2018



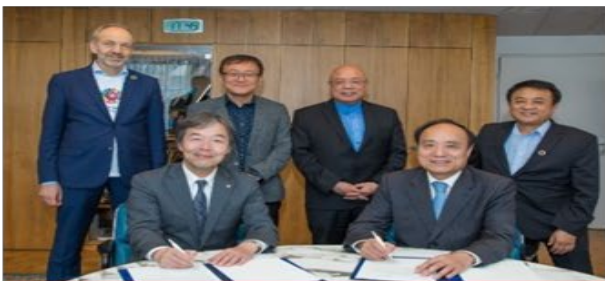
**IPSJ Leaders, March,
IPSJ Convention, Tokyo**



**Japan (IPSJ), China(CCF),
Korea(KIISE) in March,
Waseda U., Tokyo**



**Okawa Foundation, CS Japan
Chapter, Multicore STC &
Japanese Government Symp.**



**MoU with UN ITU
in AI for Good,
May, Geneva**



**CCF China National Computer
Congress, Oct. , Hangzhou**



**MoU with Baidu, July,
Green Comp. C., Tokyo**



**IEEE CS China Office
moderated Tencent-
Waseda Univ. Joint
Symposium, Nov.,
Waseda U., Tokyo**



**Russian Academy of Science:
Russian Computer Science 70th
Anniversary, Nov., Moscow**

IEEE Eta Kappa Nu (HKN) 早稲田大学に日本初の学生チャプター Waseda Univ. Student Chapter Mu Tau on July 25, 2018設立式

Eta Kappa Nuは1904年10月28日にUniv. of Illinois at Urbana-Champaignにて 設立。最初のチャプターはアルファ。Pudue大、Ohio State大を経て、2009年に全米で200の電気・コンピュータ工学系学科、2010年にIEEEの名誉ソサエティとなり、現在、世界で約260チャプター、20万人以上の会員。会員にはGoogle創設者を始め、米国大企業の社長・役員多数。会員は生涯、Eta Kappa Nu会員の特典が与えられる。



IEEE 理事: John Walz (CS President 2012), Dejan Milojicic (CS President 2014)

IEEE CS会長: Sorel Reisman 2011 (COMPSAC Standing Committee Chair), Roger Fujii 2016, Hironori Kasahara 2018, Cecilia Metra 2019, **早稲田大学:** 白井克彦元総長



**IEEE HKN Prof. Paolo Montuschi と
トリノ工科大学HKNチャプターリーダー**



**Mu Tau Chapter 1st Activity:
Paolo's talk on July 29, at Waseda U.**

Oxford University, Nov. 12–13, 2019 (Invited Lecture in CS & Research Collaboration)

Vice Chancellor Prof. Louise Richardson
Head of Astrophysics : Prof. Rob Fender
Dept. of Physics: Prof. Ian Shipsey
Astrophysics: Prof. H.Falche, et. al.

Merton College
Warden: Prof. Irene Tracy
Fellow: Dr. Peter Braam
Sub Warden: Prof. Judy Armitage
CS: Prof. Jeremy Gibbons



Choral Evensong, 750th Anniversary Room

Univ. of Oxford and Waseda U. Signed MoU for CS, Mathematics & Physics in April 2020



DEPARTMENT OF
**COMPUTER
SCIENCE**



HOME

ADMISSIONS

RESEARCH

NEWS & EVENTS

ABOUT US

ALUMNI

OUR STUDENTS

INNOVATION

HOME > NEWS & EVENTS > NEWS > UNIVERSITY OF OXFORD SIGNS MEMORANDUM OF UNDERSTANDING WITH WASEDA UNIVERSITY

News

Latest News

Inspired Research Newsletter

Media Wall

Blogs

News Archive

Events

University of Oxford signs Memorandum of Understanding with Waseda University

Posted: 22nd April 2020

To support exchanges of graduate students and staff and to collaborate on research, a Memorandum of Understanding has been signed between the Departments of Computer Science, Mathematics, and Physics at Oxford and **Waseda University** in Tokyo. The new Memorandum of Understanding was established following the visit of **Professor Hironori Kasahara** (senior executive vice president of Waseda) in November to give a **lecture** on green computing; **Professor Jeremy Gibbons** (Computer Science) and **Professor Peter Braam** (Physics) made the return visit to Waseda in January to set up the memorandum. Waseda is one of the top private universities in Japan, with particular strengths in robotics and green computing, and this agreement will provide new opportunities for working together, particularly in machine learning and programming languages.

Photos



BACK TO TOP

Calendars

RSS Feeds

Privacy & Cookies

Internal Sitemap





© University of Oxford 2020



Topic
トピック

オックスフォード大学と研究交流促進

オックスフォード大学と大学間協定締結

2020年4月17日付で、早稲田大学とオックスフォード大学は大学間協定を締結しました。この協定により、早稲田大学とオックスフォード大学の "Computer Science", "Mathematics", "Physics"分野での研究・教育圏の組織的な交流の活性化が実現します。



オックスフォード大学とは、かねてより幅広い分野での研究交流が行われていましたが、個々の教員同士の交流が点在している状態でした。この度、両大学に於いて更なる組織的な研究交流の促進を模索する中、研究交流に特化した大学間協定を締結する運びとなりました。今後は大学間協定の締結を土台にして、よりスケールの大きい研究・教育圏での交流が可能となります。相互に研究者や大学院生の交換を促進し、研究プロジェクトを推進することになります。





また、この3分野にとどまらず、多方面での研究交流へと幅を広げるべく協議していくことが合意されており、今後、さらなる2大学間の交流の発展を目指していきます。

ヨーロッパにおける研究交流を加速

本学は2016年にヨーロッパにおける研究拠点として、ベルギーのブリュッセルにオフィスを開設いたしました。すでにヨーロッパの多くの大学との研究交流が進んでいますが、オックスフォード大学との大学間協定の締結によって、これまで本学が推進してきたヨーロッパにおける研究交流を、さらに加速させることが可能となります。

Tags

Vision 150, 国際課, 教務部, 教育, 研究活動, 総長室

Posted

Wed, 22 Apr 2020

ツイート

Like

Share

メールで送信

WOI'21実行委員長 早稲田大学副総長(研究推進) 笠原博徳



WOI'21

WASEDA OPEN INNOVATION FORUM 2021

早稲田オープン・イノベーション・フォーラム2021

文部科学省 大臣官房審議官(科学技術・学術政策局担当) 梶原 将 氏
経済産業省 大臣官房審議官(産業技術環境局・福島復興担当) 萩原 崇弘 氏

グリーン・コンピューティング・システム研究機構
10周年記念講演会

Oxford-Waseda
Computer Science Symposium
(オックスフォード大学との大学間協定両大学トップ研究者の講演)

研究院・研究機構の取り組み紹介

早稲田知財活用ベンチャー紹介

研究成果展開事業 社会還元加速プログラム(SCORE) Demo Day

学生の発表 (EDGE-NEXT、ビジネスコンテスト優勝者、DSコンペティション優秀賞受賞者の講演)

