

OSCAR ベクトルアクセラレータの FPGA 上での性能評価

柏俣智哉[†] Boma A. Adhi[†] 狩野 哲史[†] 宮本 一輝[†] 河田 巧[†] 高橋 健[†]
 牧田 哲也[†] 北村 俊明[‡] 木村 啓二[†] 笠原 博徳[†]
 早稲田大学理工学術院情報理工学科[†] 早稲田大学アドバンスドマルチコア研究所[‡]

1 はじめに

アクセラレータはアプリケーション中の重要な処理を高速化・低消費電力化する目的で従来より広く用いられている。特に、ベクトルや行列演算はその応用が広くこれらの処理を高速化するために GPU 等のアクセラレータを利用したシステムが広く利用されている。

しかしながら、GPU における CUDA や OpenCL 等、アクセラレータのプログラム開発には特殊な言語拡張や API を用いた開発環境を利用し、アクセラレータのアーキテクチャやデータ供給方法を強く意識したプログラミングを行う必要がある。

アクセラレータを持つシステムに対するプログラムの生産性向上には、コンパイラによる最適化が不可欠であり、筆者等はコンパイラによる最適化手法の蓄積があるベクトルプロセッサに注目している。ベクトルプロセッサをマルチコア中の各コアに持たせることにより、筆者等が開発している OSCAR 自動並列化コンパイラで、各コアに対する並列化及び電力最適化に加えて自動ベクトル化を実現でき、アプリケーション生産性の高いシステムを構築できると考える。このようなコンパイラ・ハードウェア協調アーキテクチャとして、筆者等は OSCAR ベクトルマルチコアアーキテクチャを提案している [1]。さらに筆者等は、本ベクトルマルチコアの有用性を評価すべく、その評価プラットフォームとして FPGA 上に OSCAR ベクトルマルチコアのエミュレータを構築している。

本論文ではこの FPGA 上に構築したマルチコアのうち、特にベクトルプロセッサ部について詳しく述べる。さらに、本エミュレータで性能評価を行った結果を報告する。

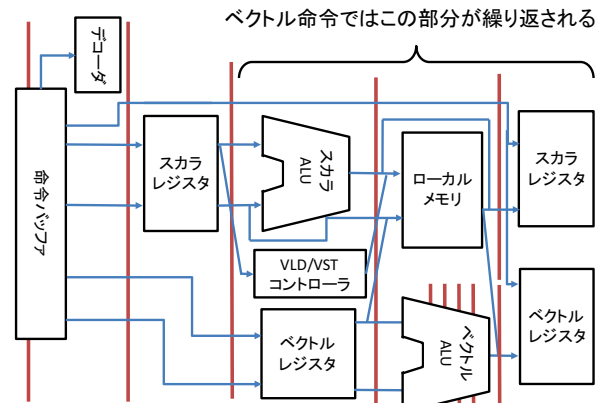


図1 パイプライン構成図

2 OSCAR ベクトルマルチコアアーキテクチャ

OSCAR ベクトルマルチコアアーキテクチャは OSCAR マルチコアアーキテクチャ [2] の各 PE に OSCAR ベクトルアクセラレータを搭載させたものである。アクセラレータと CPU の通信には分散共有メモリ (DSM) を用いる。アクセラレータは当該 PE にある DSM のみ読み書き可能である。

各 PE が持つ OSCAR ベクトルアクセラレータのマイクロアーキテクチャは富士通 VPP[3] に似た構成を持つ。特徴としてはベクトルレジスタを持ち、演算パイプ間、ロードストア-演算パイプ間でのチェイニングが可能である点、ベクトル長が可変である点が挙げられる。ベクトル部分のデータパスは 256bit であり、8 レーンの単精度浮動小数点演算が可能である。パイプラインの構成を図 1 に示す。

コンパイラによって既存の言語から自動でベクトル化を行うことによって言語の学習コスト、及び記述コストを削減することが可能となる。

3 OSCAR ベクトルアクセラレータの FPGA への実装

OSCAR ベクトルアクセラレータを含むマルチコアエミュレータの実装には Arria10 SoC 評価ボ

FPGA implementation of OSCAR Vector Accelerator

[†] Tomoya Kashimata, Satoshi Karino,
 Kazuki Miyamoto, Takumi Kawata,
 Ken Takahashi, Tetsuya Makita,
 Keiji Kimura, Hironori Kasahara

[‡] Toshiaki Kitamura[†] Dept. of Computer Sci. & Eng., Waseda Univ.[‡] Advanced Multicore Research Institute, Waseda Univ.

表1 FPGA のスペックとリソース使用量

	FPGA スペック	本アクセラ レータ使用量	NIOS 使用量
LE 数	660K	-	-
ALM 数	251,680	19,273	1,157
DSP 数	1,687	22	3
M20K 数	2,131	263	74

ードを利用した。FPGA の詳細とリソース使用量を表 1 に示す。

FPGA に実装するにあたり、今回は OSCAR ベクトルアクセラレータのサブセットを実装した。実装したベクトル命令はベクトル同士またはベクトルとスカラの加算と乗算、及びロードストアである。FPGA に実装するにあたり、CPU コアとして NIOS II /fast を選択した。NIOS II /fast の命令キャッシュ、データキャッシュは可変だが、それぞれ 32KB 用意した。整数乗算器のパラメータは、1 サイクルで乗算が可能になるように設定した。NIOS II /fast は制御用コアのため、デフォルトでは FPU を持たないが今回は性能評価のためにオプションである FPUH2(FPU) を用いた。

4 評価と考察

256x256 の行列積と 256x256 の範囲を 9x9 のフィルタを用いる 2 次元コンボリユーションにより、FPGA 上に実装した OSCAR ベクトルアクセラレータの評価を行った。どちらもデータを FPGA 内部のメモリに格納した状態から評価を行った。このため、メモリに起因するストールは発生していない。

評価の結果を表 2 に示す。本手法は行列積において 1467MFLOPS の性能を確認した。これは FPU 付きの NIOS と比較し 117 倍の性能である。コンボリユーションにおいて 1340MFLOPS の性能を確認した。これは FPU 付きの NIOS と比較し 77 倍の性能である。

NIOS II /fast は 6 段のパイプラインを持つが、実行ステージは 1 段で終了することが仮定されている。しかし FPU による浮動小数点演算には複数ステージが必要なため、ストールが挿入される。そのため、性能が低くなったと考えられる。

本手法はロングベクター方式で配列の添え字計算やループの処理を隠蔽したことにより、効率よく計算を行うことができた。

表2 評価結果

カーネル	プロセッサ	実行時間 (秒)	MFLOPS
行列積	NIOS FPU 有	2.68	12.5
	NIOS FPU 無	34.8	0.964
	本手法	0.0229	1467
コンボ リユ ーション	NIOS FPU 有	0.574	17.4
	NIOS FPU 無	12.0	0.832
	本手法	0.00743	1340

* 周波数は全て 100MHz

5 まとめ

OSCAR ベクトルアクセラレータを FPGA 上に実装し、性能を行列積と 2 次元コンボリユーションによって評価した。動作周波数 100MHz の条件下で、行列積において 1467MFLOPS の性能を、コンボリユーションにおいて 1340MFLOPS の性能をそれぞれ得られることを確認した。

謝辞

本研究の一部は科研費基盤研究 (C)15K00085 の助成により行われた。

参考文献

- [1] 丸岡晃, 無州祐也, 狩野哲史ほか: LLVM を用いたベクトルアクセラレータ用コードのコンパイル手法, 情報処理学会研究報告, Vol.2016-ARC-221, No.4, 2016.
- [2] Kimura, K., Wada, Y., Nakano, H., et al.: Multigrain Parallel Processing on Compiler Cooperative Chip Multiprocessor, Proc. of 9th Workshop on Interaction between Compilers and Computer Architectures (INTERACT-9), IEEE Computer Society, pp.11-20 (2005).
- [3] Miura, K., Takamura, M., Sakamoto, Y. and Okada, S.: Overview of the Fujitsu VPP500 supercomputer, Compecon Spring '93, pp.128-130 (1993).