自動並列化・省電力化コンパイラの最新動向

早稲田大学　笠原博徳 研究室

理工学術院基幹理工学部情報理工学科　教授

アドバンスト・マルチコア・プロセッサ研究所　所長

IEEE Computer Society President Elect 2017, President 2018

IEEE Fellow,　情報処理学会フェロー

1985年 早稲田大学博士課程了　工学博士
　カリフォルニア大学バークレー客員研究員
1986年 早大理工専任講師, 1988年 助教授
1997年 教授、現在 理工学術院情報理工学科
1989年～1990年 イリノイ大学Center for Supercomputing R&D客員研究員

1987 IFAC World Congress Young Author Prize
1997 情報処理学会坂井記念特別賞
2005 半導体理工学研究センタ共同研究賞
2008 LSI・オブ・ザ・イヤー 2008 準グランプリ
2008 Intel Asia Academic Forum Best Research Award
2010IEEE CS Golden Core Member Award
2014文部科学大臣表彰科学技術賞研究部門
2015情報処理学会フェロー , 2017 IEEE Fellow

論文212件, 招待講演134件, 特許公開56件(既取得28件),新聞・Web記事・TV等メディア掲載 544件

政府・学会委員等歴任数　245件

IEEE Computer Society理事(2009-14), 戦略計画委員会委員長,Multicore STC 委員長, 規約委員会委員長, IEEE CS Japan 委員長 (2005-07) 等

【経済産業省・NEDO】 情報家電用マルチコア&コンパイラプロジェクトリーダ,NEDOコンピュータ戦略委員長等

【内閣府】 スーパーコンピュータ戦略委員会, 政府調達苦情検討委員, 総合科学技術会議情報通信PT　研究開発基盤領域&セキュリティ・ソフト検討委員

【文部科学省・海洋研】地球シミュレータ(ES)中間評価委員、情報科学技術委員, ＨＰＣＩ計画推進委員,次世代スパコン(京)中間評価委員・概念設計評価委員, 地球シミュレータES2導入技術アドバイザイリー委員長等

2016 IEEE Computer Society Election Results

Hironori Kasahara selected 2017 President-Elect (2018 President)

IEEE CS 70年の歴史の中で初めて、北米以外から会長に選出

Hironori Kasahara has served as a chair or member of 225 society and government committees, including a member of the CS Board of Governors; chair of CS Multicore STC and CS Japan chapter; associate editor of IEEE Transactions on Computers; vice PC chair of the 1996 ENIAC 50th Anniversary International Conference on Supercomputing; general chair of LCPC; PC member of SC, PACT, PPoPP, and ASPLOS; board member of IEEE Tokyo section; and member of the Earth Simulator committee.

He received a PhD in 1985 from Waseda University, Tokyo, joined its faculty in 1986, and has been a professor of computer science since 1997 and a director of the Advanced Multicore Research Institute since 2004. He was a visiting scholar at University of California, Berkeley, and the University of Illinois at Urbana–Champaign's Center for Supercomputing R&D.

Kasahara received the CS Golden Core Member Award, IFAC World Congress Young Author Prize, IPSJ Fellow and Sakai Special Research Award, and the Japanese Minister's Science and Technology Prize. He led Japanese national projects on parallelizing compilers and embedded multicores, and has presented 210 papers, 132 invited talks, and 27 patents. His research has appeared in 520 newspaper and Web articles.

IEEE Computer Society 2017 BoG (理事) Feb.1, 2017

https://www.computer.org/web/cshistory/officers-2017

Past IEEE Computer Society Presidents

Chairs of the IRE Professional Group on Electronic Computers

1951-53 Morton M. Astrahan
1953-54 John H. Howard
1954-55 Harry Larson
1955-56 Jean H. Felker
1956-57 Jerre D. Noe
1957-58 Werner Buchholz
1958-59 Willis H. Ware
1959-60 Richard O. Endres
1960-62 Arnold A. Cohen
1962-64 Walter L. Anderson

Chairs of the AIEE Committee on Large-Scale Computing Devices

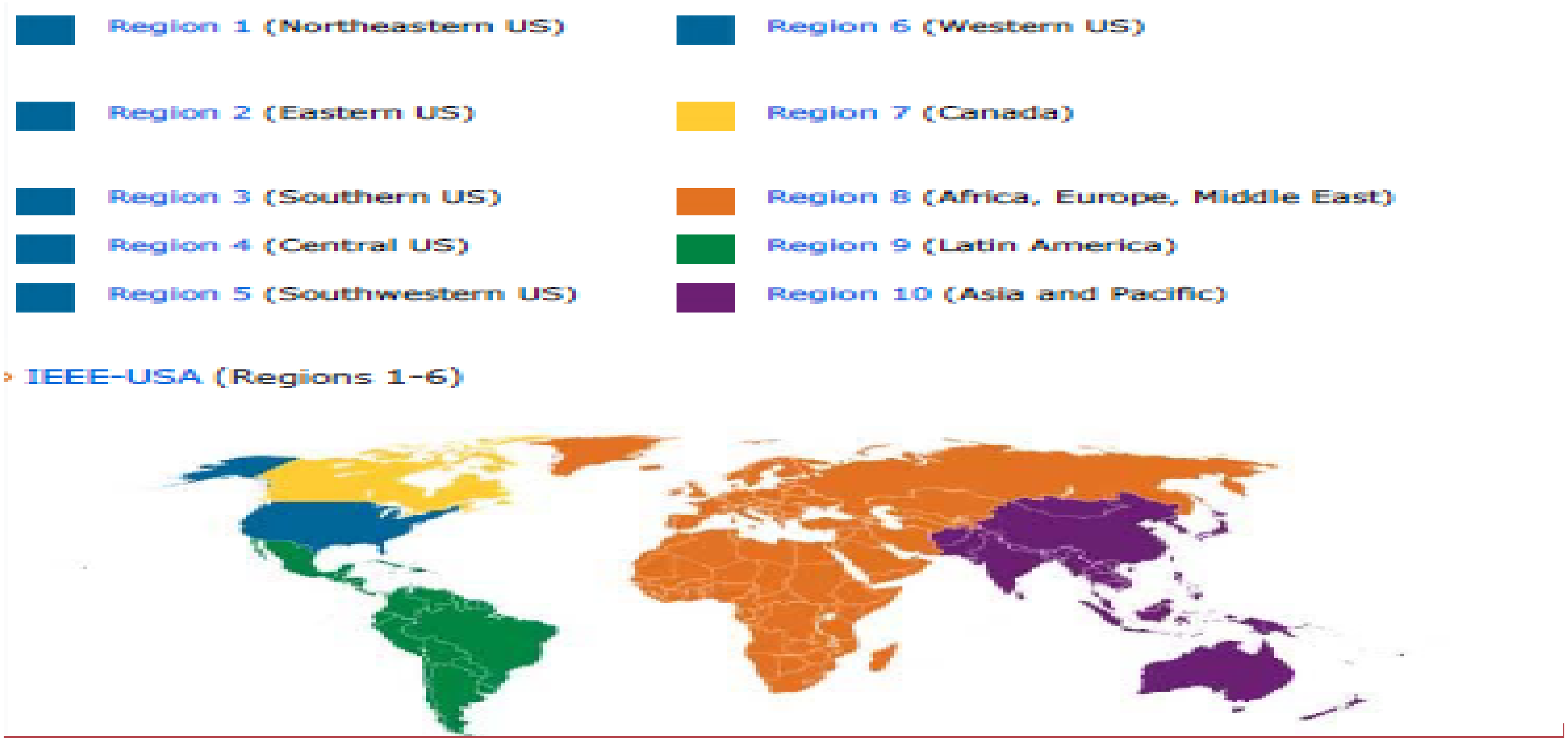
1946-49 Charles Concordia
1949-51 John Grist Brainerd
1951-53 Walter H. MacWilliams
1953-55 Frank J. Maginniss
1955-57 Edwin L. Harder
1957-59 Morris Rubinoff
1959-61 Ruben A. Imm
1961-63 Claude A. Kagan
1963-64 Gerhard L. Hollander

Chairs & Presidents of the IEEE Computer Society

1964-65 Keith Uncapher
1965-66 Richard I. Tanaka
1966-67 Samuel Levine
1968-69 Charles L. Hobbs
1970-71 Edward J. McCluskey
1972-73 Albert S. Hoagland
1974-75 Stephen S. Yau
1976 Dick B. Simmons
1977-78 Merlin G. Smith
1979-80 Tse-Yun Feng
1981 Richard E. Merwin
1982-83 Oscar N. Garcia
1984-85 Martha Sloan
1986-87 Roy L. Russo
1988 Edward A. Parrish
1989 Kenneth A. Anderson
1990 Helen M. Wood
1991 Duncan H. Lawrie
1992 Bruce D. Shriver
1993 James H. Aylor
1994 Laurel V. Kaleda
1995 Ronald G. Hoelzeman
1996 Mario R. Barbacci
1997 Barry W. Johnson
1998 Doris L. Carver
1999 Leonard L. Tripp
2000 Guylaine M. Pollock
2001 Benjamin W. Wah
2002 Willis K. King
2003 Stephen Diamond
2004 Carl K. Chang
2005 Gerald L. Engel
2006 Deborah M. Cooper
2007 Michael R. Williams
2008 Rangachar Kasturi
2009 Susan K. (Kathy) Land,
2010 James D. Isaak
2011 Sorel Reisman
2012 John W. Walz
2013 David Alan Grier
2014 Dejan S. Milojicic
2015 Thomas M. Conte
2016 Roger U. Fujii
2017 Jean-Luc Gaudiot
2018 Hironori Kasahara

IEEE Computer Society

60,000+ members, **volunteer-led organization,**
200 technical conferences, industry-oriented "**Rock Stars**" **,**
17 scholarly journals and **13 magazines,** **awards program,**
Digital Library with more than 550,000 articles and papers ,
400 local and regional chapters, **40 technical committees,**

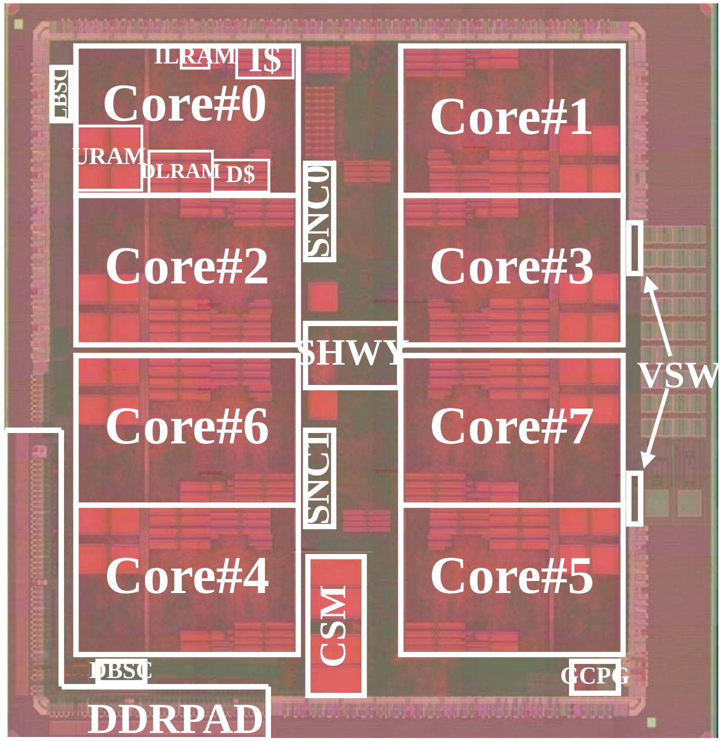


Toward 2018

1. Refining content and services to further improve the satisfaction of CS members;
2. Considering an incentive for volunteers to further accelerate CS activities and promptly provide technical benefits for people around the globe;
   To express appreciation to volunteers:
   CS Point (Mileage) System: Annual & Life Time Honor,
   Premier Seating, Premier Registration, Distinguished Reviewer, etc
3. Offering more attractive services for practitioners in industry;
4. Providing the world's best educational content and historical treasures for future generations, which only the CS can create with our pioneering researchers (for example, the Multicore Compiler Video Series found at www.computer.org/web/education/multicore-video-series);
5. Thinking about sustainable membership fees while considering the diversity of economic situations within the 10 regions;
6. Cooperating with other IEEE societies and sister societies in a timely and efficient manner;
7. Intelligibly introducing the latest computer-related technologies to younger generations, including children, so that they can realize their technological dreams.

Multicores for Performance and Low Power

Power consumption is one of the biggest problems for performance scaling from smartphones to cloud servers and supercomputers (“K” more than 10MW) .



IEEE ISSCC08: Paper No. 4.5, M.ITO, … and H. Kasahara, “An 8640 MIPS SoC with Independent Power-off Control of 8 CPUs and 8 RAMs by an Automatic Parallelizing Compiler”

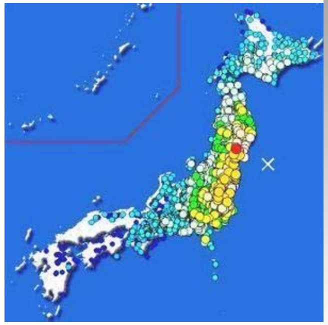
Power ∝ Frequency * Voltage^2
(Voltage ∝ Frequency)
➡ Power ∝ Frequency^3

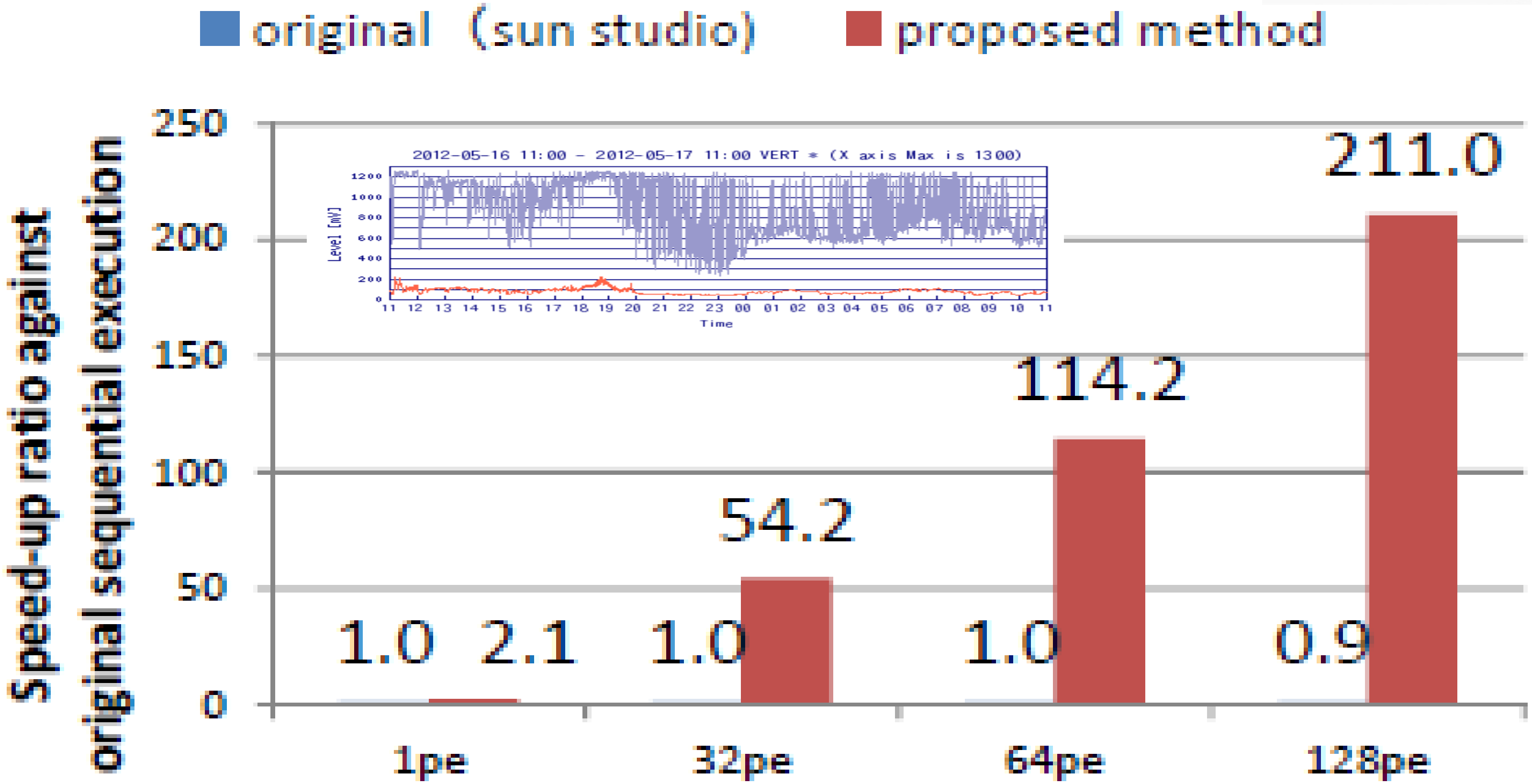
If Frequency is reduced to 1/4 (Ex. 4GHz→1GHz),
Power is reduced to 1/64 and
Performance falls down to 1/4 .

<Multicores>
If 8cores are integrated on a chip,
Power is still 1/8 and
Performance becomes 2 times.

災害から命を守る

防災科学研究所地震動シミュレーション GMSの富士通M9000上での並列化





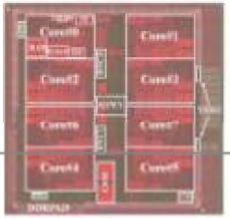
128コアで、OSCARコンパイラ使用1コアに対して100倍の速度向上、Sun　Studio使用1コアオリジナルコードに対して211倍の速度向上

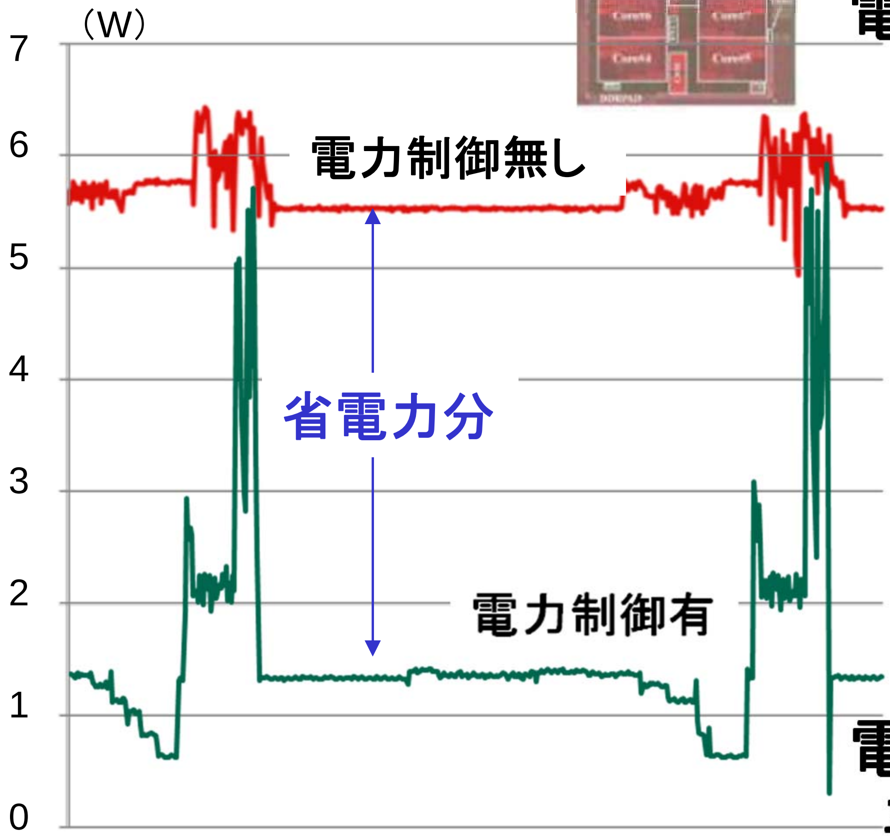
太陽光電力で動作する情報機器

コンピュータの消費電力をHW&SW協調で低減。電源喪失時でも動作することが可能。

リアルタイムMPEG2デコードを、8コアホモジニアスマルチコアRP2上で、消費電力1/4に削減

世界唯一の差別化技術



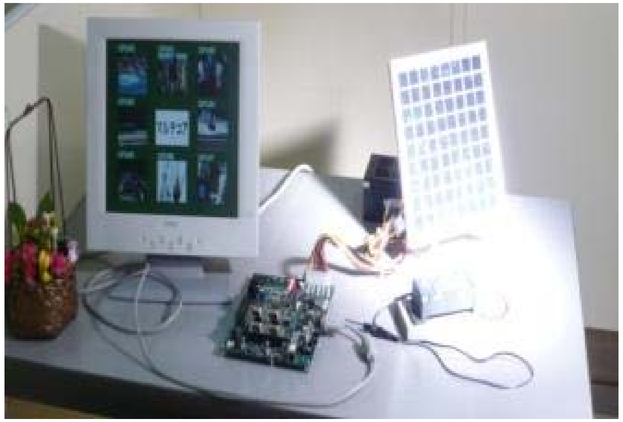


周波数/電圧・電源遮断制御

電力制御無し 平均電力 5.73 [W]

電力をソフトで1/4に削減

電力制御有 平均電力 1.52 [W]

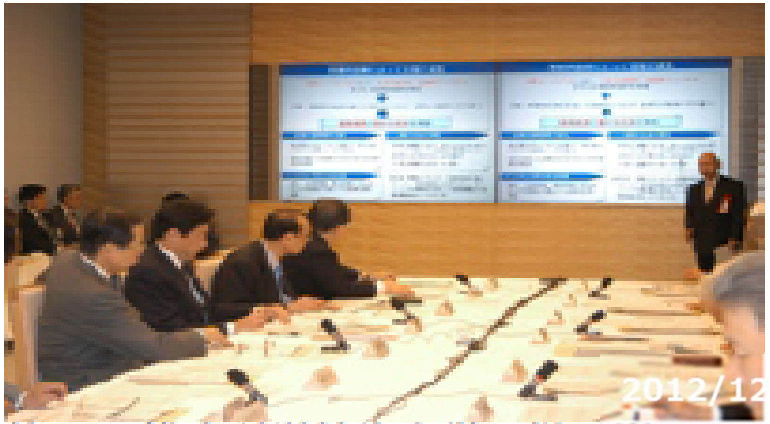


太陽電池で駆動可

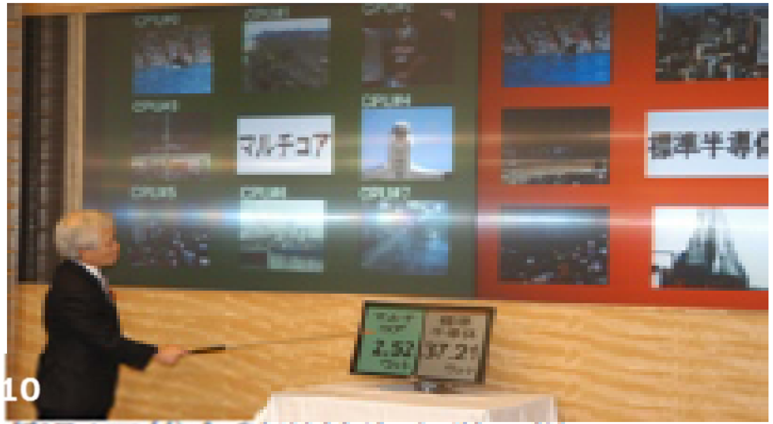
NEDOリアルタイム情報家電用マルチコアチップ・デモの様子

http://www8.cao.go.jp/cstp/gaiyo/honkaigi/74index.html

第74回総合科学技術会議【平成20年4月10日】



第74回総合科学技術会議の様子(1)



第74回総合科学技術会議の様子(2)

第74回総合科学技術会議の様子(3)

第74回総合科学技術会議の様子(4)

グリーン・コンピューティング・システム研究開発センター　2011年5月13日開所
経済産業省支援：低消費電力マルチコア産官学連携研究　7F笠原・木村, 5F学生

<u>助手</u>: 見神広紀, 島岡 護,大木吉健

<u>客員教授</u>:

内山日立技師長,枝廣名大教授,北村オスカーテクノロジーFellow, 吉田明大教授,

Prof. David Padua (Univ. Illinois), Prof. Michelle Strout(Arizona Univ.),

<u>客員研究員</u>:

Drs. Shirako & Hayashi (Rice大),
日立,NEC,デンソー,オリンパス,ルネサス, オスカー等の企業から約30名

博士課程2名，M2　4名，M1　4名

＜2017年産学連携＞

日立,デンソー, デンソーヨーロッパ, ルネサス,NEC,富士電機,
オリンパス，三菱電機，NTTデータ,
オスカーテクノロジー（早稲田大学出資ベンチャー）等

世界をリードするマルチコア用コンパイラ技術

プロセッサ高速化における3大技術課題の解消

1.半導体集積度向上（使用可能トランジスタ数増大）に対する速度向上率の鈍化

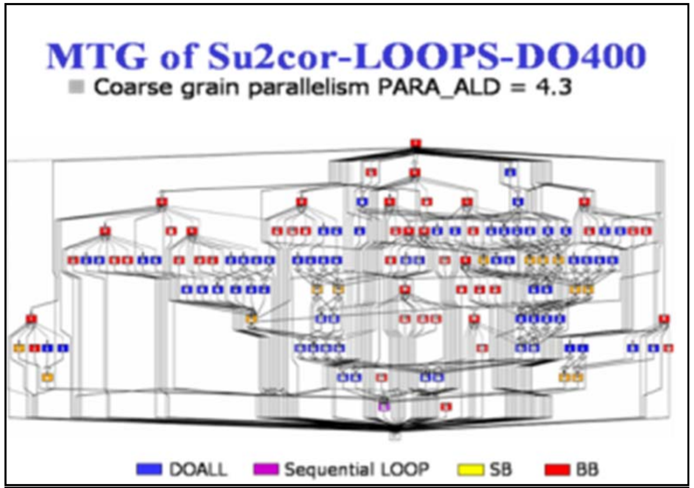
- 粗粒度タスク並列化、ループ並列化、近細粒度並列化によりプログラム全域の並列性を利用するマルチグレイン並列化機能により、従来の命令レベル並列性より大きな並列性を抽出し、複数マルチコアで速度向上

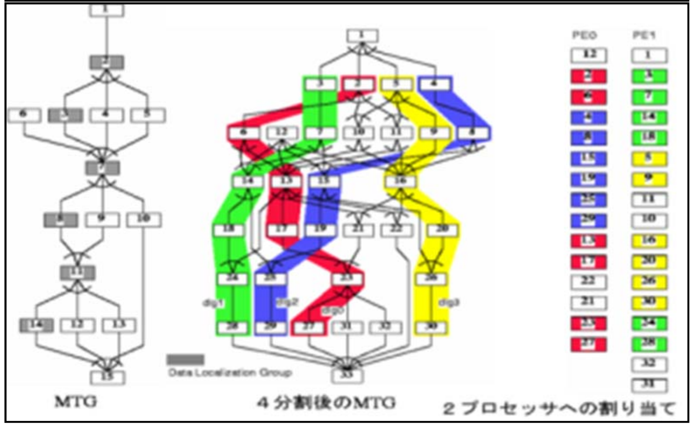
2.メモリウオール問題

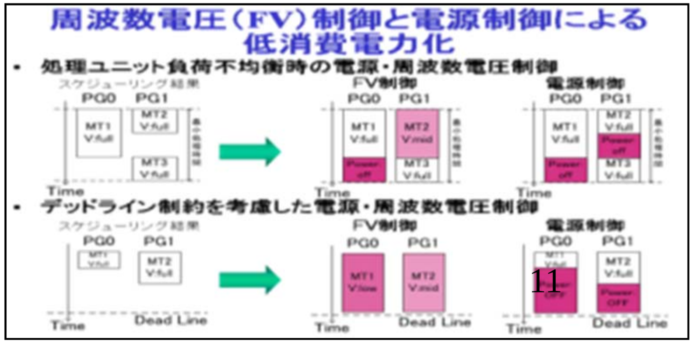
- コンパイラによるローカルメモリへのデータ分割配置、DMAコントローラによるタスク実行とオーバーラップしたデータ転送によりメモリアクセス・データ転送オーバーヘッド最小化

3.消費電力増大による速度向上の鈍化

- コンパイラによる低消費電力制御機能を用いたアプリケーション内でのきめ細かい周波数・電圧制御・電源遮断により消費電力低減





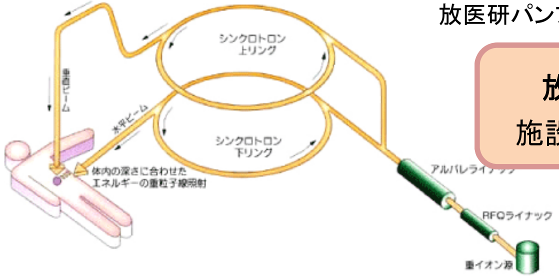


重粒子線がん治療の日立SR16000サーバー上での並列処理

重粒子線(炭素イオン)を極めて正確に制御・照射し、癌細胞のみを消滅させる治療法:開腹手術不要・痛みなく治療が可能

三菱電機と共同研究

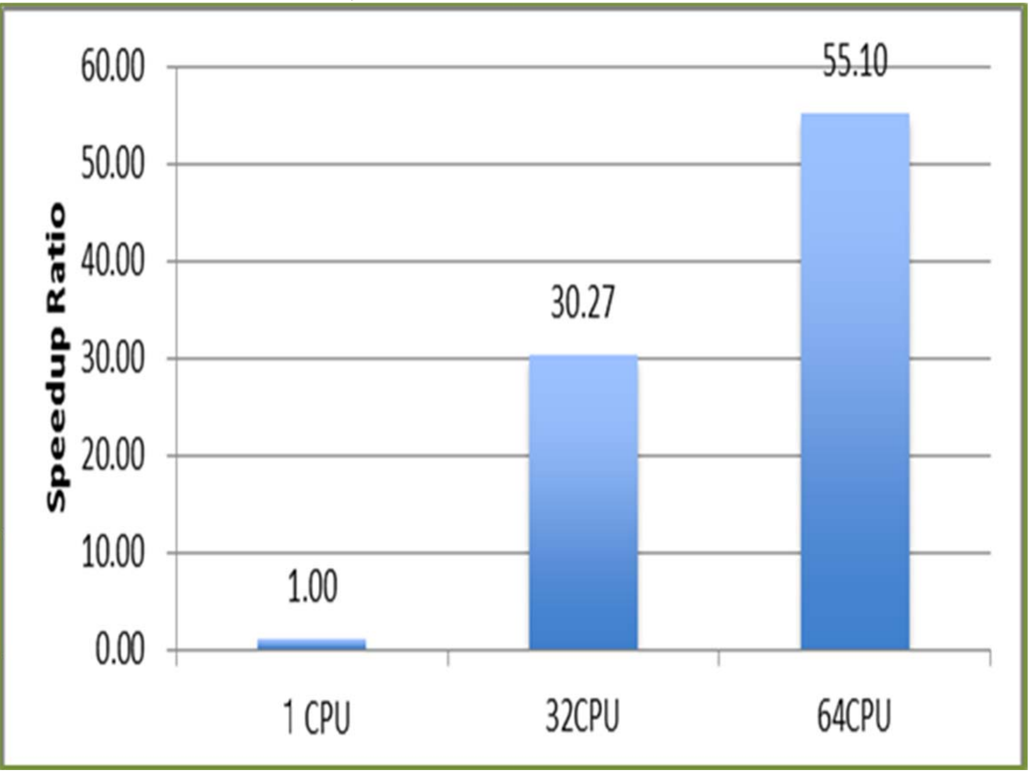
放医研パンフレットより



放射線医学研究所
施設の費用： 120億円

従来照射計画計算に長時間を要していた
⇒1日に処置可能な患者数は数十名程度
⇒　350万円程度と高額・保険適用外

現在数億円のサーバ上64コアで55倍の高速化に成功
20分⇒22秒　低治療費化・健康保険適用へ道



低額サーバでさらに1000倍の高速化することにより心臓等動く臓器の治療も可能に

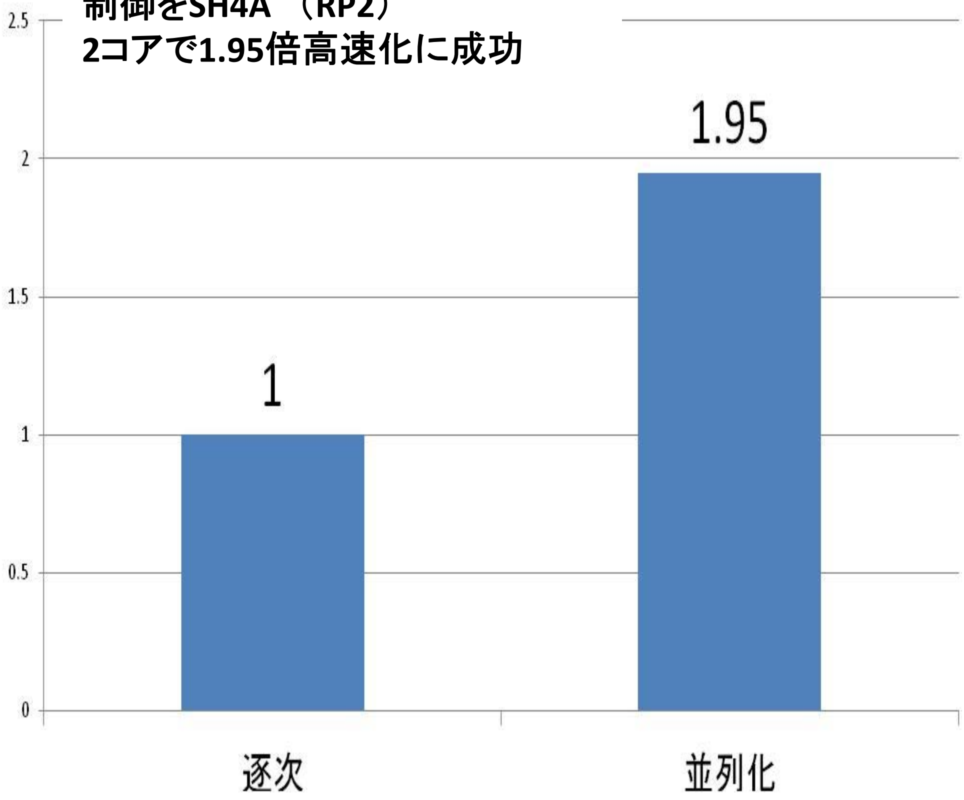
国際産業競争力を高める

自動走行車（衝突防止含む）、次世代低燃費エンジン制御

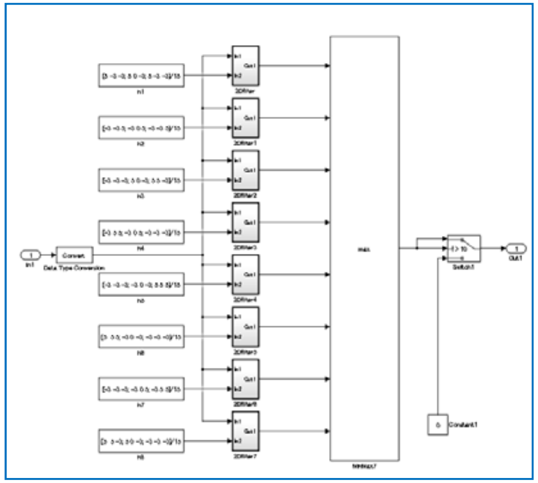
マルチコアによるエンジン制御

デンソーと共同研究

従来並列化できなかったエンジン制御をSH4A （RP2）
2コアで1.95倍高速化に成功

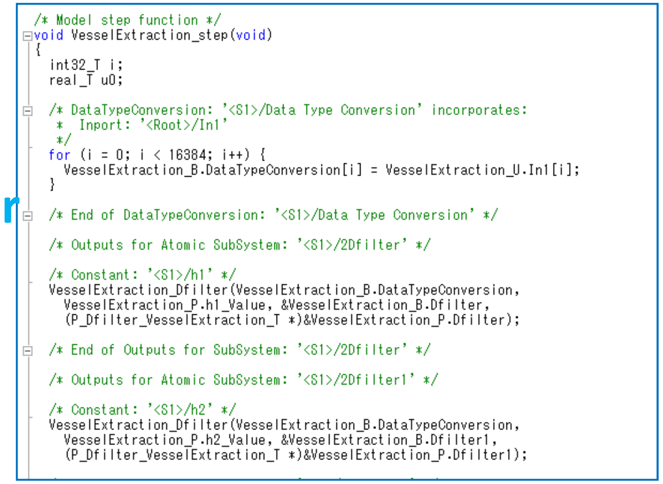


OSCAR Compile Flow for Simulink Applications



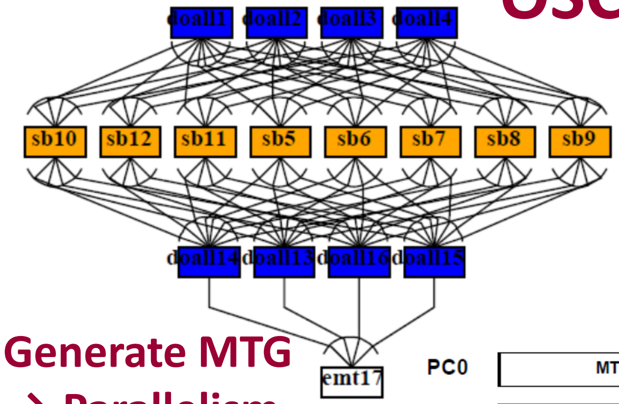
Simulink model

Generate C code using Embedded Coder

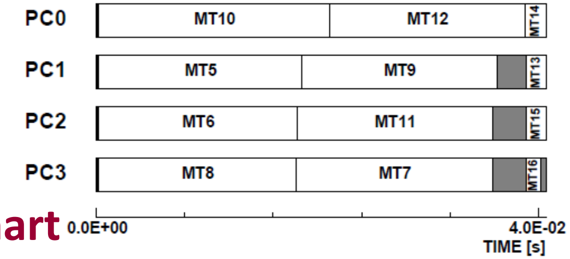


C code

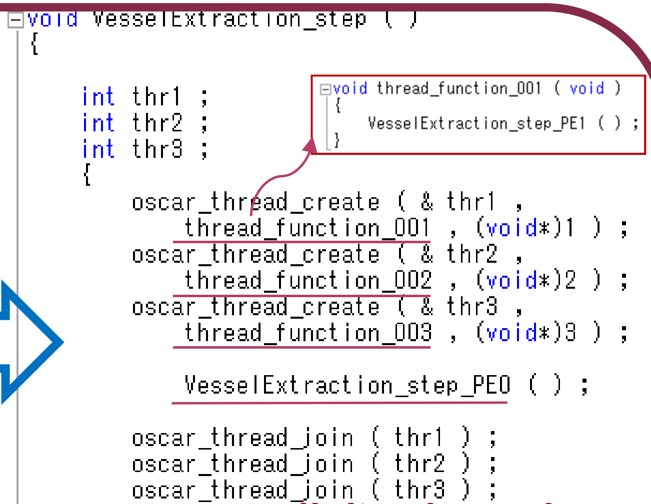
OSCAR Compiler



(1) Generate MTG
→ Parallelism



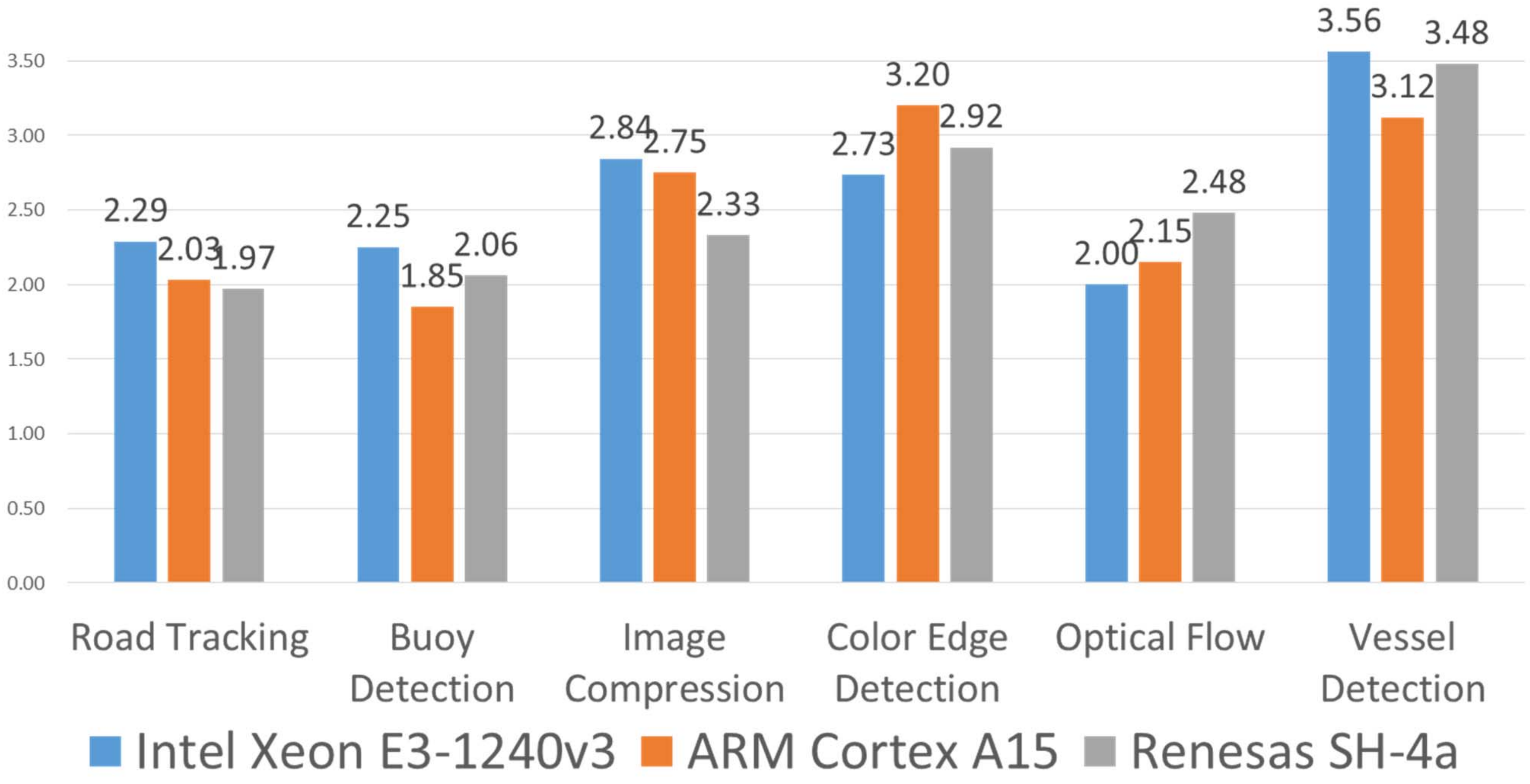
(2) Generate gantt chart
→ Scheduling in a multicore



(3) Generate parallelized C code using the OSCAR API
→ Multiplatform execution (Intel, ARM and SH etc)

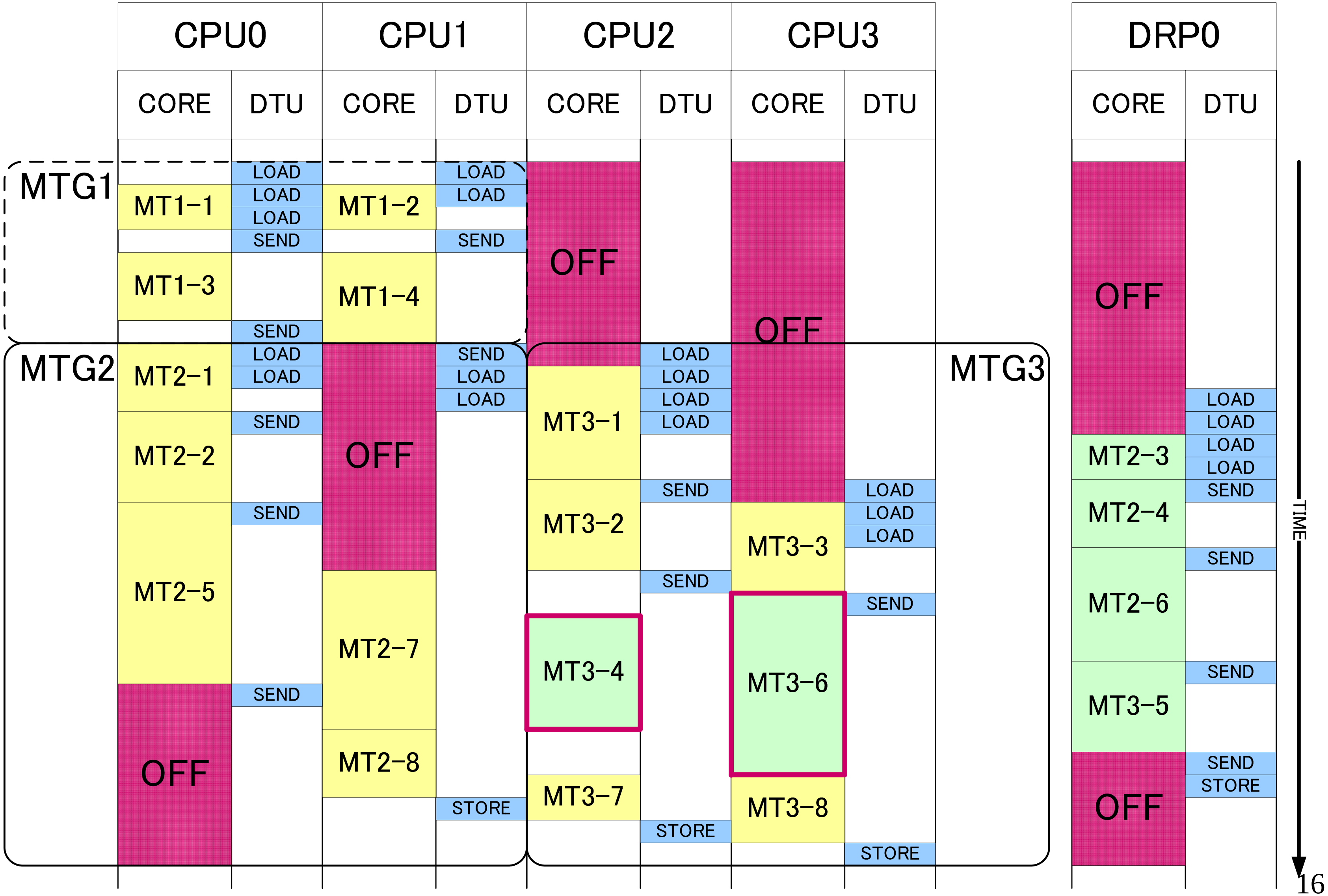
Speedups of MATLAB/Simulink Image Processing on Various 4core Multicores

(Intel Xeon, ARM Cortex A15 and Renesas SH4A)



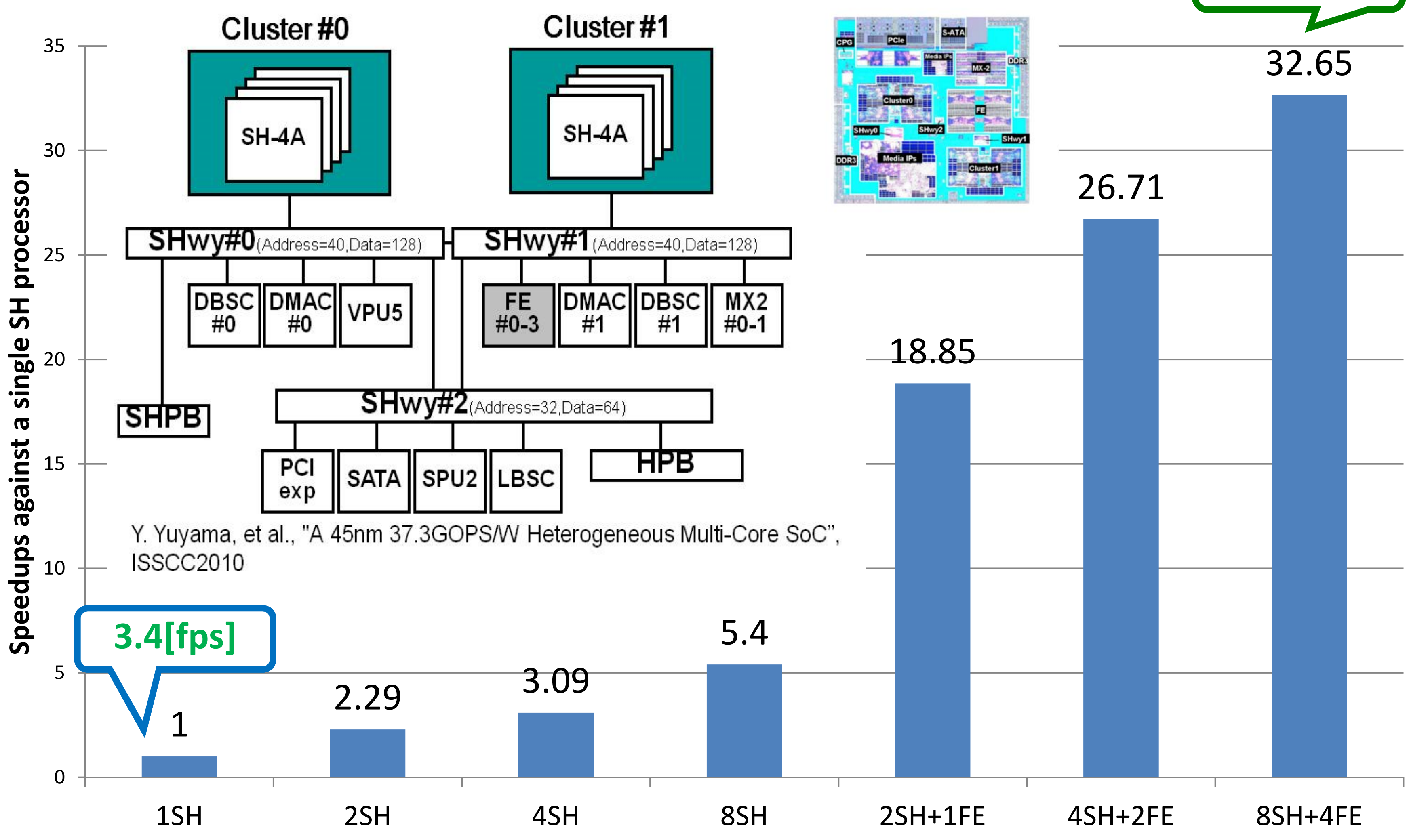
Road Tracking, Image Compression : http://www.mathworks.co.jp/jp/help/vision/examples
Buoy Detection : http://www.mathworks.co.jp/matlabcentral/fileexchange/44706-buoy-detection-using-simulink
Color Edge Detection : http://www.mathworks.co.jp/matlabcentral/fileexchange/28114-fast-edges-of-a-color-image--actual-color--not-converting-to-grayscale-/
Vessel Detection : http://www.mathworks.co.jp/matlabcentral/fileexchange/24990-retinal-blood-vessel-extraction/

An Image of Static Schedule for Heterogeneous Multi-core with Data Transfer Overlapping and Power Control



33 Times Speedup Using
OSCAR Compiler and OSCAR API on RP-X

(Optical Flow with a hand-tuned library)



Power Reduction in a real-time execution controlled by OSCAR Compiler and OSCAR API on RP-X (Optical Flow with a hand-tuned library)

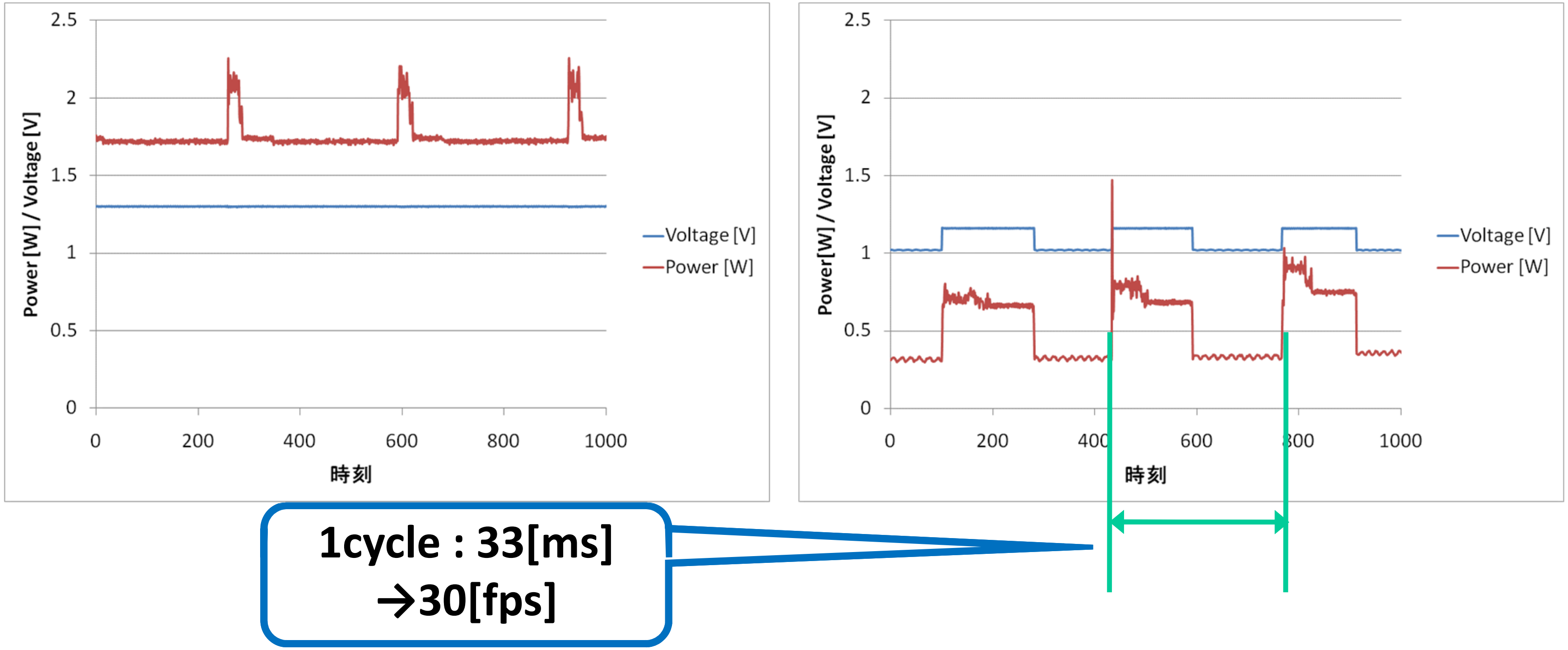
Without Power Reduction

With Power Reduction by OSCAR Compiler

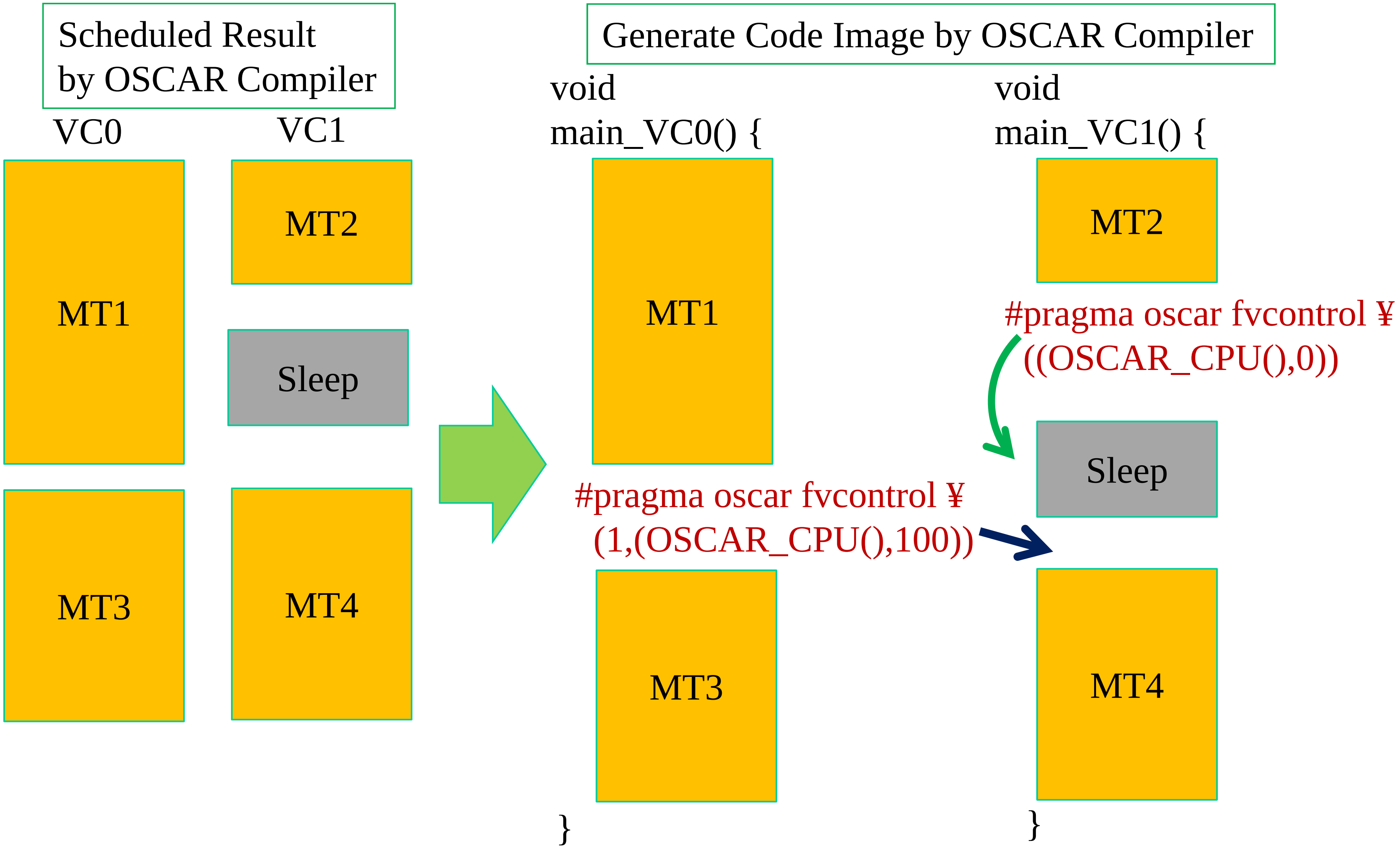
70% of power reduction

Average:1.76[W]

Average:0.54[W]



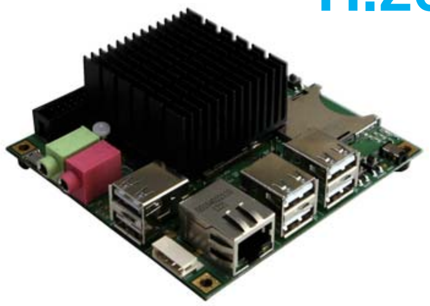
Low-Power Optimization with OSCAR API



ARM CortexA9 4コアAndroid上での電力削減

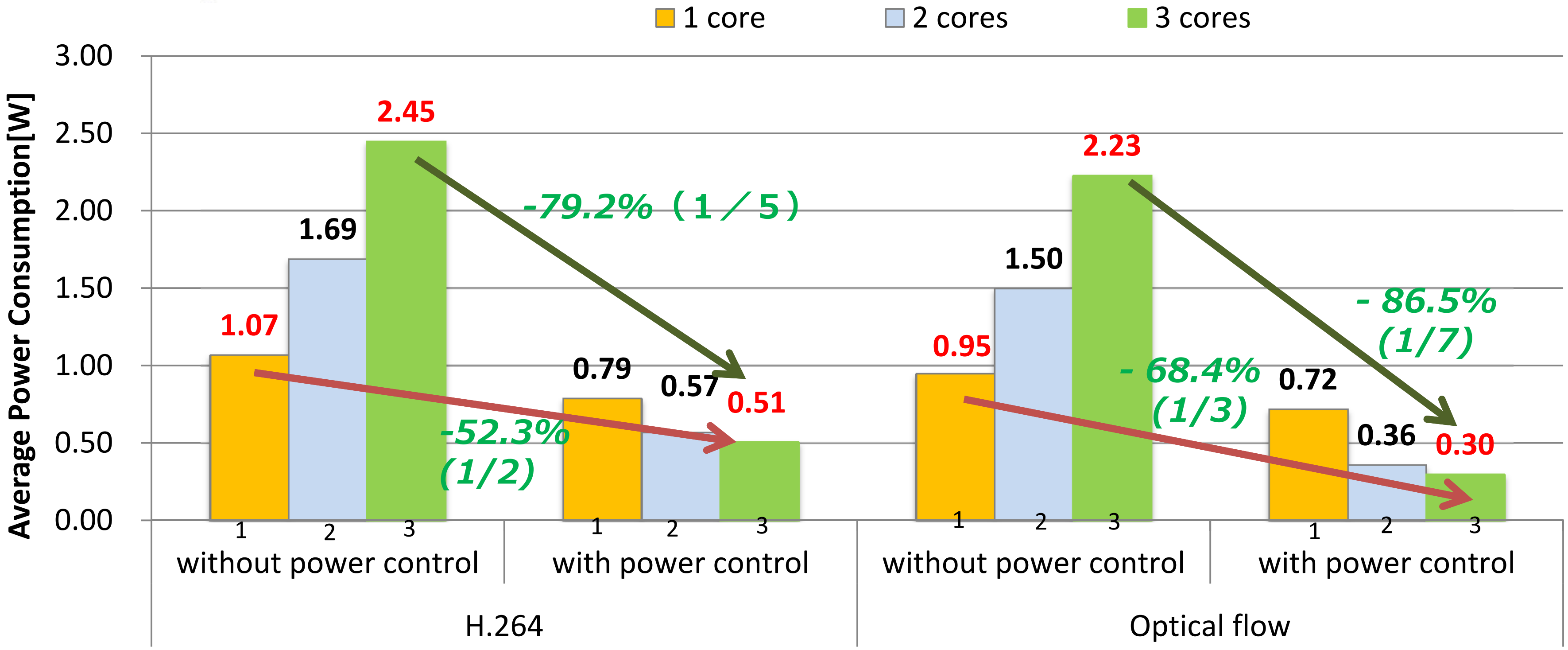
http://www.youtube.com/channel/UCS43lNYEIkC8i_KIgFZYQBQ

H.264 decoder & Optical Flow (3コア使用)



ODROID X2

Samsung Exynos4412 Prime, ARM Cortex-A9 Quad core
1.7GHz～0.2GHz, used by Samsung's Galaxy S3

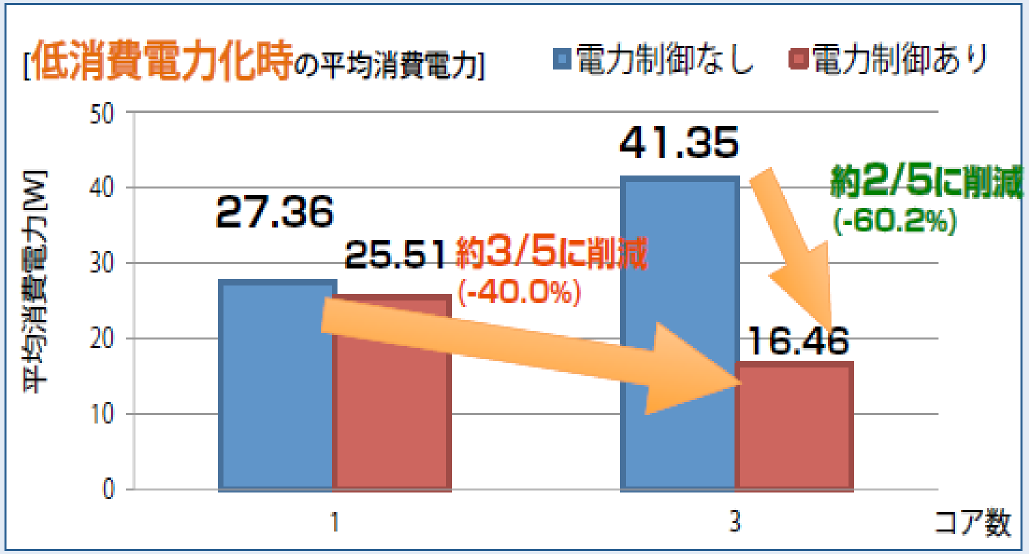


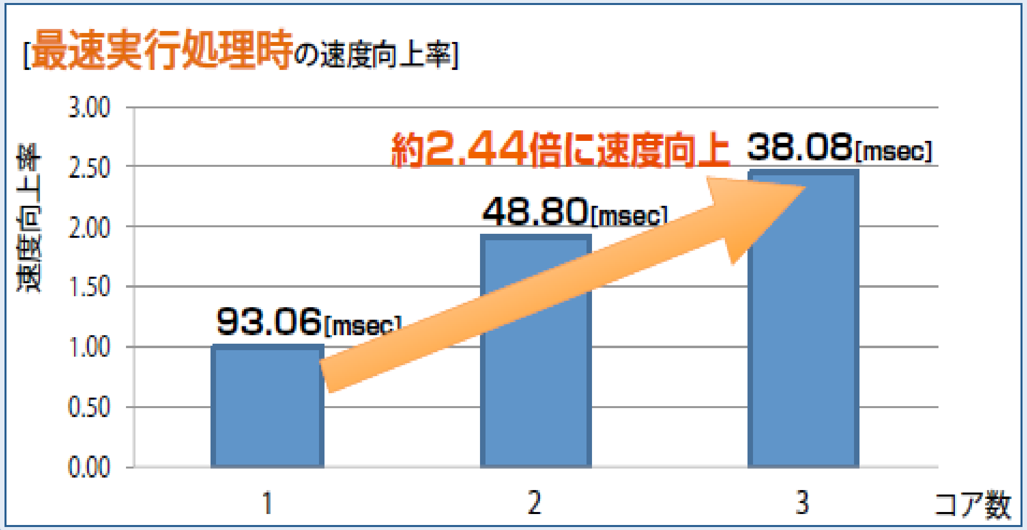
3PE電力制御なしと3PE電力制御ありで電力を1/5～1/7に削減
1PE電力制御なしと3PE電力制御ありで電力を1/2～1/3に削減

OSCARコンパイラによるHaswellマルチコア上での自動低消費電力化(Intel 4コア)
- 消費電力を2/5に削減 -

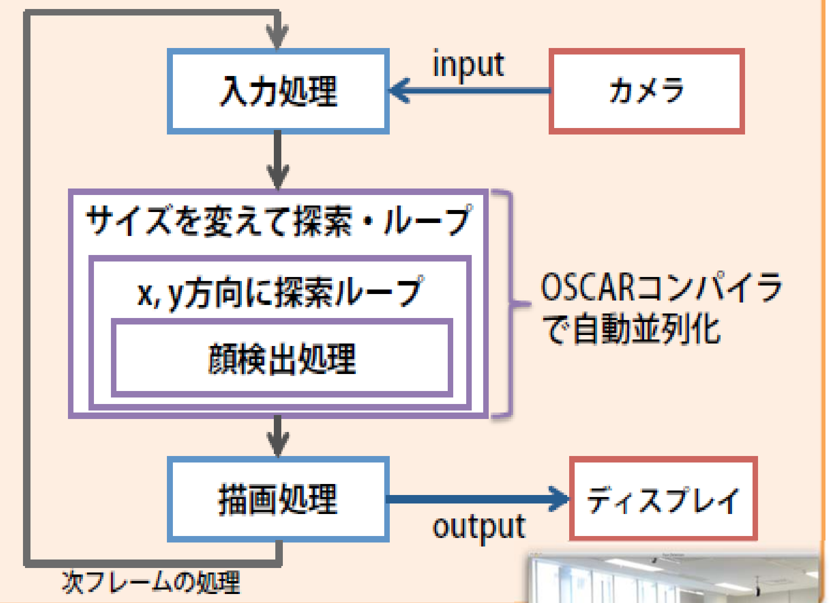
- OSCAR Compiler
- Intel Haswell
- 低消費電力化

Intel Haswell 4コア上での顔認識プログラム 並列化



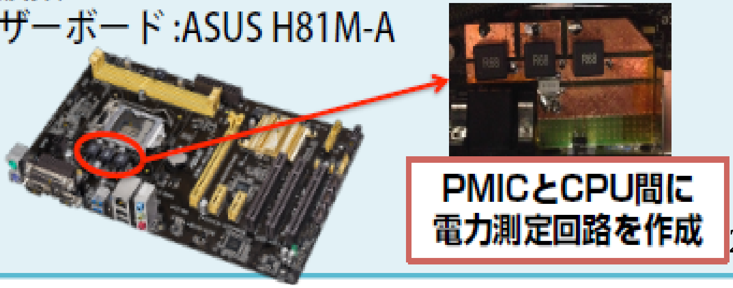


顔認識プログラムの並列処理



Intel Haswell 4コアの電力測定

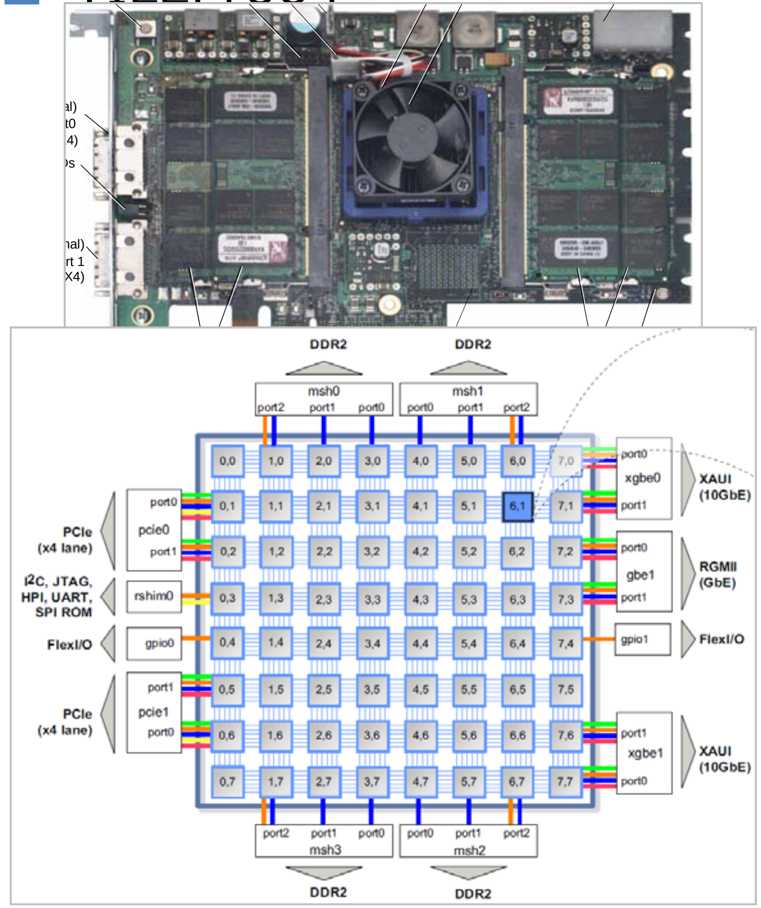
CPU : Intel Core i7 4770k
コア数 : 4
周波数 : 3.5GHz～0.8GHz
マザーボード :ASUS H81M-A

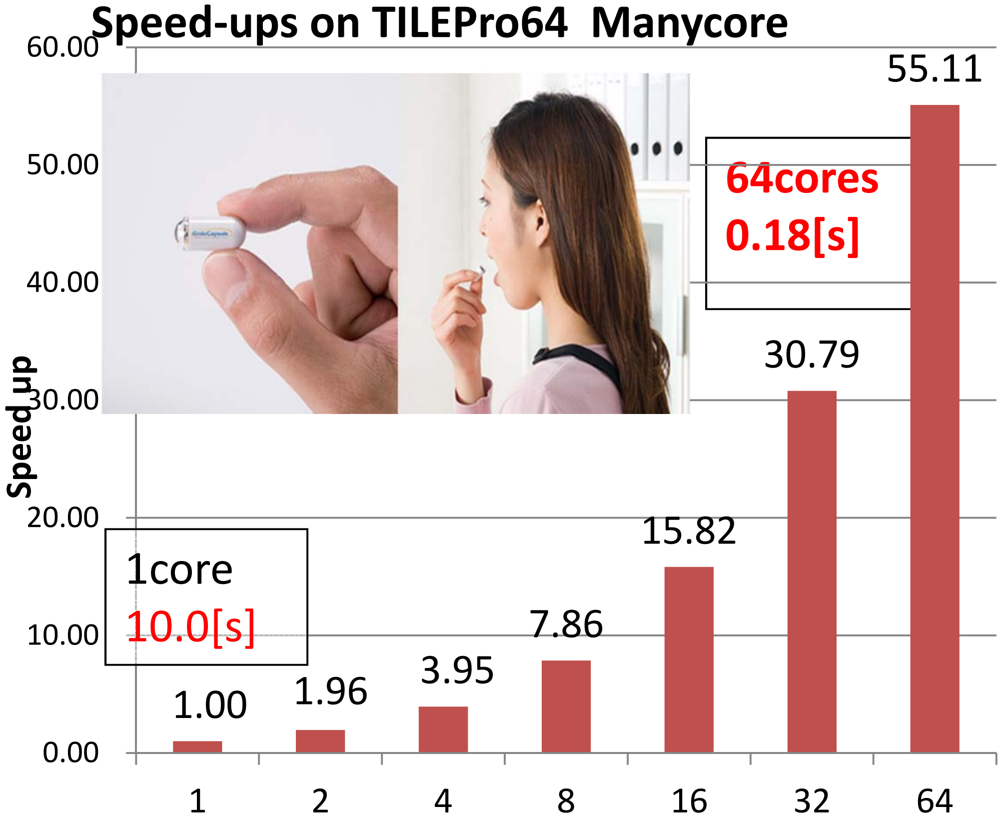


Automatic Parallelization of JPEG-XR for Drinkable Inner Camera (Endo Capsule)

10 times more speedup needed after parallelization for 128 cores of Power 7. Less than 35mW power consumption is required.

- TILEPro64



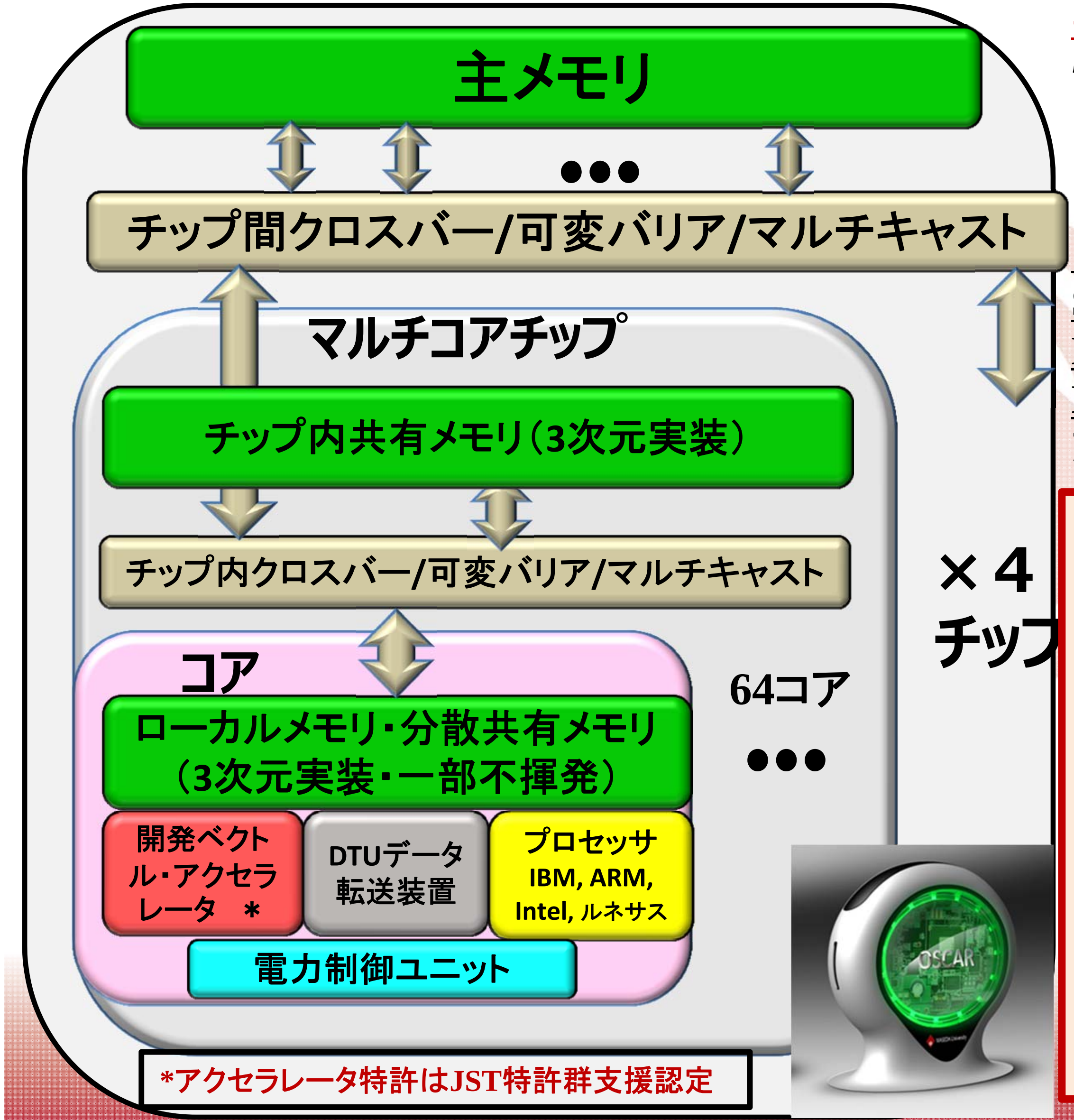


55 times speedup with 64 cores

太陽光駆動並列化コンパイラ協調型低消費電力マルチコア

（自動運転車、交通制御、ガン治療、地震、新材料、画像診断）

クラウドサーバ,災害,医療,自動車,航空機,基地局



ベクトルアクセラレータ併置・共有メモリ型マルチコアシステム

性能：8TFLOPS, 主メモリ：8TB

電力: 40W, 効率：200GFLOPS/W

2017年11月Green500 1位TSUBAME3.0 - SGI ICE XA, IP139-SXM2, Xeon E5-2680v4 14C 2.4GHz, Intel Omni-Path, NVIDIA Tesla P100 SXM2 （東工大）

京 ： 0.8GFLOPS/W

- 命令拡張なくどのプロセッサにも付加できるベクトルアクセラレータ
  - 低消費電力で高速に立ち上がるベクトルで、低コスト設計
- コンパイラによる自動ベクトル・並列化及び自動電力削減
  - 周波数・電源電圧制御機能
  - バリア高速同期・ローカル分散メモリで無駄削減
  - ローカルメモリ利用で低メモリコスト
  - 誰でもチューニングなく使用でき、低コスト短期間ソフト開発可能

まとめ

- 早稲田大学グリーンコンピューティング研究開発センターでは、低消費電力高性能なグリーンマルチコアコンピューティングシステムのハードウェア、ソフトウェア、応用の研究開発・実用化を産官学連携で行っている。
- OSCAR自動並列化コンパイラは、科学技術計算、医療画像処理、災害シミュレーション、自動車エンジン制御、スマートフォン、無線基地局等に使用するマルチコアプロセッサ用のプログラムの並列化及び低消費電力化に世界で唯一成功。
- 自動並列化では、Intel, ARM, IBM, AMD, Qualcomm, Infinion, ルネサス, 富士通等種々のマルチコア用の並列プログラムの自動作成が可能となり、性能的には重粒子線ガン治療計算で64コアで55倍、地震波伝搬シミュレーションで128コアで110倍、自動車エンジン制御計算で2コアで1.95倍、カプセル内視鏡用画像圧縮処理で64コアで55倍等の性能を得ている。
  - コンパイラ実用化のためのオスカーテクノロジー社を設立
    - 自動車用製品版コンパイラ　OSCARTech　Compiler　が完成
    - 自動走行・医療画像・災害時避難指示を目指したアクセラレータ付きマルチコアも笠原・木村研とともに検討中
- 電力削減では、世界で初めてリアルタイムアプリケーション並列動作中の電力削減に成功し、 ルネサス， ARM， Intel Haswell上で、電力を 3コアで1コアと比べ、1/2から1/3に削減。