

# ヘテロジニアスマルチコア上での コンパイラによる低消費電力制御

林 明 宏<sup>†</sup> 伊 能 健 人<sup>†</sup> 中 川 亮<sup>†</sup>  
益 浦 健<sup>†</sup> 松 本 繁<sup>†</sup> 山 田 海 斗<sup>†</sup>  
押 山 直 人<sup>†</sup> 白 子 準<sup>†</sup> 和 田 康 孝<sup>†</sup>  
中 野 啓 史<sup>†</sup> 鹿 野 裕 明<sup>†</sup>  
木 村 啓 二<sup>†</sup> 笠 原 博 徳<sup>†</sup>

現在、情報家電分野から PC、サーバ、スーパーコンピュータに至るまで処理性能の向上と低消費電力化のためにマルチコアプロセッサの導入が図られている。特に情報家電では電力あたりの性能を高めるために 1 チップ上に複数の汎用コアとアクセラレータコアを集積するヘテロジニアスマルチコアが注目を集めている。この高処理性能/低消費電力、さらにはソフトウェア生産性向上の要求を満たすためには、実行するプログラムの適切な並列化、チップ上のリソースのきめ細かな電圧や動作周波数制御を実現する並列化コンパイラの開発が必要不可欠である。本稿では各コアがローカルメモリ、データ転送機構および電力制御機構を持つヘテロジニアスマルチコアアーキテクチャにおいて、コンパイラによる周波数及び電源制御を適用した際の性能評価結果について述べる。MP3 エンコーダを用いて、CPU コアとして SH4A を 4 基、アクセラレータコアとして FE-GA を 4 基からなるヘテロジニアスマルチコアを想定し周波数および電源制御を行った場合、1SH コアに対し、24.32 倍の速度向上が得られ、消費電力制御を行わない場合に比べて処理性能をほぼ維持したままで 28.43% の消費エネルギーを削減できることが確認できた。

## Compiler Control Power Saving for Heterogeneous Multicore Processor

AKIHIRO HAYASHI,<sup>†</sup> TAKETO IYOKU,<sup>†</sup> RYO NAKAGAWA,<sup>†</sup>  
TAKESHI MASUURA,<sup>†</sup> SHIGERU MATSUMOTO,<sup>†</sup> KAITO YAMADA,<sup>†</sup>  
NAOTO OSHIYAMA,<sup>†</sup> JUN SHIRAKO,<sup>†</sup> YASUTAKA WADA,<sup>†</sup>  
HIROFUMI NAKANO,<sup>†</sup> HIROAKI SHIKANO,<sup>†</sup> KEIJI KIMURA<sup>†</sup>  
and HIRONORI KASAHARA<sup>†</sup>

Multicore processors are getting introduced for performance improvement and reduction of power dissipation in various IT fields, such as consumer electronics, PCs, servers and super-computers. Especially, heterogeneous multicores have attracted much attention in consumer electronics to achieve higher performance per watt. In order to satisfy the demand for the high performance, low power dissipation and high software productivity, Parallelizing compilers for both parallelization and Frequency and Voltage control are required. This paper describes the evaluation results of compiler control power saving for a heterogeneous multicore processor which integrates upto 4 general purpose embedded processor Renesas SH4As and 4 accelerator core like dynamically reconfigurable processors Hitachi FE-GAs. Performance evaluation shows the heterogeneous multicore gave us 24.32 times speed up against sequential processing and 28.43% energy savings for MP3 encoding program without performance degradation.

<sup>†</sup> 早稲田大学理工学術院基幹理工学部情報理工学科

Department of Computer Science and Engineering,  
School of Fundamental Science and Engineering,  
Waseda University

### 1. はじめに

半導体製造技術の進歩による素子の微細化により、1 チップ上に膨大な数のトランジスタを集積可能となると共に、動作周波数の向上によりマイクロプロセッサの性能向上が進

んできた。しかし、動作周波数向上による性能向上はもはや望めなくなってきており、近年市場が拡大している携帯電話やゲーム機、DVD レコーダ、デジタル TV、カーナビ等情報家電においては、価格性能比の向上、ソフトウェア/ハードウェアの開発期間の短縮、低消費電力化のため 1 つのチップ上に複数のプロセッサを集積する、マルチコアプロセッサが積極的に導入されており、MPCore<sup>1)</sup> や FR-V<sup>2)</sup>、RP1(SH-X3)<sup>3)</sup> などが開発されている。また、メディアアプリケーションを汎用 CPU コア以上に低電力で高速に処理するために、動的再構成可能プロセッサを含め各種アクセラレータを集積した Cell<sup>4)</sup>、MP211<sup>5)</sup> や UniPhier<sup>6)</sup> のようなヘテロジニアスマルチコアプロセッサも開発されている。このようなシステムでは各種コアの特性を考慮してプログラム中の各処理を適切なコアにデータ転送オーバーヘッドも考慮して手動で割り当てるのが困難であり、プロセッサの性能を最大限に引き出すためにはプログラムの並列性を解析し、自動的にプログラムを並列化する、自動並列化コンパイラの開発が必要となる。さらに、自動並列化コンパイラはアプリケーション各部の並列性を考慮してヘテロジニアスマルチコアプロセッサの処理速度を維持したまま、コアが使用されない場合は電源やクロックを遮断する、あるいは負荷が軽いプロセッサの周波数電圧を下げるなどコア単位できめ細かい電源管理を行うことで電力の削減を実現することも可能とする。

本稿では、コンパイラ協調型マルチコアプロセッサ OSCAR にアクセラレータを搭載したヘテロジニアスマルチコアプロセッサを対象としたコンパイラによる低消費電力制御の性能評価を目的とし、階層的粗粒度タスク並列処理、電力制御方式および、その評価結果について述べる。以下、2 章ではヘテロジニアスマルチコアプロセッサについて、3 章では階層的粗粒度タスク並列処理、4 章では電力制御方式、5 章では MP3 エンコーダを用いた性能評価及びその結果についてそれぞれ述べる。

## 2. ヘテロジニアスマルチコアプロセッサ

本章では本稿で対象としている OSCAR 型メモリアーキテクチャ<sup>7)8)</sup> をベースとしたヘテロジニアスマルチコアアーキテクチャについて述べる。対象アーキテクチャは図 1 に示すように汎用 CPU コア、データ転送ユニット (DTU)、ローカルプログラムメモリ (LPM)、ローカルデータメモリ (LDM)、および分散共有メモリ (DSM) を持つプロセッサエレメント (PE)、動的再構成可能プロセッサや信号処理プロセッサ等のアクセラレータコアを共有メモリへ相互結合網で接続し、1 チップ上に搭載したヘテロジニアスマルチコアアーキテクチャである。

LDM は PE プライベートのデータを格納するためのメモリ。DSM は、自 PE と他 PE の双方から同時にアクセス可能なデュアルポートメモリであり、タスク間データ転送や同期フラグの授受に使用される。データ転送ユニット (DTU) は各コアによるタスク処理とは独立にデータ転送を行うことが可能な高度 DMA コントローラであり、タスク処理とデータ転送がオーバーラップ可能とする。そして、チップ上及びチップ外に集中共有メモリ (CSM) が用意され、各 PE で共有されるデータを格納する。CSM はマルチバンク構成になっており、異なるバンクであれば同時にデータの読み書きが可能である。OSCAR マルチコアアーキテクチャでは、これら 4 種類のメモリに対しコンパイラが最適なデータ配置を行うことにより、効率の良い並列処理を実現することを

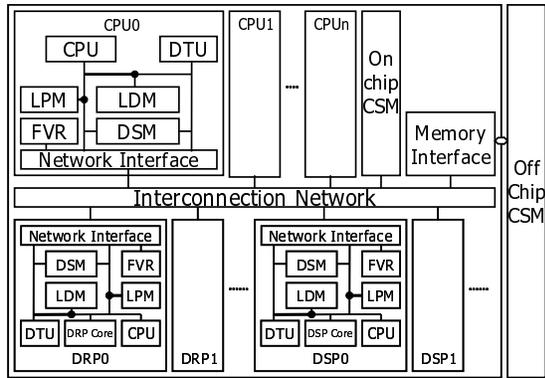


図 1 ヘテロジニアスマルチコアプロセッサ

目指している。

また、アクセラレータコアは動的再構成可能プロセッサの機能書き換えやタスク間の同期情報の処理、アクセラレータコアの起動、その他一定の計算処理が可能なコントローラを持つ。

FVR はプロセッサコア、メモリ等のチップ構成要素をコンパイラ等のソフトウェアから透過的に制御可能なインターフェース (レジスタ) 機構であり、コンパイラはスケジューリング結果から、各プロセッサにおけるタスクの処理量を見積り、最適な周波数、電圧及び電源遮断をこのレジスタに値をセットすることにより制御し、低消費電力化を実現する。

## 3. 階層的粗粒度タスク並列処理

本章ではヘテロジニアスマルチコアプロセッサ上での階層的粗粒度タスク並列処理について述べる。階層的粗粒度並列処理では、ソースとなるプログラムを以下に示す 3 種類のマクロタスク (MT) に分割する。

- BPA(Block of Pseudo Assignments)  
このマクロタスクは基本ブロック、および複数の小基本ブロックを融合したブロック、または、1 つの基本ブロックを分割することによって得られるブロックとして定義される。
- RB(Repetition Block)  
このマクロタスクは DO ループや IF 文による後方分岐などによって生成されるループ、すなわち最外側ナチュラルループとして定義される。
- SB(Subroutine Block)  
このマクロタスクはインライン展開が有効に適用できないと判断されたサブルーチンを 1 つのマクロタスクとして定義したものである。

MT 生成後、コンパイラは BPA, RB, SB, 等の MT 間のコントロールフローとデータ依存関係を表現したマクロフローグラフ (MFG) を生成し、さらに MFG から MT 間の並列性を最早実行可能条件解析により引き出した結果をマクロタスクグラフ (MTG) として表現する<sup>9)10)</sup>。MFG および MTG の例を図 2 に示す。

MFG においてノードは MT を表し、実線エッジはデータ依存を、点線エッジはコントロールフローを表す。また、ノード内の小円は条件分岐を表す。MFG ではエッジの矢印は省略されているが、エッジの方向は下向を仮定している。MTG におけるノードも MFG 同様 MT を表し、ノード内

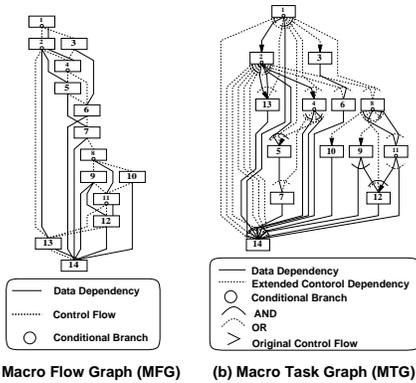


図 2 マクロフローグラフ (MFG), マクロタスクグラフ (MTG) の例

の小円は MT 内の条件分岐を表している。また、実線のエッジはデータ依存を表し、点線のエッジは拡張されたコントロール依存を表す。拡張されたコントロール依存とは、通常のコントロール依存だけでなく、データ依存と制御依存を複合的に満足させるため先行ノードが実行されないことを確定する条件分岐を含んでいる。また、エッジを束ねるアークには 2 つの意味があり、実線アークはアークによって束ねられたエッジが AND 関係にあることを、点線アークは束ねられたエッジが OR 関係にあることを示している。MTG においてはエッジの矢印は省略されているが、下向きが想定されている。また、矢印を持つエッジはオリジナルのコントロールフローを表す。

生成された MT は一つ以上のプロセッサエレメント (PE) からなるプロセッサグループ (PG) に割り当てられて実行される。どの PG に MT を割り当てるかを決定するスケジューリング手法として、ダイナミックスケジューリングとスタティックスケジューリングがあり、MTG の形状、実行時非決定性などを元に選択される。

本稿で扱うスタティックスケジューリングを用いる場合、コンパイラは各タスクコストを推定し、CPU コアやアクセラレータコア等の各種コアの特性を考慮して同期やデータ転送などのオーバーヘッドを最小化するために静的に MT を割り当てる<sup>11)</sup>。ダイナミックスケジューリングを用いる場合には、コンパイラは MT のコードに加えスケジューラのコードを生成し、並列コード中に埋め込むことにより実行時に MT を PG に割り当てる。

さらに MTG 内の SB や RB 内部に粗粒度並列性が存在する場合、その SB や RB 内部で階層的に MTG を生成し、階層的に粗粒度タスク並列処理を適用する<sup>12)</sup>。

#### 4. ヘテロジニアスマルチコアを対象とした周波数及び電源制御方式

本章ではヘテロジニアスマルチコアを対象とした周波数及び電源制御方式について述べる。3 章で述べたように、コンパイル時にスタティックスケジューリングを用いる場合、各種コアの特性を考慮したスケジューリングによってプログラムの実行時間を短縮することが可能である。しかし、適用するアプリケーションによっては、データ依存や制御依存によって逐次実行せざるを得ない部分が存在するために、チッ

プ内の全てのコアを常時プログラム実行に使用することは不可能であり、ビジーウェイト等により無駄な電力が消費されてしまう。そこでタスクスケジューリング後にコア毎にタスクを実行するために最適な動作周波数及び電圧を決定、もしくは動作クロックの供給を停止する、あるいは電源遮断を行うことで消費電力を低減させることが可能である。また、とりうる周波数の状態は離散的 (LOW, MID, FULL) とし、各周波数状態に対して適切な電圧がハードウェア制約により定められているとする<sup>13)14)</sup>。

表 1 に各周波数における電圧、動作電流による動的消費エネルギー、リーク電流に消費電力の比率の 1 例 (FULL を 300MHz, MID を 150MHz, LOW を 75MHz とし 90nm テクノロジを仮定した例) を示す。ここで、動的消費エネルギーとは同じ clock の処理を行った場合に消費されるエネルギーを表す。電源制御に関しては、今回評価に用いた電源を遮断する OFF の状態ではリーク電流による電力消費もないものとするが、プロセッサコアへのクロック供給のみを遮断できる場合は動作電力が 0、リークによる消費電力が通常と同じという状態を追加することができる。これらパラメータ及び状態の数は任意に変えることが可能である。

表 1 各動作周波数におけるパラメータの比率

state	FULL	MID	LOW	OFF
frequency	1	1/2	1/4	0
voltage	1	0.87	0.71	0
dynamic energy	1	3/4	1/4	0
static power	1	1	1	0

図 3(a) に示される MTG の例において、MT1 と MT2 は同時に実行可能であり、CPU0, CPU1 にて並列実行される。さらに MT3 は MT1 および MT2 の実行終了後に CPU0 で実行される。

コンパイラは、CPU0 における MT1 の処理コスト、及び CPU1 における MT2 の処理コストを見積もることで、図 3(b) に示すように、状態遷移オーバーヘッドを考慮しつつ、双方の処理時間が等しくなるように CPU0 の動作周波数  $f$  を決定する。この結果、 $f$  が低減されるため、電源電圧  $V$  も低減することが可能となり (FV:LOW モード)、 $f$  に比例、 $V$  の二乗に比例する電力を削減できる。

また図 3(c) に示すように、使用するマルチコアのリーク電力が大きい場合には CPU0 における MT1 の処理が終了した時点で CPU0 の電源電圧及び動作クロックの供給を遮断し電源 OFF 状態としても良い。この場合、MT1 の処理は MT2 に先行して終了するが、MT1 終了時点で CPU0 を電源 OFF 状態 (FV:OFF モード) とし、MT2 が終了した時点で再び CPU0 に対し通常の電源電圧及び動作クロックを供給することで通常状態に復帰させ、MT3 を開始する。この結果リークを含めた電力を削減できる。

図 3(b)(c) の例では CPU1 における MT2 の処理が終了した後は IDLE が発生する。IDLE が発生したコアは状態遷移オーバーヘッドを含め、IDLE の時間で電源 ON/OFF の切り替えが可能で、電源遮断により電力消費が削減可能と判断された IDLE 部分に対して電源遮断が適用される。

ヘテロジニアスマルチコアを対象とした最速実行モードの場合ではアクセラレータコアは特定の処理を高速化する目的で搭載しているため、周波数制御を行って低周波数で動作さ

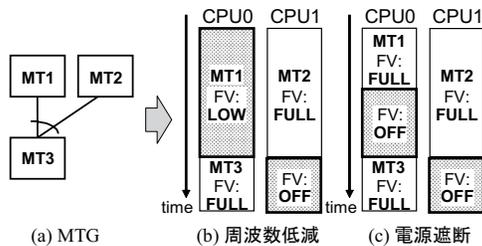


図 3 タスク並列処理電力制御方式

せるのではなく、電源の ON/OFF のみを行ない、周波数の制御は行なわないという前提のもとに上記の制御手法に対して拡張がなされている。また、図 3(c) の例において、コンパイラ内部で見積った MT の処理コストが何らかの理由で実行時に大幅に異なってしまう場合、CPU0 が電源 OFF 状態に遷移する以前に CPU1 が CPU0 の電源を ON 状態に戻すコードを実行してしまう場合が有りうる。このような場合に備えてコアの電源遮断をする際には、他コアによって必ず電源が入られるということをコンパイラが同期用のコードを挿入することで保証している。

## 5. 性能評価

本章では、性能評価の方法およびその結果について述べる。

### 5.1 評価環境

評価には汎用 CPU コア、アクセラレータコアをそれぞれ最大 4 基まで搭載するシステムを想定し、ヘテロジニアスマルチコアプロセッサをクロックレベルで精密にシミュレートするアーキテクチャシミュレータを用いた。

表 2 に本評価で使用する各種レイテンシを示す。表 2 中の F-V 状態遷移遅延とは、動作状態 (FULL, MID, LOW) 間の遷移に必要なクロック数であり、電源状態遷移遅延とは各プロセッサの電源 ON/OFF 切替えに必要なクロック数である。チップの動作周波数は 300MHz を想定しており、各種メモリのアクセスレイテンシは自コア上の分散共有メモリ及びローカルメモリを 1 clock, 他コア上の分散共有メモリを 4 clock, 集中共有メモリを 16 clock としている、相互結合網は株式会社ルネサステクノロジーにより開発された SuperHyway<sup>3)</sup> を想定したスプリットトランザクションバス 1 本、そして、CSM の構成は 4 バンク構成とした。なお、電力評価については Wattch<sup>15)</sup> をベースとした電力シミュレータにより測定した、ただし、演算器部分の電力については株式会社ルネサステクノロジーによる評価結果をもとにした。今回は CPU コア及びアクセラレータコアに対する電力消費の評価であるためメモリやバスの消費電力は含んでいない。

#### 5.1.1 CPU コア

本評価では CPU コアの命令セットは株式会社ルネサステクノロジーの SH4A<sup>16)</sup> をベースとしたものを用いている。

#### 5.1.2 アクセラレータコア

アクセラレータコアは動的再構成可能プロセッサとして、株式会社日立製作所の FE-GA<sup>17)</sup> を想定している。FE-GA の扱うことのできる MT に含まれる処理のうち、FE-GA により速度向上が得られる処理に関しては、実際に演算セルアレイに処理をマッピングした結果から求められた実行コスト

表 2 評価に用いた各種レイテンシ

分散共有メモリ (2Port)	1 clock
分散共有メモリ (Remote)	4 clock
ローカルメモリ	1 clock
集中共有メモリ	16 clock
ネットワーク遅延 (調停を含む)	2 clock
F-V 状態遷移遅延	30000 clock
電源状態遷移遅延	60000 clock

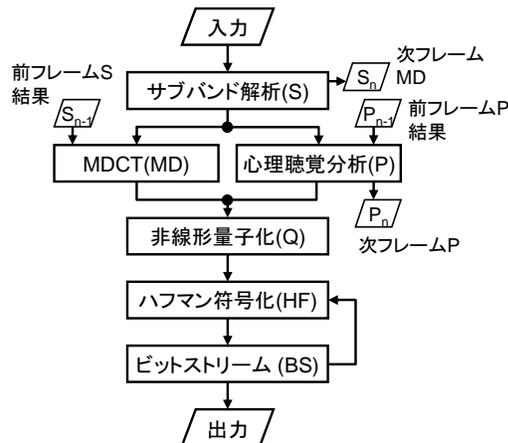


図 4 MP3 の処理フロー

で実行シミュレーションを行う。電力に関しては実行コストに演算セルアレイの活性化率からタスク 1 回回りの電力消費量を推定し、それにタスクの実行回数に乗じたものを消費電力値として用いた。

### 5.2 評価アプリケーション

本評価に用いるプログラムは、UZURA MPEG1 / LayerIII encoder in FORTRAN90<sup>18)</sup> を参照実装し、Fortran77 で実装されたプログラムである。ただし、通常オプションとしてあたえられるパラメータを定数として表記した。また、FE で実行可能な MT に関しては、プログラムソース上で指示文を用いて指定されている。MP3 エンコーディングは図 4 に示すようにサブバンド解析、MDCT、心理聴覚分析、非線形量子化処理、ハフマン符号化、ビットストリーム生成の 5 つの処理からなり、なかでも MDCT(変形離散コサイン変換) 部や心理聴覚分析部は前フレームの結果を使用するため、フレーム間依存が発生する。MP3 エンコードではこれらの処理を入力データがなくなるまで繰り返して実行する。FE で実行可能と判断される処理<sup>19)</sup> は、サブバンド解析の一部、心理聴覚分析、MDCT 変換、非線形量子化である。

本評価では、エンコーディングの入力データはステレオの PCM データ 32 フレーム、エンコーディングのパラメータはサンプルレート 44.1[KHz]、ビットレート 128[kbps] である。また、処理性能の評価には入力データとして用いた PCM データの前半部分がほぼ無音のため、32 フレーム中後半 16 フレーム分の処理時間を評価対象とし、電力評価に関しては 32 フレームデータ処理時の消費エネルギー値を用いた。

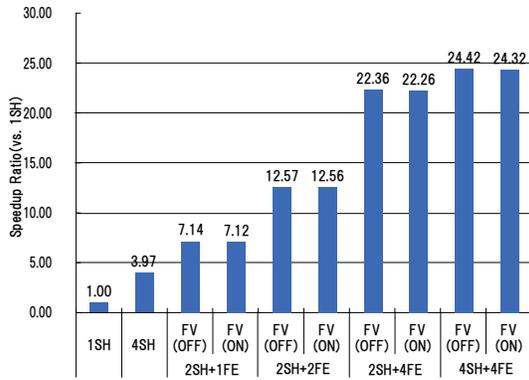


図 5 性能評価結果

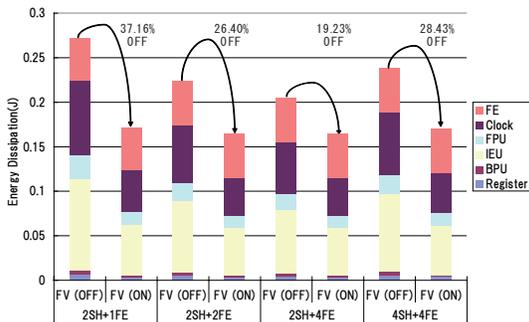


図 6 電力評価結果

### 5.3 評価結果

MP3 エンコードを用いた性能評価を図 5 に、電力評価結果を図 6 にそれぞれ示す。

図 5 において、横軸はプロセッサ構成および周波数及び電源制御の有無、縦軸は 1CPU による逐次実行時に対する速度向上率を示しており、図中の nSH+mFE とは、n 基の SH コアと m 基の FE コアを使用しているということを示している。図 5 の各構成で SH コア 1 基で逐次実行した場合に比べて、4SH 構成で 3.97 倍、2SH+2FE 構成で 12.57 倍、4SH+4FE 構成で 24.42 倍の速度向上を得られることが確認できた。しかし、現在の実装では周波数及び電源制御を行った場合は 2SH+2FE 構成で 12.56 倍、4SH+4FE 構成で 24.32 倍となり、各構成を平均して 0.08%-0.48%とわずかに速度低下が見られた。

図 6 において、横軸はプロセッサ構成および周波数及び電源制御の有無、縦軸は各構成での消費エネルギー (J) を示している。図 6 の各構成で、周波数及び電源制御を行わない場合に比べて 2SH+2FE 構成で 26.40%、4SH+4FE 構成において 28.43%の消費エネルギーを削減可能であり、各構成を平均して 27.80%の消費エネルギーの削減が得られた。

次に周波数及び電源制御が正しく行われていることを確認するため、2SH+2FE の場合において、周波数及び電源制御を行った場合の実行トレース結果を図 8、周波数及び電源制御を行わない場合の実行トレース結果を図 7 に示す。

図 7 より、SH コアのほとんどの時間が IDLE であること



図 7 2SH+2FE 構成時の実行トレース結果 (周波数及び電源制御無)

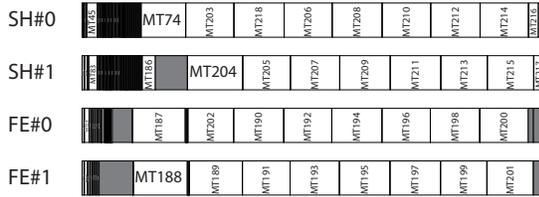


図 8 2SH+2FE 構成時の実行トレース結果 (周波数及び電源制御有)

がわかる。これはコンパイラによるスタティックスケジューリングにより、ハフマン符号化部分 (MT203-MT218) が SH コアに割り当てられ、処理コストが大きく、かつ FE-GA コアでの処理が有効な非線型量子化部分 (MT187-MT202) の全てが FE-GA コアに割り当てられたためである。よって、4 章で述べた様に、コンパイラによってコアの周波数や電源を制御することが可能である。実際にコンパイラにより周波数及び電源制御を適用した場合の実行トレース結果である図 8 をみると SH コアに対して動作周波数及び電圧の低減が行われ図 7 に比べ SH コア上でのタスク実行時間が延びていることがわかる。

この構成において、各コアがプログラム全体を実行するのに必要なクロック数のうち、各コアがとりうる周波数状態 実際に実行したクロックの割合を表 3 に示す。

表 3 の各行は図 8 中の各コア番号に対応しており、各列は動作した周波数及び電源の状態を示しており、これにより、プログラム全体の処理のうち、コアが各周波数及び電源状態で実行した割合がわかる。例えば SH#0 は FULL(300MHz) で処理全体の 20.04%、MID(150MHz) で 2.21%、LOW(75MHz) で 43.37%の処理を実行し残りは停止していたということを示している。4 章で述べたようにアクセラレータコアは特定の処理を高速化する目的で搭載しているため、周波数制御を行って低周波数で動作させるのではなく、電源の ON/OFF のみを行っている。

表 3 2SH+2FE 構成時の各コアの周波数および電源状態の割合 (周波数及び電源制御有)

state	FULL	MID	LOW	OFF
SH#0	20.04%	2.21%	43.37%	34.39%
SH#1	19.56%	12.87%	43.10%	24.47%
FE#0	92.35%	-	-	7.64%
FE#1	90.08%	-	-	9.92%

表3からわかるように, SH コアでは 67.57%-77.76%の時間が LOW(75MHz) もしくは OFF(電源遮断) の状態で実行される. FE-GA コアではプログラムの実行性能を向上させるため, 90%以上を周波数が FULL(300MHz) の状態で実行され, それ以外は電源を遮断し低消費電力化に貢献していることがわかる. 以上のことから, 4章で述べたヘテロジニアスマルチコアを対象とした最速実行モードの制御が正しく行われていることがわかり, コンパイラと協調し, 性能向上と低消費電力化の両立を達成することができた.

## 6. ま と め

本稿では, 汎用 CPU コアに加え, 動的再構成可能プロセッサなどのアクセラレータを複数チップ上に集積し, コンパイラとアーキテクチャの協調によって処理性能と低消費電力の両立を図る OSCAR 型メモリアーキテクチャを持つヘテロジニアスマルチコアプロセッサを対象とし, コンパイラによる自動並列化と周波数及び電源制御適用した場合の性能及び消費電力の評価を行った. MP3 エンコーダを用いた評価の結果, 1SH コアに対し, 4SH 構成で 3.97 倍, 2SH+2FE 構成で 12.56 倍, 4SH+4FE 構成で 24.32 倍の速度向上を得られた. そして, 制御を行わない場合に比べて処理性能をほぼ維持したままで 2SH+2FE 構成で 26.40%, 4SH+4FE 構成において 28.43%の消費エネルギーの削減が得られた.

謝辞 本研究の一部は NEDO “先進ヘテロジニアスマルチプロセッサ研究開発” の支援により行われた. 本研究を遂行するにあたり, 種々の御議論いただきました (株) 日立製作所 小高俊彦フェロー, 内山邦男氏, 伊藤雅樹氏, 佐藤真琴氏に感謝致します.

## 参 考 文 献

- 1) ARM: *ARM11 MPCore Processor Technical Reference Manual* (2005).
- 2) Suga, A. and Matsunami, K.: Introducing the FR 500 embedded microprocessor, *IEEE MICRO*, Vol.20, pp.21-27 (2000).
- 3) Yoshida, Y., Kamei, T., Hayase, K., Shibahara, S., Nishii, O., Hattori, T., Hasegawa, A., Takada, M., Irie, N., Uchiyama, K., Odaka, T., Takada, K., Kimura, K. and Kasahara, H.: A 4320MIPS Four-Processor Core SMP/AMP with Individually Managed Clock Frequency for Low Power Consumption, *ISSCC* (2007).
- 4) Pham, D., Asano, S. and et al., M.B.: The Design and Implementation of a First-Generation CELL Processor, *ISSCC* (2005).
- 5) Torii, S., Suzuki, S., Tomonaga, H., Tokue, T., Sakai, J., Suzuki, N., Murakami, K., Hiraga, T., Shigemoto, K., Tatebe, Y., Obuchi, E., Kayama, N., Eda, M., Kusano, T. and Nishi, N.: A 600MIPS 120mW 70  $\mu$  A Leakage Triple-CPU Mobile Application Processor Chip, *ISSCC* (2005).
- 6) 木村, 藤井, 西道, 清原: デジタル家電統合プラットフォーム UniPhier におけるメディアプロセッサ, DA シンポジウム (2005).
- 7) 笠原, 成田, 橋本: OSCAR(Optimally Scheduled Advanced Multiprocessor) のアーキテクチャ, 電子情報通信学会論文誌 D 分冊, Vol.J71-D, No.8 (1988).
- 8) Kimura, K., Wada, Y., Nakano, H., Kodaka, T., Shirako, J., Ishizaka, K. and Kasahara, H.: Multigrain Parallel Processing on Compiler Cooperative Chip Multiprocessor, *Proc. of 9th Workshop on Interaction between Compilers and Computer Architectures (INTERACT-9)* (2005).
- 9) 本多, 岩田, 笠原: Fortran プログラム粗粒度タスク間の並列性検出法, 信学論 (D-I), Vol.J73-D-I, No.12, pp.951-960 (1990).
- 10) 笠原, 合田, 吉田, 岡本, 本多: Fortran マクロデータフロー処理のマクロタスク生成手法, 信学論, Vol.J75-D-I, No.8, pp.511-525 (1992).
- 11) 和田, 押山, 鈴木, 内藤, 白子, 中野, 鹿野, 木村, 笠原: ヘテロジニアスチップマルチプロセッサにおける粗粒度タスクスタティックスケジューリング手法, Shining2006, 情報処理学会 (2006).
- 12) 白子, 神長, 近藤, 小幡, 笠原: 並列処理階層自動決定手法を用いた粗粒度タスク並列処理, Arc2002-148-4, 情報処理学会 (2002).
- 13) 白子, 吉田, 押山, 和田, 中野, 鹿野, 木村, 笠原: マルチコアプロセッサにおけるコンパイラ制御低消費電力化手法 (2006).
- 14) 鹿野, 鈴木, 和田, 白子, 木村, 笠原: MP3 エンコーダを用いた OSCAR ヘテロジニアスチップマルチプロセッサの性能評価, 情報処理学会論文誌コンピューティングシステム, Vol.48, No.SIG8 (2007).
- 15) Brooks, D., Tiwari, V. and Martonosi, M.: Wattch: A Framework for Architectural-Level Power Analysis and Optimizations, *Proc. of the 27th ISCA* (2000).
- 16) Arakawa, F., Nishi, O., Uchiyama, K. and Nakagawa, N.: SH4 RISC Multimedia Microprocessor, *IEEE MICRO*, Vol.18, No.2 (1998).
- 17) 津野田, 高田, 秋田, 田中, 佐藤, 伊藤: デジタルメディア向け再構成型プロセッサ FE-GA の概要, 信学技報 RECONF2005-65 (2005).
- 18) UZURA3: MPEG1/LayerIII encoder in FORTRAN90, [http://members.at.infoseek.co.jp/kitaurawa/index\\_e.html](http://members.at.infoseek.co.jp/kitaurawa/index_e.html).
- 19) 田中, 津野田, 秋田, 高田, 伊藤, 佐藤: 再構成型プロセッサ FE-GA のオーディオ処理への応用, 信学技報 RECONF2005-67 (2005).