

並列化コンパイラ協調型低消費電力・高実効性能 マルチコアプロセッサの動向

笠原博徳

早稲田大学理工学術院コンピュータ・ネットワーク工学科

複数のプロセッサコアを一つのチップに集積するマルチコアプロセッサ（チップマルチプロセッサ）が、低消費電力化，集積度向上に伴う処理性能の向上，ハードウェア・ソフトウェア開発期間の短縮，アプリケーション実質性能（実効性能）の向上それに伴う価格性能比の向上等を可能とする次世代プロセッサとして情報家電から，PC，サーバ，スーパーコンピュータに至る広い範囲で注目を集めている．本稿では，このようなマルチコアプロセッサの長所を実現するための並列化コンパイラ協調型マルチコアプロセッサの動向を、2005 年度より開始した NEDO “リアルタイム情報家電用マルチコア” 産官学連携プロジェクトの概要を含めて紹介する。

Parallelizing Compiler Cooperated Low Power High Effective Performance Multi-core Processors

Hironori Kasahara

Department of Computer Science, Waseda University

Currently, multi-core processors, or chip multiprocessors, have been attracted much attention as the next generation of processors for consumer electronics, PCs, various levels of servers up to supercomputers that allow us to realize low power consumption, scalable performance increase with the progress of semiconductor integration technology, short software and hardware development periods, high application performance, or effective performance, and better cost performance. This paper introduces an approach of compiler cooperative multi-core processors to realize the above features including a new national project “NEDO Multi-core Processor Technologies for Real Time Consumer Electronics” started in 2005.

1. マルチコアプロセッサが主流へ

21 世紀の幕開けと共に，各マイクロプロセッサメーカーが，複数のプロセッサコアを一つのチップ上に集積したマルチコアプロセッサ（チップマルチプロセッサ）を次々に発表している。サーバ分野では 1999 年に発表された 1 チップ上に 2 プロセッサコアを搭載した IBM の Power4[1] を皮切りに 2 コアの Power5, Power5+ と続き，Sun の 2 コア搭載の UltraSPARC IV[2], 8 コア搭載の Niagara プロセッサ等が次々と発表されている。

デスクトップおよび PC サーバ分野においても，Intel では 2 コア搭載の Pentium 系プロセッサ Pentium D, Itanium 系 2 コア搭載の Montecito プロセッサが，AMD では Opteron 系 Egypt プロセッサ等がそれぞれ開発されており，PC 市場をめぐって激しい競争を繰り広げている。

さらに市場規模が大きく，日本の IT 産業を牽引している情報家電，組み込み分野においてもマイクロプロセッサのマルチコア化の動きが激しく，富士通の 8 並列の VLIW プロセッサを 4 コア集積した FR1000[3]（図 1），東芝・ソニー・IBM の Power アーキテクチャコア PPE と 8 個の SPE(Synergistic Processor Elements)コアを集積した Cell プロセッサ[4]（図 2），NEC の 3 つの ARM926 コアと DSP(デジタル信号処理プロセッサ)等を集積した MP211[5]，NEC エレクトロニクス・ARM による 4 つの ARM コアを集積した SMP(Symmetric Multiprocessor：主記憶共有型マルチプロセッサ)アーキテクチャの MPCore[6]（図 3），松下の汎用プロセッサコアとマルチメディアアクセラレータコア UniPhier（3 命令並列のスーパースカラプロセッサ IPP とデー

タ並列コア DPP からなるアクセラレータ) プロセッサを集積した UniPhier[7]をはじめとする様々なマルチコアプロセッサが、携帯電話、ゲーム、カーナビ、デジタルテレビ、HDD/DVDレコーダ・プレーヤのために開発されている。

また、スーパーコンピュータにおいても、現在世界最速の IBM BlueGene/L (図4) は組込用低消費電力コア PowerPC440 を2コア集積したマルチコアを64Kチップ接続し350TFLOPSを達成している。

このように、現在情報家電からスーパーコンピュータに至るほとんどの情報機器においてマルチコアプロセッサが使われるようになっており、今後身の回りのほとんどの情報機器にマルチコアプロセッサが組み込まれていくようになって考えられている。

このような流れの背景として、これまでのマイクロプロセッサの構成方式では、もはや半導体の集積技術の向上に即した性能向上を得られないということが挙げられる。

これまでのマイクロプロセッサでは、スーパースカラ方式やVLIW方式のような命令レベル並列性を利用しその並列処理能力を向上させる方法、(2)クロック周波数を向上させる方法、の二つの方法により処理能力の向上を果たしてきた。しかしながら、プログラム中の命令レベル並列性の限界ありこれ以上ハードウェア並列度を増加させてもそれに見合う性能向上が得られない[8][9]、クロック周波数の向上と共に消費電力が増加しチップの発熱量を考慮するとクロック周波数の向上が難しくなっていることが良く知られている。特に最近では、半導体の微細化に伴うリーク電流の増加しており、今後の65nm,45nmプロセスではリークがさらに増大し、消費電力の増加が今後のプロセッサの性能向上にとって深刻な問題となっている。

これらの、半導体集積度向上に伴うスケラブルな性能向上、消費電力の増大に対処するための方法としてもマルチコア化が注目を集めている。これは、マルチコアプロセッサでは従来プロセッサで使用されていた上述の細粒度命令レベル並列性だけでなく、より並列性の大きいループレベル並列性、さらに粒度の粗いループ間、関数間の粗粒度タスク並列性も利用でき、より大きな並列性の利用により今後の集積度向上とともにプロセッサコア数を増やし、性能向上を得ることができる。また消費電力的にも、n台のプロセッサコアを用い同一性能を達成するのであれば、クロック周波数をn分の1にし、それに伴い電圧も下げることにより、電圧の自乗で増大する消費電力を低く抑えることができるようになる。

また、ソフトウェア面では、通常マルチプロセッサ用の並列プログラミングはチューニングに多大な時間を要しアプリケーションソフトウェアの開発が大変であるが、比較的少数のプロセッサを集積する現時点では逐次プログラムを自動的に並列化する自動並列化コンパイラにより高性能を得ることができ、コンパイラにより4コア、8コア、16コアの自動並列化が可能となれば、アプリケーションの質と数が市場での競争力を決める情報家電ではそのマルチコアは圧倒的に優位となる。さらにマルチコアでは、コンパイラとの協調により、各コアの周波数・電圧を下げ

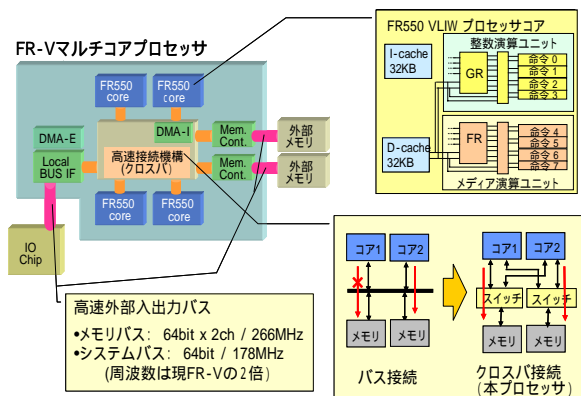


図1 FR-Vマルチコアプロセッサ

- Power Processor Element (PPE)
 - PowerコアはOS及び制御集中タスクを処理
 - 2-wayマルチスレッド
- Synergistic Processor Element (SPE)
 - 8つのSPEが優れた演算性能を提供
 - Dual issueのRISCアーキテクチャ
 - 128bitのSIMD型(16 wayまで)
 - 128 x 128bit General Registers
 - 256KB Local Store
 - 専用DMA engines

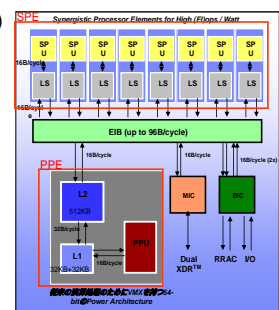


図2 CELLプロセッサ

イナミック消費電力を落としたり、ある期間処理を行っていないプロセッサは電源を遮断することによりリーク電流によるスタティック電力も低減できるため、日本ではコンパイラとの協調を行う情報家電用マルチコアプロセッサプロジェクト N E D Oリアルタイム情報家電用マルチコアプロジェクトが2005年7月より開始されている。

2. マルチコアプロセッサのアーキテクチャ

マルチコアプロセッサの構成方法はメモリの構成方式に着目すると、図3に示す MPCore のような共有メモリ型マルチプロセッサと図4に示す BlueGene/L のチップ間のような分散メモリ型マルチプロセッサに大別することができる。

現時点では、マルチコアプロセッサはまだ数プロセッサ程度の小規模なものが多いため、プログラミングがしやすい SMP 方式のもの、あるいは Cell, FR1000 のようにローカルメモリは有しているが、全プロセッサからアクセスできる共有メモリも有している OSCAR タイプ(図5)[11]のマルチプロセッサシステムが多く開発されている。

たとえば、東芝・ソニー・IBM の Cell や富士通の FR1000 では、チップの外部に共有主記憶と、各プロセッサコアがローカルメモリ(ローカルストレージ)を持つ分散メモリ型に近い構成となっている。これらのローカルメモリは、SMP では保証しにくい、リアルタイム性の確保のために有利である。

さらに組み込み系のプロセッサでは、Cell, MP211, UniPhier のように、汎用プロセッサの他に信号処理用の DSP コアなどを搭載するヘテロジニアスなコア構成をとるものも多い。組み込み用アプリケーションで重要な画像処理・音声処理などの信号処理をこのような構成で効率よく処理することが目的である。

3. マルチコアにおけるソフトウェア

マルチコア上でのプログラミングにおいては、POSIX thread library などのスレッドライブラリや、Java などの言語レベルでマルチスレッドをサポートしているプログラミング言語、あるいは OpenMP などの拡張言語によるマルチスレッドプログラミングあるいは MPI のようなライブラリの使用が必要となる。

さらに、組み込み用途ではさらに難易度の高い並列化プログラミングを要求される。特に比較的容量の小さなローカルメモリを持つマルチコア上でプログラムを実行する場合には、データをローカルメモリに収まる単位で分割し、適切なタイミングでプロセッサコア間、あるいは主メモリとの通信を行う処理を明示的に記述する必要がある。さらにヘテロジニアスなコア構成をとるマ

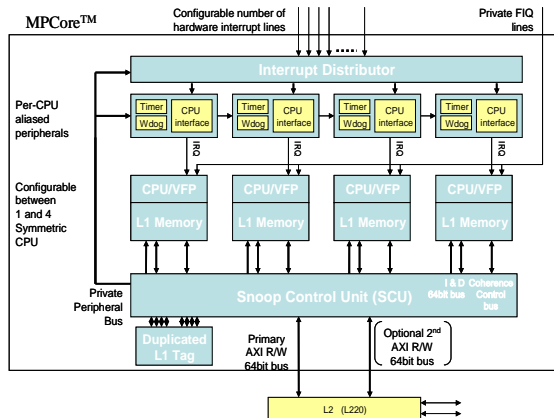


図3 MPCore™ ブロック図

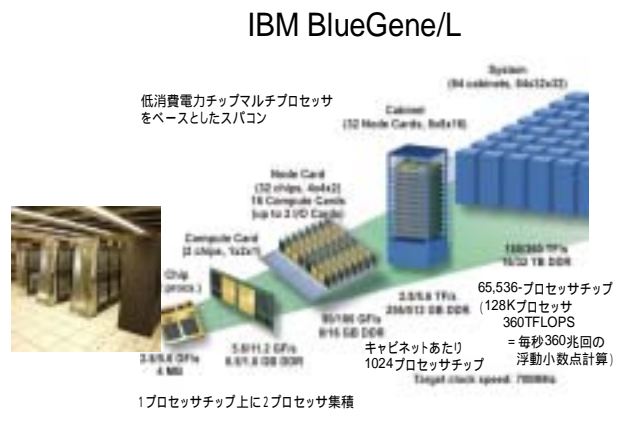


図4 低消費電力マルチコアベーススーパーコンピュータ

マルチコアプロセッサでは、どのタスクをどのようなタイミングでどのアクセラレーションコアに割り当てるかを指定する必要がある。いずれにせよ、組み込み用途でマルチコアプロセッサの持つ能力を最大限に引き出すためには、アプリケーションとハードウェア構成の両方を熟知している必要がある[10]。

マルチコア用の並列プログラム作成は、従来のスーパーコンピュータ用並列アプリケーション作成のように並列化及びチューニングに数ヶ月以上をかけるというわけにはいかない。製品開発サイクルの短い情報家電分野において市場競争力を維持するためには、質の高いアプリケーションを多数、短期間で開発していくことが必須である。そのためには逐次型プログラムを自動的に並列化し、さらにプロセッサ近接のキャッシュあるいはローカルメモリを有効利用しメモリアル問題に対応するためのデータの自動分割配置、またサイズの小さいローカルメモリと共有メモリ間のデータ転送の DMA コントローラを使ったタスク処理とオーバーラップによるデータ転送オーバーヘッドの隠蔽、プロセッサの電圧・クロック周波数制御、あるいは電源シャットダウンの制御を行うことができる自動並列化コンパイラの開発が重要となる。

4. 並列化コンパイラ協調型マルチコアと関連プロジェクト

今後身の回りの多くの情報機器にマルチコアプロセッサが使用される Multicore Everywhere の時代が到来すると予想される。半導体の集積技術の進歩とともに、集積されるプロセッサコア数も 4 コア 8 コアと増加し 2010 年頃には 64 コア以上が集積される[14]。

このように身の回りの IT 機器全てに導入されて行き、さらに今後の半導体微細化技術の向上と共にさらに重要性が増すマルチコア技術を押さえることは、日本の IT 産業の未来を左右する重要なファクタとなる。このためには、単にハードウェアの性能だけでなく、アプリケーション生産性、すなわち開発ツールを含めたソフトウェア開発の容易性が重要となる。特に、アプリケーション開発者に、並列処理プログラミングの煩わしさを感じさせずに自動的に、高性能、低消費電力を達成することができるコンパイラを開発することができたマルチコアが大きな市場をとることができると考えられている。

このためには、ハードウェアを開発してからそのハードを使用するソフトウェアを開発するのではなく、最初からソフトウェアの最適化を考慮して、その最適化能力をうまくいかすことができるハードウェアの設計、すなわちソフトウェア・ハードウェアの協調設計が重要となる。

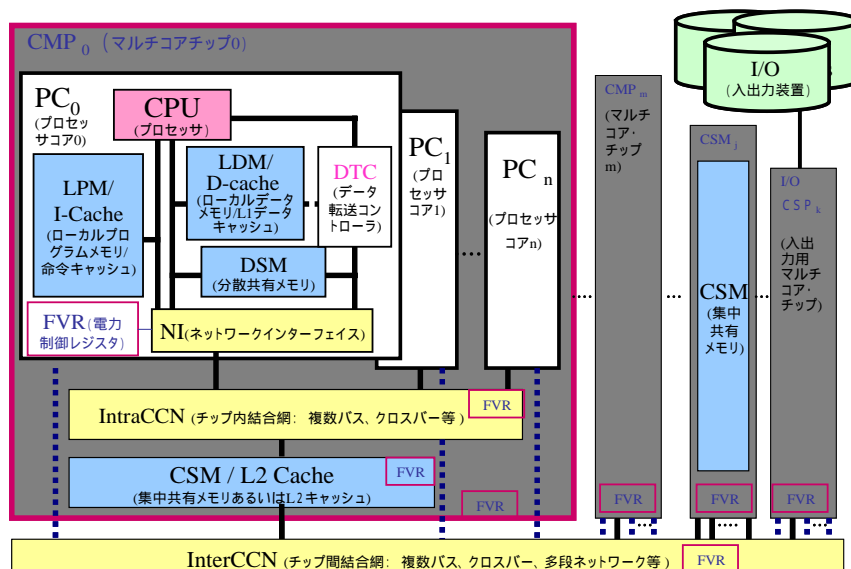
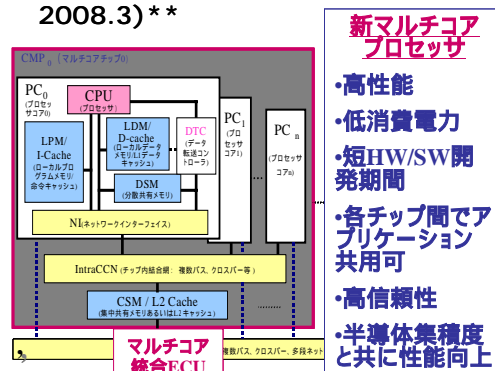


図5 コンパイラ協調型OSCAR(Optimally Scheduled Advanced Multiprocessor) マルチコア

このようなコンパイラ協調型マルチプロセッサアーキテクチャの例としては OSCAR マルチプロセッサと OSCAR マルチグレイン並列化コンパイラ, および OSCAR チップマルチプロセッサ (OSCAR マルチコアプロセッサ)が開発されている[11,12,13,15]. OSCAR チップマルチプロセッサを図6に示す. 図に示すとおり, OSCAR チップマルチプロセッサではプロセッサコアとローカルデータメモリ (LDM), 分散共有メモリ (DSM), データ転送コントローラ (DTC) を持つプロセッシングエレメント (PE) が相互結合網により接続され1チップ上に複数搭載された構成を持つマルチコアプロセッサである. またチップ内部, あるいは外部に PE が共有する集中共有メモリ (CSM) が接続されている. これらのマルチコアプロセッサが複数接続され, 大規模な並列システムを構築することも考えられている. 現在の組込用マルチコアは, CellのようにOSを動かすホストプロセッサと演算を行う並列プロセッサからなるプロセッサが共有メモリに接続されたヘテロマルチプロセッサは, オリジナルの OSCAR マルチプロセッサアーキテクチャ[11]と同種のアーキテクチャであり, また共有メモリとローカルメモリをもつホモジニアスなマルチコアは OSCAR マルチコア[13,15]のサブセットとなっており, 並列化コンパイラが比較的開発しやすいアーキテクチャとなっている.

この OSCAR チップマルチプロセッサの特徴は OSCAR マルチグレイン並列化コンパイラの並列化を支援するように設計されている所である. 2000年より3年間の内閣府ミレニアムプロジェクト経済産業省/NEDO アドバンスト並列化コンパイラプロジェクトにてその実用性が高められた OSCAR マルチグレイン並列化コンパイラ[16]は, プログラム全体にわたる並列性解析により, ソースプログラムからループやサブルーチンコール間の粗粒度タスク並列性, 従来のループ並列性, 基本ブロック内部のステートメント間の並列性を表す近細粒度並列性を階層的に自動抽出する. また抽出された複数粒度のタスク間並列性はコンパイル時のスタティックスケジューリング, 実行時の柔軟なダイナミックスケジューリング方式によりプロセッサに割り当てられ並列実行される. さらにプロセッサ動作速度に比べて遅いメモリアクセスオーバーヘッドを最小化するようにデータはキャッシュあるいはローカルメモリにフィットするように自動分割される. さらに2005年7月から開始されている NEDO リアルタイム情報家電用マルチコアプロジェクトでは, サイズの小さいローカルメモリ間あるいはローカルメモリと共有メモリ間のデータ転送を, DMAを用いたタスク処理とオーバーラップして行いデータ転送オーバーヘッドを隠蔽したり, アプリケ

**経済産業省/NEDOリアルタイム情報
家電用マルチコア(2005.7~
2008.3)****



開発マルチコアチップは情報家電へ



図6 情報家電競争力強化を目指したマルチコアプロジェクト

ーション中の並列性が少ない部分でアイドル状態になるプロセッサの電源を遮断したり、負荷の軽いプロセッサのクロック周波数及び電圧をきめ細かく制御し消費電力を押さえる並列化コンパイラの開発と、その最適化機能を効果的にサポートする図6のようなマルチコアアーキテクチャが研究開発されている。

今後、ソフトウェア生産性、実効性能が高く、消費電力の低いソフトウェア協調型マルチコアを目指した研究開発が世界で行われ、淘汰の時代に入っていくと予想される。携帯電話、ゲーム、DVD、デジタルテレビ、からスーパーコンピュータ、さらには電子化の著しい自動車までに導入されていくマルチコアの時代を勝ち抜くためには、産官学のさらなる連携が望まれる。

謝辞 本解説の技術的展開に有益な御議論を戴きました、STARC プログラム研究“並列化コンパイラ協調型チップマルチプロセッサ技術”、NEDO“先進ヘテロジニアスマルチプロセッサ”プロジェクト、NEDO“リアルタイム情報家電用マルチコア”プロジェクトメンバーの皆様に厚く御礼申し上げます。また、本原稿の執筆に関し協力戴きました早稲田大学木村啓二助教授、白子準助手に感謝致します。

参考文献

- [1] K.Diefendorff, “Power4 Focuses on Memory Bandwidth”, Microprocessor Report, Vol. 13, No. 13, 1999
- [2] “UltraSPARC IV Processor Architecture Overview”, Technical White Paper, Sun Microsystems, Feb., 2004
- [3] T. Shiota, et al., “A 51.2GOPS, 1.0GB/s-DMA Single-Chip Multi-Processor Integrating Quadruple 8-Way VLIW Processors”, ISSCC, 2005
- [4] Dac Pham, et al., “The Design and Implementation of a First Generation CELL Processor”, ISSCC, 2005
- [5] S. Torii, et al., “A 600MIPS 120mW 70uA Leakage Triple-CPU Mobile Application Processor Chip”, ISSCC, 2005
- [6] J. Goodacre et al., “Parallelism and the ARM Instruction Set Architecture”, IEEE Computer Magazine, Vol. 38, No. 7, July, 2005
- [7] 木村浩三 他, “デジタル家電統合プラットフォーム UniPhier におけるメディアプロセッサ”, DA シンポジウム, Aug., 2005
- [8] D. W. Wall, “Limits of Instruction-Level Parallelism”, Proc. of ASPLOS-IV, 1991
- [9] Herb Sutter, “The Free Lunch is Over: A Fundamental Turn Toward Concurrency in Software”, Dr. Dobb’s Journal, Vol. 30, No. 3, March, 2005
- [10] <http://www.research.ibm.com/cellcompiler/compiler.htm>, “Compiler Technology for Scalable Architectures”, IBM Research
- [11] 笠原博徳 他, “OSCAR (Optimally Scheduled Advanced Multiprocessor)のアーキテクチャ”, 電子情報通信学会論文誌, Vol. J71-D, No. 8, Aug., 1988
- [12] H. Kasahara, et al., “OSCAR Multi-grain Architecture and Its Evaluation”, Proc. of IWIA, Oct., 1997.
- [13] K. Kimura, et al., “Multigrain Parallel Processing on Compiler Cooperative Chip Multiprocessor”, Proc. of INTERACT-9, Feb., 2005
- [14] NEDO 電子情報ロードマップ (コンピュータ分野), <http://www.nedo.go.jp/denshi/roadmap/kouen7.pdf>
- [15] 木村 啓二, 尾形 航, 岡本 雅巳, 笠原 博徳, “シングルチップマルチプロセッサ上での近細粒度並列処理”, 情報処理学会論文誌, Vol.40, No.5, May.,1999.
- [16] 笠原博徳, “最先端の自動並列化コンパイラ技術”, 情報処理学会誌, Vol. 44, No. 4, pp. 384--392, Apr., 2003.