

54倍速 AAC エンコードを実現するヘテロジニアスマルチコア アーキテクチャの検討

鹿野 裕明^{†,††} 伊藤 雅樹[†] 戸高 貴司[†] 津野田賢伸[†] 兒玉 征之[†]
小野内雅文[†] 内山 邦男^{†,††} 小高 俊彦^{†,††} 亀井 達也^{†††} 永濱 衛^{†††}
草桶 学^{†††} 新田 祐介^{†††} 和田 康孝^{††} 木村 啓二^{††} 笠原 博徳^{††}

[†] (株) 日立製作所 東京都国分寺市東恋ヶ窪 1-280

^{††} 早稲田大学 基幹理工学部 情報理工学科 東京都新宿区大久保 3-4-1

^{†††} (株) ルネサス テクノロジ 東京都小平市上水本町 5-20-1

E-mail: †hiroaki.shikano.gm@hitachi.com

あらまし 汎用プロセッサ (CPU) コアとアクセラレータ (ACC) コアを複数個集積したヘテロジニアスマルチコアプロセッサ (HMCP) アーキテクチャを検討した。HMCP は、特定の演算を効率よく実行可能な ACC コアの効果的な利用と複数のプロセッサコアの並列利用により、動作周波数を向上させなくとも高い演算性能を得ることが可能であり、組み込み向け SoC に求められる高性能、小面積、省電力を同時に実現する。今回 HMCP アーキテクチャの有効性評価に当たり、AAC-LC エンコーディングの HMCP における処理方式を検討し、ホモジニアスマルチコアプロセッサにアクセラレータとして動的再構成可能プロセッサ (DRP) を付加した試作チップ上での評価を行った。その結果、600 MHz で動作する CPU 2 個と 300 MHz で動作する DRP 2 個を集積した HMCP において、CD 一枚が 1-2 分程度でエンコード可能となる 54 倍速 AAC エンコーディングの性能が得られることを確認した。

キーワード ヘテロジニアスマルチコア、並列処理、アクセラレータ、動的再構成可能プロセッサ、AAC エンコード

Evaluation of Heterogeneous Multicore Architecture with AAC-LC Stereo Encoding

Hiroaki SHIKANO^{†,††}, Masaki ITO[†], Takashi TODAKA[†], Takanobu TSUNODA[†], Tomoyuki KODAMA[†], Masafumi ONOUCHI[†], Kunio UCHIYAMA^{†,††}, Toshihiko ODAKA^{†,††}, Tatsuya KAMEI^{†††}, Ei NAGAHAMA^{†††}, Manabu KUSAOKE^{†††}, Yusuke NITTA^{†††}, Yasutaka WADA^{††}, Keiji KIMURA^{††}, and Hironori KASAHARA^{††}

[†] Hitachi, Ltd. 1-280 Higashi-Koigakubo Kokubunji-shi, Tokyo 185-8601, Japan

^{††} Dept. of Computer Science, Waseda University 3-4-1 Okubo Shinjuku-ku, Tokyo 169-8555, JAPAN

^{†††} Renesas Technology Corporation 5-20-1 Josuihoncho Kodaira-shi, Tokyo 187-8588, Japan

E-mail: †hiroaki.shikano.gm@hitachi.com

Abstract This paper describes a heterogeneous multi-core processor (HMCP) architecture which integrates general purpose processors (CPU) and accelerators (ACC) to achieve high-performance as well as low-power consumption for SoCs of embedded systems. Memory architecture of CPUs and ACCs were unified to improve programming and compiling efficiency. For preliminary evaluation of the HMCP architecture, AAC-LC stereo audio encoding is parallelized on a heterogeneous multi-core having homogeneous processor cores and dynamic reconfigurable processor (DRP) accelerator cores. The performance evaluation shows that 54x AAC encoding is achieved on the chip with two CPUs at 600 MHz and two DRPs at 300 MHz, which realizes encoding of a whole CD in 1-2 minutes.

Key words Heterogeneous multi-core, parallel processing, accelerator, dynamic reconfigurable processor, AAC encoding

1. はじめに

半導体製造技術の進歩による素子の微細化により、1チップ上に膨大な数のトランジスタを集積することが可能となっている。従来、微細化とともにプロセッサの高周波数化も進んできたが、動作時電力の増加、またリーク電流に起因する待機時電力の増加により、動作周波数の向上も望めなくなっており、さらに論理方式の改善による性能向上にも限界が見え始めている。一方で、自動車のナビゲーションシステム、携帯電話、デジタルテレビなど、画像、音声、データベース情報など多様なデータを同時に扱うデジタル民生機器が登場し、特性の異なる膨大なデータを短時間にかつ低電力に処理することが強く求められている。この要求に対し、性能改善と低電力化を両立する手段として、現在複数個のプロセッサコアを1チップ上に集積した、マルチコアプロセッサが主流となりつつある [1] [2] [3]。

しかしながら、マルチプロセッサアーキテクチャでは複数のプロセッサエレメント (PE) がバスに接続されるため、メモリアクセス、プロセッサ間通信によるトラフィックが性能向上を阻害してしまうため、チップ内外で階層的なメモリアーキテクチャとメモリ管理を行うことが重要である。また、特に組み込み向け機器を用途とした場合、SoCに求められる電力制約は非常に厳しく、更なる電力効率の向上が強く求められている。

これらの要求に対し、我々は汎用プロセッサに加え、専用プロセッサ、アクセラレータなど、デジタル民生機器がターゲットとするアプリケーションを効率よく処理するための様々な種類のアクセラレータ (ACC) を複数個チップに搭載し、処理を並列で行うことで、動作周波数を向上させなくともより高い演算性能を得ることが可能なヘテロジニアスマルチコアプロセッサ (HMCP) アーキテクチャを検討している [4]。本 HMCP は各 PE 近傍及びチップ上に高速なローカルメモリを持ち、これらのメモリをソフトウェアにて活用することで、PE 数に則したスケラブルな性能向上も実現できる [5] [6]。

本論文では、HMCP アーキテクチャの検討並びに評価として、AAC オーディオエンコーダの HMCP 向け処理方式を検討し、ホモジニアスマルチコアプロセッサにアクセラレータを付加した評価用試作チップにて、HMCP アーキテクチャの性能面並びに電力面での有効性を評価した。以下、2章では HMCP アーキテクチャ、3章ではアクセラレータとして用いた動的再構成可能プロセッサアーキテクチャについて説明する。次に、4章では AAC エンコーダの HMCP 向け処理方式並びに評価用チップ上での評価結果について述べる。

2. ヘテロジニアスマルチコアアーキテクチャ

ヘテロジニアスマルチコアプロセッサ (HMCP) は汎用プロセッサコア (CPU) に加え、特定の処理を効率よく実行可能な動的再構成可能プロセッサ (DRP)、信号処理プロセッサ (DSP) 等のアクセラレータコアを1チップに集積したアーキテクチャである。図1に構成例を示す。並列化コンパイラ等のソフトウェアによる積極的なタスクスケジューリング、メモリ管理、電力管理、を効率よく行うことを可能とすべく、以下を特徴とする。

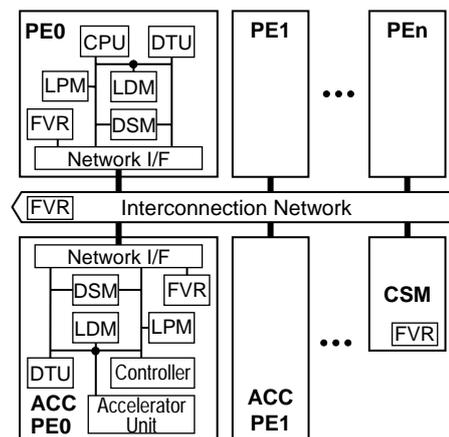


図1 ヘテロジニアスマルチコアプロセッサアーキテクチャ

- ソフトウェア協調による階層メモリアーキテクチャ
各プロセッサコア近傍に高速な各種ローカルメモリ (ローカルプログラムメモリ LPM, ローカルデータメモリ LDM, 分散共有メモリ DSM) を配置する。各 PE が頻繁にアクセスするデータを高速なローカルメモリ上に配置しておくことにより、プロセッサ速度と比べ低速な外部メモリへのアクセスを低減し、処理性能を最大限引き出すことができる。DSM は、任意のプロセッサからアクセス可能であり、複数プロセッサ上のタスク間同期処理、タスク間データ転送による、高速な並列処理を実現する。また、チップ上には集中共有メモリ (CSM) を有し、プロセッサ間で共有されるデータを保持しておくことで、処理を高速化する。なお、メモリコヒーレンスはソフトウェアで保証する。
- データ転送機構
データ転送ユニット (DTU) を各プロセッサの近傍に持たせ、ソフトウェア制御により、タスク処理と並行してメモリ間データ転送を行うことで、データ転送オーバーヘッドを削減する。また、DTU は予め LDM に配置したデータ転送命令列を読み込み、複数のデータ転送を連続して実行でき、また転送開始、終了通知を行うためのフラグチェック、フラグセット機構も持つ。
- 低電力制御機構
プロセッサ、メモリ、バス等、複数部位の周波数・電源電圧を、コンパイラ等のソフトウェアから透過的に制御可能なインタフェース (レジスタ) 機構 (FVR) を持つ。

3. Flexible Engine / Generic ALU Array

HMCP が持つアクセラレータとして、今回動的再構成プロセッサの一種である FE-GA (Flexible Engine / Generic ALU Array) [7] を適用した。FE-GA は動的に機能を変更可能な ALU を二次元配列状に接続した演算セルアレイで構成され、各種ホスト CPU と接続可能なデジタルメディア処理向け動的再構成プロセッサである。本章では、FE-GA のアーキテクチャ構成を説明する。

図2に示すように、FE-GA は演算処理部、演算制御部、バス

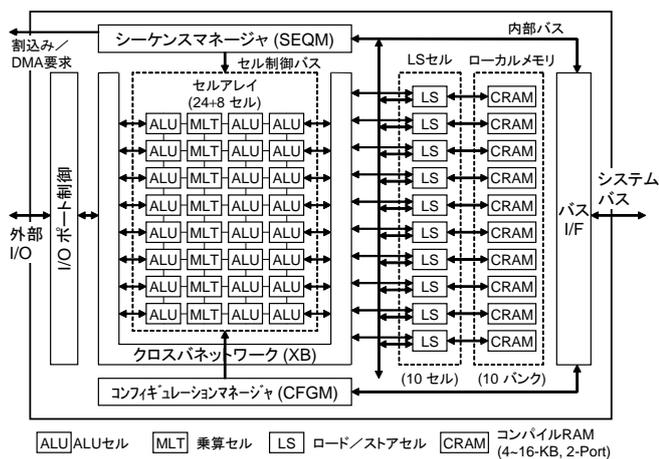


図 2 FE-GA アーキテクチャ構成

インタフェースの 3 つの要素から構成される。演算処理部には、算術論理演算を実行する演算セルを二次元的に接続した演算セルアレイ、演算オペランドや演算結果などの演算データを格納するローカルメモリ、ローカルメモリへのアクセスアドレス生成と読み書き制御を行うロードストアセル (LS)、演算セルアレイとロードストアセルとの間を接続するクロスバネットワークが含まれる。また、演算制御部はそれぞれ演算処理部の動作内容および動作状態を制御するコンフィギュレーションマネージャ、シーケスマネージャから構成される。FE-GA は以下の特長を備える。

- 32 個の汎用演算セル (算術論理演算 (ALU) セル × 24 個、乗算 (MLT) セル × 8 個) からなる二次元演算セルアレイ構造であり、各セルの機能をソフトウェアにて 1 クロックサイクルで変更可能。セルアレイ上で並列・パイプライン処理することにより、大量のデータに対し効率よい演算が可能。
- セル間配線長を削減し、動作周波数の向上を容易にする 4 隣接セル間限定配線を採用。ソフトウェアにより隣接配線の接続を 1 クロックサイクルで変更可能。
- メモリアクセス制御専用セル (ロードストア (LS) セル × 10) を設け、連続したデータ供給を可能とする柔軟なメモリアドレスングを提供。
- 多バンク・大容量の演算用ローカルメモリ (最大 16KB × 10 バンク、2 ポート CRAM) を内蔵。
- 演算セルアレイとローカルメモリ間は、高い自由度で接続可能なクロスバネットワークを採用。
- プログラムに相当するコンフィギュレーションデータの効率的な階層記憶により、コンフィギュレーションロードを演算と同時にバックグラウンド実行可能とするコンフィギュレーションマネージャを装備。
- コンフィギュレーションの実行順序を決定する自律的なシーケンス制御を可能とし、独立性の高いサブシステムの構築を可能にするシーケスマネージャを装備。
- FE-GA 外部の制御用 CPU および DMA コントローラと制御/データ転送の連携を可能にする割り込みおよび DMA 転

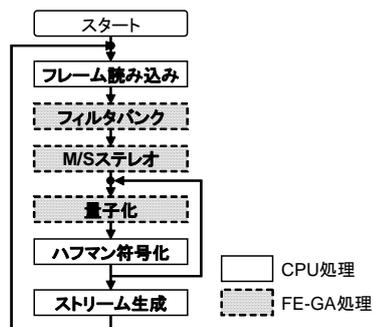


図 3 AAC 処理フロー

送要求機能を装備。

- システムバスを占有しないストリームデータ入出力、および FE-GA を単位とするスケーラブルな拡張を実現する入出力ポートを装備。

4. AAC エンコーダによる評価

HMCP アーキテクチャの評価に当たり、今回 HMCP 向け AAC オーディオエンコード処理方式を検討し、第 2 章で定義した HMCP アーキテクチャの一部機能を実装した試作チップにて評価を行った。以下、AAC エンコード処理方式並びにチップ仕様、評価結果について述べる。

4.1 AAC エンコーダ

HMCP アーキテクチャの評価アプリケーションとして、音楽圧縮で広く用いられている AAC (Advanced Audio Codec) エンコーダを用いた。AAC は携帯電話や携帯音楽プレーヤ、PC、カーナビゲーションシステム等で利用される高圧縮なオーディオコーデックの一つである。AAC エンコーディングは大きくフィルタバンク、量子化、符号化、ビットストリーム生成の 4 つの処理から構成される。AAC エンコードの処理フローを図 3 に示す。以下、各処理について簡単に説明する。

フィルタバンクは時間領域のデータを周波数領域に変換する処理であり、FFT (Fast Fourier Transform)、フィルタで構成される。これらの処理は大量のデータに対し、あらかじめ決められた加算と乗算が繰り返される構成となっており、FE-GA での処理に適している。量子化はフィルタバンク処理の結果を入力し、量子化テーブルの値を用いて高周波数部分のデータをターゲットとなるデータ量に収束するまで繰り返される。具体的には 3/4 乗を行う処理で、テーブル参照を用いた実装としており、FE-GA での処理に適している。

符号化では、ハフマン符号化を用いる。ハフマン符号化では頻出するビット列に対して短い符号を与えることで、データ量を削減する。実際の処理では、量子化結果に対し符号化を行い、指定されたビットレートを満たさない場合は、再度量子化でのステップ数を大きくし圧縮率を上げて再度符号化を行う。ビット列に割り当てる符号長は一定でないため、高速化が難しい処理である。今回の実装では、CPU にて本処理を実行する。ビットストリーム生成では、符号化結果を AAC フォーマットに従ってストリーム出力する。ビット長が一定でない符号化結

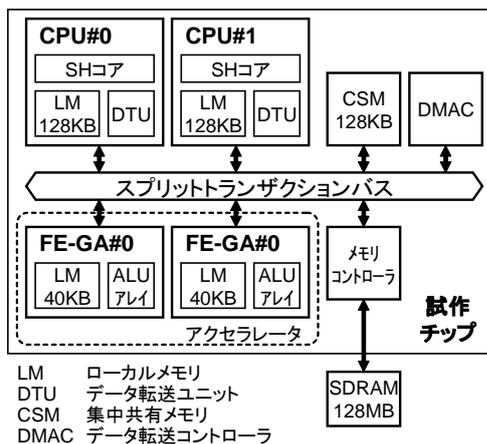


図4 評価用試作チップの構成図

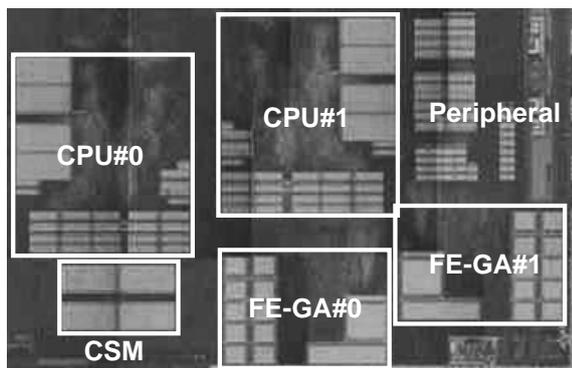


図5 評価用チップ写真

果を処理するため、高速化が難しい処理である。今回の実装では、CPUにて本処理を実行する。

4.2 評価用チップ構成

HMCPアーキテクチャの有効性を確認するために、HMCPアーキテクチャの一部機能を実装した、ホモジニアスマルチコアプロセッサにアクセラレータとしてFE-GAを付加した評価用試作チップを用いた。本チップの構成図を図4に、チップ写真を図5示す。

評価用チップは、ホモジニアスマルチコアプロセッサ部分として、マルチコア機能に対応したSHコア[8]を持つCPUコア2個、128KBのCSM、DMAコントローラ、及びアクセラレータであるFE-GAコア2個で構成され、それぞれはスプリットトランザクションバスによって接続されている。SHコアは128KBのローカルメモリとデータ転送ユニット(DTU)を備える。本ローカルメモリは各プロセッサコアからアクセス可能な分散共有メモリ構成であり、図1に示したHMCPアーキテクチャにおけるLDM、DSMに位置づけられる。また、このローカルメモリはプログラムを配置することも可能であるためLPMとしても位置づけられるが、本プロセッサコアは命令キャッシュも併せて持っており、命令キャッシングにてLPM相当の性能を引き出すことが可能である。また、FE-GAは40KBのローカルメモリを内蔵するが、これも他のプロセッサコアからアクセス可能な分散共有メモリであり、LDM及びDSMとして位置づけられる。

表1 評価用チップ仕様

プロセステクノロジー	90nm, 8層, 3種 Vth CMOS 技術
電源電圧	1.0V(コア内部), 1.8V/3.3V(I/O)
動作周波数	CPU 600MHz, FE-GA/バス 300MHz
アクセラレータ演算性能	19.2 GOPS (FE-GA Max.)
ローカルメモリ	128KB /1CPU, 40KB /1FE-GA
オンチップ共有メモリ	128KB

表2 AACエンコーダ評価条件

対象	AACエンコーダLC (Low Complexity)
ビットレート	128 kbps
入力データ	16bit, 44.1kHz PCM データ 音楽 (1) 192 秒データ, 音楽 (2) 87.9 秒
データ配置	入出力データを外部共有メモリ (SDRAM) に配置

表3 FE-GA導入による性能効果 (DTUによる転送時間含)

処理	CPU 実行時	FE 実行時	加速率
フィルタバンク & MS ステレオ	2,400 Kcyc	100 Kcyc	24.0 倍
量子化	240 Kcyc	31 Kcyc	7.7 倍

なお、本評価用チップは、第2章で定義したHMCPアーキテクチャ要素のうち、機能部毎のクロック周波数/電圧制御を行うための電力制御レジスタFVRは持たない。また、アクセラレータはコントローラ並びにDTUを内蔵しておらず、アクセラレータ上のLMとアクセラレータ外のメモリ間におけるデータ転送はCPUか、CPUが持つDTU、またはDMACにより行う必要がある。またさらに、アクセラレータの起動はCPUにより行う必要がある。

表1に本評価用チップの仕様を示す。チップは90nm 8層CMOSプロセスにて製造され、動作周波数はSHコアが600MHz、FE-GA及びバスが300MHzである。

4.3 FE-GAの導入による高速化効果

FE-GA処理部であるフィルタバンク処理、ならびにMSステレオ、量子化処理をFE-GA向けのプログラム開発を行い、実行時間をCPU処理時と比較した。AACエンコーダの評価条件を表2に示す。

FE-GA処理対象であるフィルタバンク/MSステレオ処理、並びに量子化処理をCPUとFE-GA双方において実行した際の処理サイクル数を表3に示す。なお、CPUは600MHz、FEは300MHzで動作するため、表3ではCPUサイクル数に換算している。また、表中のFE-GAにおける実行サイクルには、FE-GAのローカルメモリCRAMへのDTUによるデータ転送時間を含む。この結果より、フィルタバンク/MSステレオ処理ではFE-GAを導入することで24.0倍、量子化処理では7.7倍の速度向上を得ることができた。

4.4 HMCP機構を用いたエンコーダ高速化

HMCPが持つメモリアーキテクチャ並びにデータ転送機構を活用することで、性能向上を図ることができる。今回の実装では、エンコード処理に際し使用する配列変数をCPUのローカルメモリに配置した。入力PCMデータ及び出力AACデータはオフチップ共有メモリ(SDRAM)に配置した。エンコードはフ

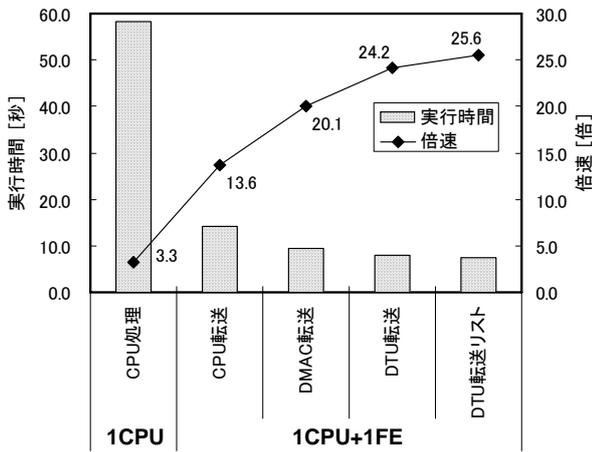


図6 HMCP 各種機構の利用によるエンコーダ高速化効果

フレーム単位で行われるが、フレーム処理毎にSDRAMよりLMにPCMデータを入力し、LMを持つCPU上で当該データを処理する。また、FE-GAでの処理時は、CPUのLM上に配置されている対象データをCPUによりFE-GAのLMに転送して、FE-GAにて処理を実行する。FE-GAでの処理終了後は、CPUにてFE-GAのLMからCPUのLMへ結果データを転送する。

HMCPが持つDTUの効果を評価した。LMを活用したデータ配置を行ったAACエンコーダにおいて、CPUのみによる処理とFE-GAを導入して1CPU+1FE-GAでの処理結果を比較する。FE-GA導入時はさらに、SDRAMとLM、及びCPU、FE-GAのLM間転送をCPU転送で行った場合、オンチップバスに接続されたDMACを使用した場合、CPUコアが持つDTUを使用した場合、そしてさらに当該DTUが備える転送リスト/フラグセット機能を併せて使った場合、のそれぞれで1ストリームエンコード速度を比較した。音楽データは表2にある音楽(1)を用いた。

評価結果を図6に示す。CPUのみの処理では、エンコード時間は58.2秒となり192秒の再生時間を持つ入力データに対し3.3倍速のエンコーディング速度であった。FE-GAを導入すると、エンコード時間は14.1秒であり13.6倍速の速度となった。またデータ転送にDMACを用いた場合、処理時間は20.1秒であり20.1倍速の速度を得た。さらにデータ転送をDTUで行った場合、7.9秒であり24.2倍速の速度となった。DTUの転送リスト機能/フラグセット機能を用いた場合、処理時間は7.5秒となり、25.6倍速の速度を得た。

これより、アクセラレータであるFE-GAを効率よく利用することと、データ転送を効率よく行うことが速度向上の大きな鍵となることがわかる。また、HMCPでは各プロセッサコアのLMを活用することが性能を引き出す要因となるが、LMへのデータ転送ではその近傍に配置したDTUの活用が効果的であることがわかる。チップ内バスに接続されているDMACでは、転送時のバッファリングでバスを二度使用するため、LMが絡む転送ではプロセッサコア内部のバスに接続されたDTUの使用が効果的である。また、本HMCPが持つDTUは転送リスト機能を持つが、今回のAACエンコーダ実装ではFEのLMに

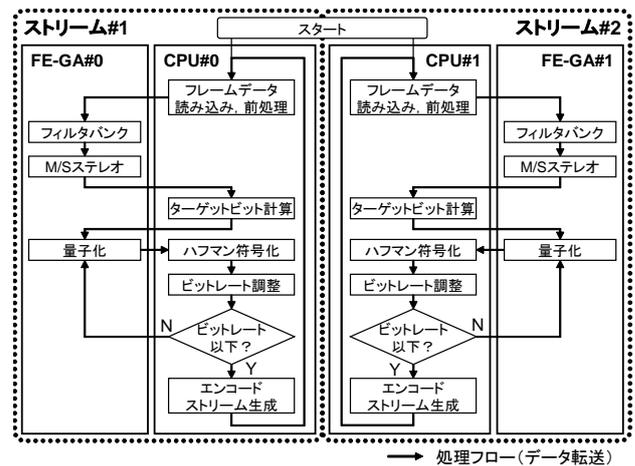


図7 HMCP アーキテクチャ上でのAAC処理方式

転送を行う際に、LMバンク別に複数回のデータ転送を行っている。通常のDTUでは対象配列データの転送毎にレジスタセット、キック、終了チェックを行うが、転送リストでは予めDTU転送命令のリストを定義しておき転送の際は一度キックするのみで連続転送が可能であるため、DTUオペレーションに関わるオーバーヘッドが削減される。

4.5 性能評価結果

HMCPアーキテクチャのAACエンコーダを用いた評価として、評価用チップにおける各種プロセッサ構成におけるエンコード速度(入力データの実再生時間に対する加速率)、消費電力(リーク電力を除く)を測定した。また、電力効率を評価するため、単位電力当たりのエンコード速度[倍速/W]も評価した。

なお、本チップにおけるAACエンコーダの処理方式として、今回の評価では図7に示すように、2個のCPU及び2個のFE-GAを用いて2ストリームの入力PCMデータを同時にエンコードする構成とした。具体的には、CPU及びFE-GA各1個をペアとし、2ストリームをそれぞれのペアで並列処理する構成とした。評価条件は表2に示したとおりである。入力データは音楽(2)とし、音楽(2)を2回連続してエンコードした際の評価結果とした。つまり、CPU×1並びにCPU×1+FE-GA×1では音楽(2)を2回連続してエンコードした際の、CPU×2、CPU×2+FE-GA×2では音楽(2)を図7に示す通り音楽(2)を2ストリーム同時にエンコードした際の結果である。入出力データはオフチップ共有メモリに配置し、処理に使用する一時配列変数はローカルメモリに配置した。またデータ転送はDTU転送リストにて行っている。

結果を表4に示す。まず汎用CPUのみで構成したホモジニアス環境においては、CPU×1でのエンコード速度は3倍速となり、電力は1.17Wであった。次に、CPU×2構成では、エンコード速度は6倍速であり、電力は1.36Wとなった。また、FE-GAを導入したヘテロジニアス環境においては、CPU×2、CPU×1+FE-GA×1でのエンコード処理速度は27倍速となり、電力は1.22Wであった。また、CPU×2+FE-GA×2でのエンコード速度は54倍速となり、電力は1.46Wであった。FE-GAの導入効果により、汎用プロセッサのみの構成に対し、大きく性能

表 4 各種 HMCP 構成による性能・電力評価結果

構成	倍速	電力 [W]	電力効率 [倍速/W]
CPU×1	3	1.17	2.8
CPU×2	6	1.36	4.5
CPU×1+FE×1	27	1.22	22.1
CPU×2+FE×2	54	1.46	37.0

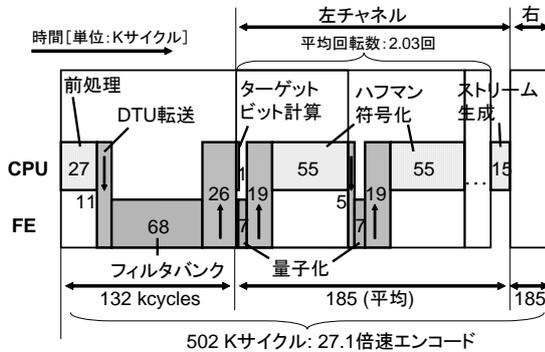


図 8 CPU×1+FE×1 上での 1 ストリーム処理ガントチャート

向上することがわかる。また、使用するコア数の増加に合わせて電力も増加するが、電力効率 [倍速/W] で見ると速度が大幅に向上するため、CPU×1 での逐次実行時が 2.8 倍速/W に対し、CPU×2+FE-GA×2 では 37.0 倍速/W となった。これは、CPU×1 に対し約 13.2 倍電力効率が高いことになり、HMCP アーキテクチャの有効性が確認できた。

CPU×1+FE-GA×1 における 1 フレームエンコード処理のガントチャートを図 8 に示す。CPU での処理時間が大きなフィルタバンクと量子化処理を FE-GA に割り当て、CPU と FE で交互に処理が行われ、DTU による LM 間高速転送によりエンコード処理が効率よく行われていることが確認できる。

5. ま と め

汎用プロセッサ (CPU) コアとアクセラレータコアを複数個集積したヘテロジニアスマルチコアプロセッサ (HMCP) アーキテクチャを検討した。HMCP は、アクセラレータとなる DRP の効率的な利用と複数のプロセッサコアの並列利用により、動作周波数を向上させなくとも高い演算性能を得ることが可能であり、組み込み向け SoC に求められる高性能、小面積、省電力を同時に実現する。今回、AAC-LC エンコーディングの HMCP における処理方式を検討し、ホモジニアスマルチコアプロセッサにアクセラレータとして動的再構成可能プロセッサ FE-GA を付加した試作チップ上に実装し、性能、消費電力を評価した。その結果、600 MHz で動作する CPU 2 個と 300 MHz で動作する FE-GA 2 個を集積した評価用チップにおいて、54 倍速 AAC エンコーディングが達成できた。また、このときの消費電力は 1.46W であり、単位電力当たりのエンコード速度は 37 [倍速/W] となった。これは、CPU1 個の逐次処理と比較して 13 倍以上の高い電力効率となることを示し、HMCP アーキテクチャの有効性が確認できた。

謝 辞

本研究の一部は、NEDO「先進ヘテロジニアスマルチプロセッサ研究開発」の支援により実施された。

文 献

- [1] T. Shiota, K. Kawasaki, Y. Kawabe, W. Shibamoto, et al., "A 51.2GOPS 1.0GB/s-DMA Single-Chip Multi-Processor Integrating Quadruple 8-Way VLIW Processors", *Proc. of IEEE International Solid-State Circuits Conference (ISSCC2005)*, Feb., 2005.
- [2] S. Torii, S. Suzuki, H. Tomonaga, T. Tokue, J. Sakai, et al., "A 600MIPS 120mW 70μA Leakage Triple-CPU Mobile Application Processor Chip", *Proc. of the IEEE International Solid-State Circuits Conference (ISSCC 2005)*, Feb., 2005.
- [3] D. Pham, S. Asano, M. Bolliger, M. N. Day, H. P. Hofstee, C. Johns, et al., "The Design and Implementation of a First-Generation CELL Processor", *Proc. of the IEEE International Solid-State Circuits Conference (ISSCC 2005)*, Feb., 2005.
- [4] H. Shikano, Y. Suzuki, Y. Wada, J. Shirako, K. Kimura and H. Kasahara, "Performance evaluation of heterogeneous chip multi-processor with MP3 audio encoder", *Proc. of IEEE Symposium on Low-Power and High Speed Chips (COOL Chips IX)*, Apr., 2006.
- [5] K. Ishizaka, et al., "Performance of OSCAR Multigrain Parallelizing Compiler on SMP Servers", *Proc. of 17th International Workshop on Languages and Compilers for Parallel Computing (LCPC2004)*, Sep. 2004.
- [6] K. Kimura, Y. Wada, H. Nakano, T. Kodaka, J. Shirako, K. Ishizaka and H. Kasahara, "Multigrain parallel processing on compiler cooperative chip multiprocessor", *Proc. of 9th Workshop on Interaction between Compilers and Computer Architectures (INTERACT-9)*, Feb., 2005.
- [7] T. Kodama, T. Tsunoda, M. Takada, H. Tanaka, Y. Akita, M. Sato, and M. Ito, "Flexible Engine: A dynamic reconfigurable accelerator with high performance and low power consumption", *Proc. of IEEE Symposium on Low-Power and High Speed Chips (COOL Chips IX)*, Apr., 2006.
- [8] Y. Yoshida, T. Kamei, K. Hayase, S. Shibahara, O. Nishii, T. Hattori, A. Hasegawa, M. Takada, N. Irie, K. Uchiyama, T. Odaka, K. Takada, K. Kimura and H. Kasahara, "A 4320MIPS Four-Processor Core SMP/AMP with Individually Managed Clock Frequency for Low Power Consumption", *Proc. of the IEEE International Solid-State Circuits Conference (ISSCC 2007)*, Feb., 2007.