

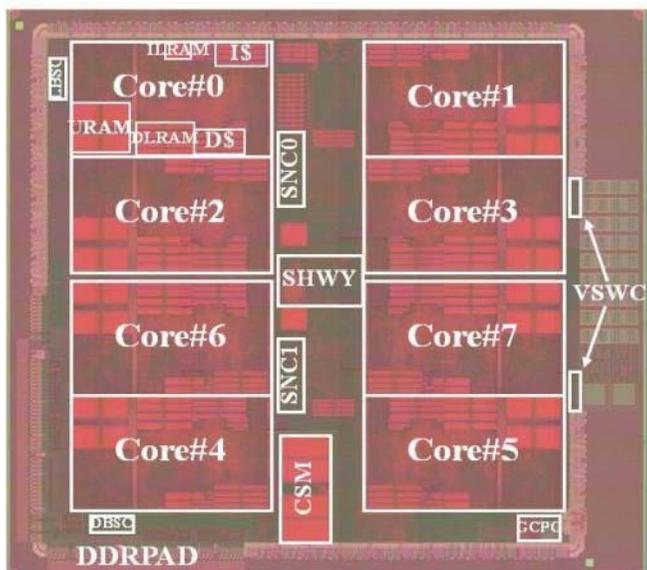
低消費電力・高性能 マルチコア技術

早稲田大学

理工学術院 基幹理工学部 情報理工学科
アドバンスチップマルチプロセッサ研究所 所長
教授 笠原博徳

<http://www.kasahara.cs.waseda.ac.jp>

マルチコアEverywhereの時代



■ 組み込みプロセッサからスパコンまで

▶情報家電用マルチコア

カーナビ, 携帯電話, ゲーム, デジタルTV, DVD

IBM/ Sony/ Toshiba Cell, Fujitsu FR1000, Panasonic

Uniphier, NEC/ARM MPCore/MP211/NaviEngine

Renesas SH multi-core SHX3(4 core RP1, 8 core RP2)

Tilera Tile64, SPI Storm-1(16 VLIW cores)

▶PC,サーバ

Intel Quad Xeon, Core 2 Quad, Montvale, Tukwila, 80

core, AMD Quad Core Opteron, Phenom

▶WSs, Deskside & Highend Servers

IBM Power4,5,5+,6, HPCS 10PFLOP(Power7)

Sun Niagara(SparcT1,T2), Rock

▶スーパーコンピュータ

地球シミュレータ, 2002年3月完成, 5120ベクトルプロ

セッサ : **40TFLOPS**

IBM Blue Gene/L: **360TFLOPS**, 2005,低消費電力マルチコ

アベース128K processor chips,

BG/P 2008 1PFLOPS(2008), BG/Q 10PFLOPS (2011)

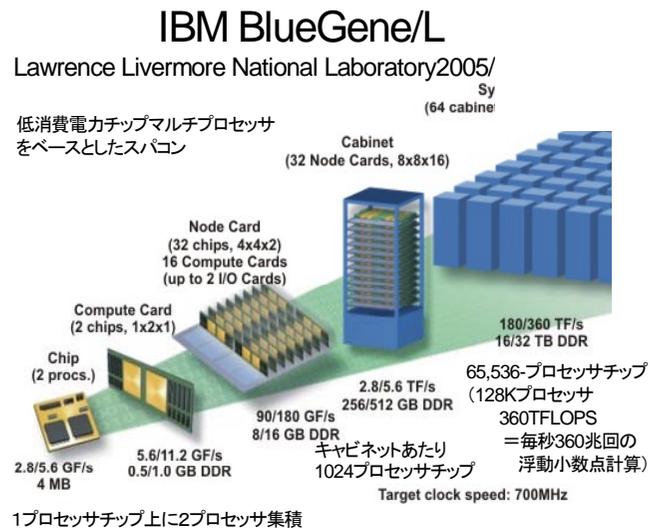
■ アプリケーションソフトの充実,短期間システム開発,低

コスト, 低消費電力, 高機能化が市場競争力決定

<例>携帯電話, ゲーム, 自動車

■ 自動並列化コンパイラ協調型マルチコアプロセッサ必要

NEDOリアルタイム情報家電用マルチコアプロジェクト
トルネサス試作チップ(OSCAR)標準アーキテクチャ



プロジェクト概要

リアルタイム情報家電用マルチコア技術の研究開発事業

＜目的＞ DVD,デジタルTV,カーナビ,携帯電話等リアルタイム情報家電における優位化製品創出を目指したプロセッサ技術の国際競争力強化

＜研究期間＞平成17年7月～平成20年3月

＜内容＞ 下記特徴をもつマルチコア・アーキテクチャ及びコンパイラ技術の確立

- ・優れた価格性能
- ・短ハードウェア・ソフトウェア開発期間
- ・低消費電力
- ・同一アーキテクチャでローエンドからハイエンド製品まで柔軟に対応
- ・集積度向上に対するスケーラブルな性能向上(複数半導体世代に対応)
- ・異なる企業開発のマルチコア間でのアプリケーションの共用

＜API: Application Programming Interface並列化コンパイラと各マルチコアの接続＞

＜委託事業＞ NEDO”アドバンスト並列化コンパイラ“の成果と参加各社のプロセッサ技術を委員会及び研究により発展させ、標準的マルチコア・アーキテクチャと並列化APIを策定し、既存及び新規チップ上での性能評価を通し改良する

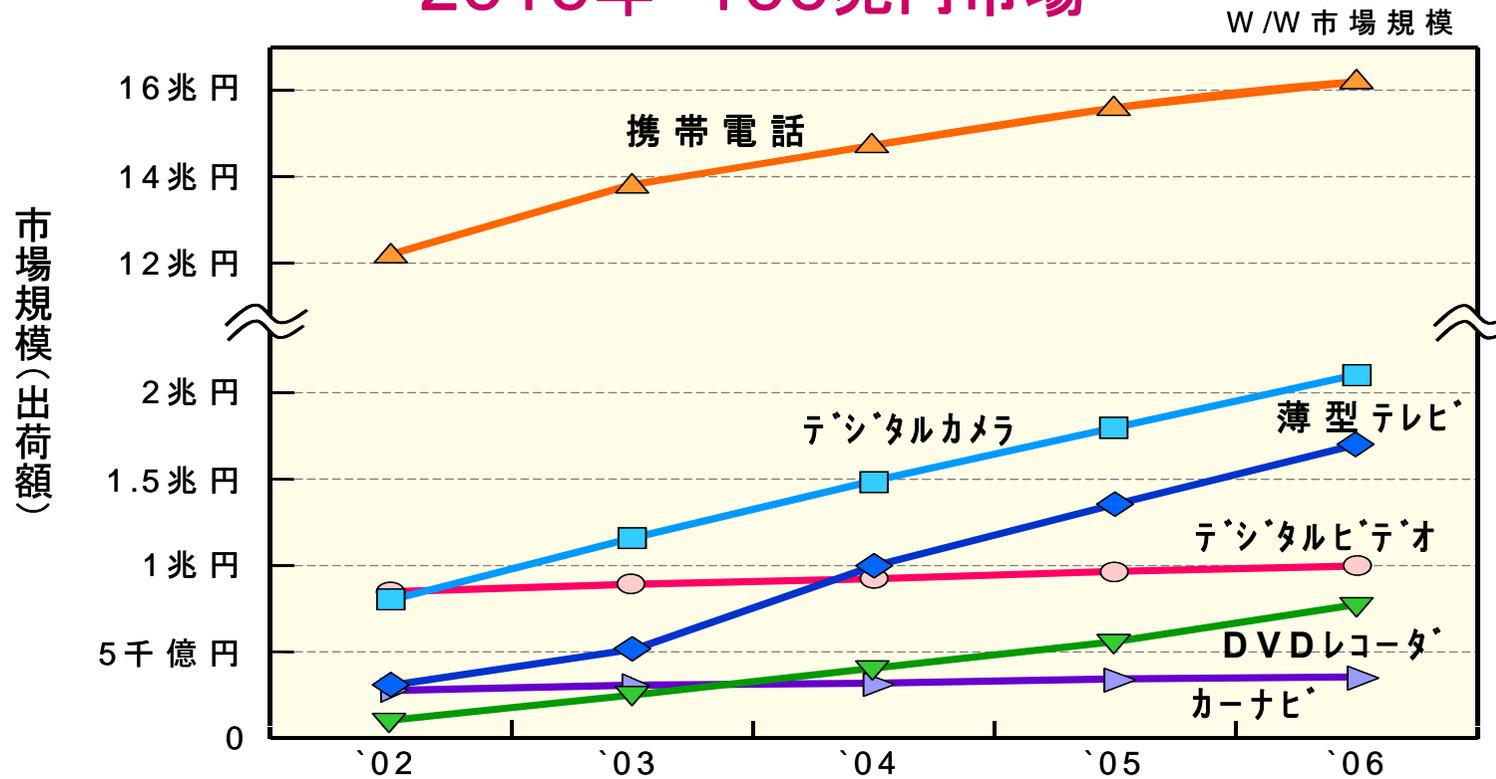
＜助成事業＞ 委託事業にて策定されたアーキテクチャをベースとしたチップ及びその開発環境を開発し委託研究での評価のために供与する

＜PC用プロセッサとの目的の違い＞

リアルタイム処理なアーキテクチャ・自然冷却可能な低消費電力性

リアルタイム情報家電が市場を牽引

2010年 100兆円市場

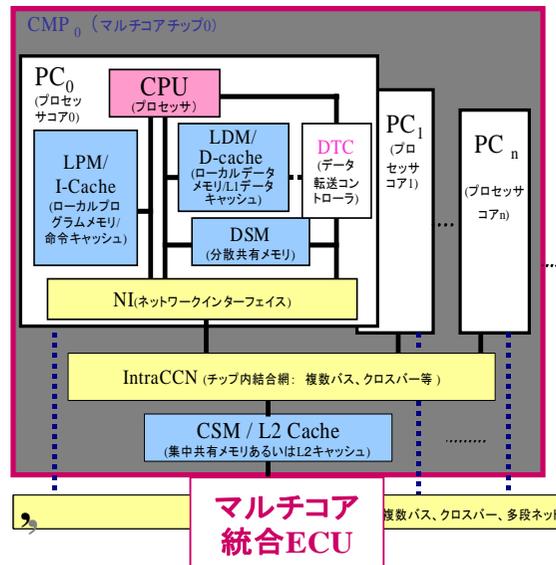


	'03	'07	年平均成長率%
デジタルスチルカメラ(M台)	49	76	12
デジタルTV(M台)	6	27	45
DVDレコーダ(M台)	3.6	33	74
PC用DVD(記録型)(M台)	27	114	43
携帯電話(M台)	490	670	8
自動車用半導体需要(B\$)	14.0	20.9	11

2005.5.11
NEDOロードマップ報告会
電子・情報技術開発部
「技術開発戦略」より

情報家電におけるマルチコアとコンパイラの必要性

経済産業省/NEDOリアルタイム情報
家電用マルチコア(2005.7~
2008.3)**



新マルチコア プロセッサ

- 高性能
- 低消費電力
- 短HW/SW開発期間
- 各チップ間でアプリケーション共用可
- 高信頼性
- 半導体集積度と共に性能向上

情報家電が我が国のIT産業を牽引

情報家電国際競争力の維持が国民の豊かな生活を支えるために重要

持続的に競争力を維持し付加価値の高い製品をクリエイトするためには、今後ほとんど全ての情報家電機器に組み込まれていくマルチコアプロセッサの競争力強化が必須。

マルチコアを用いた情報家電におけるアプリケーション生産性、システムの実効性能、価格性能比、ハード・ソフト開発期間の短縮のためには自動並列化コンパイラが必須

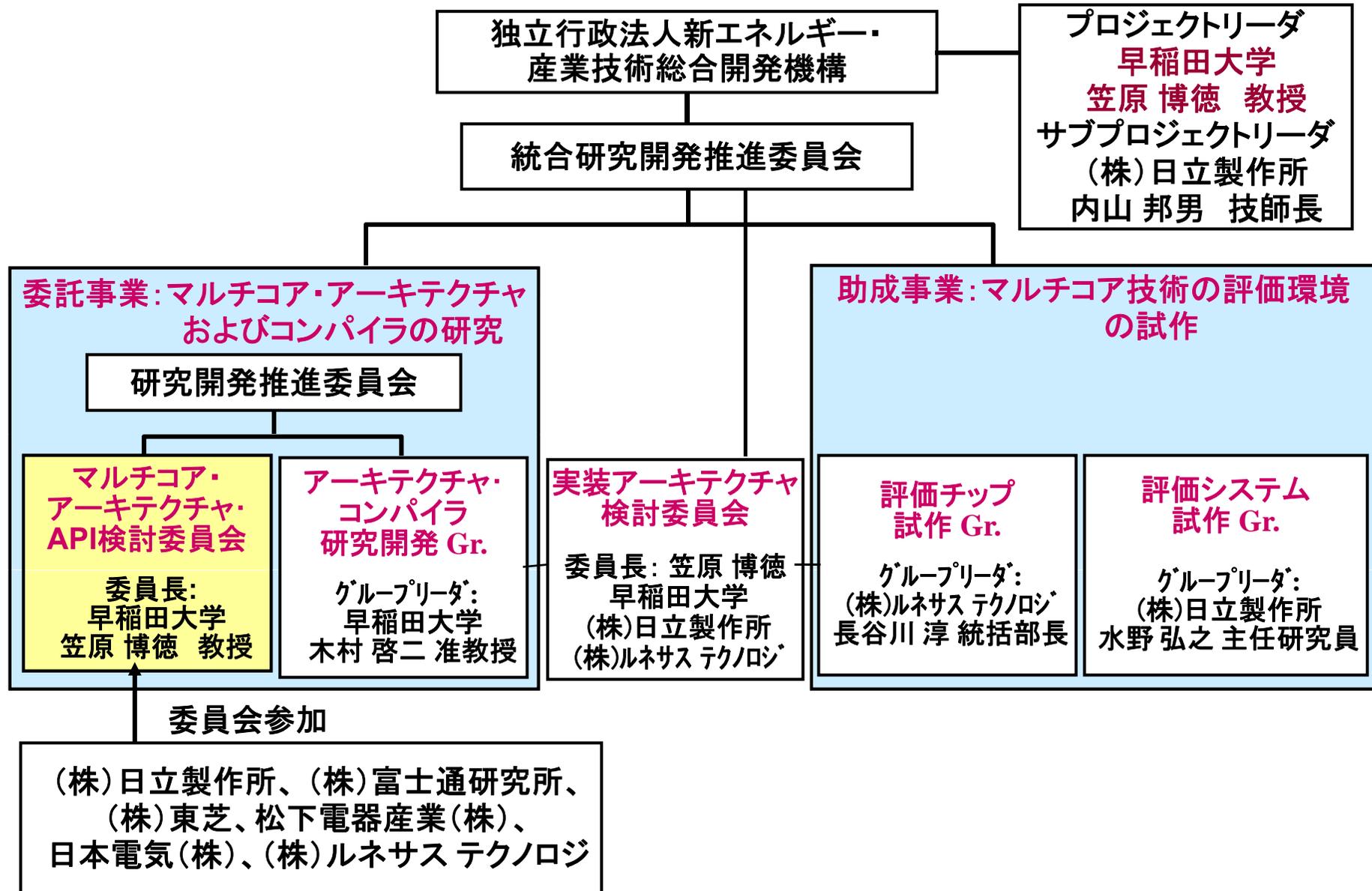
自動並列化コンパイラと協調する低消費電力高性能マルチコアプロセッサを開発できた企業が世界市場を制する

開発マルチコアチップは情報家電へ



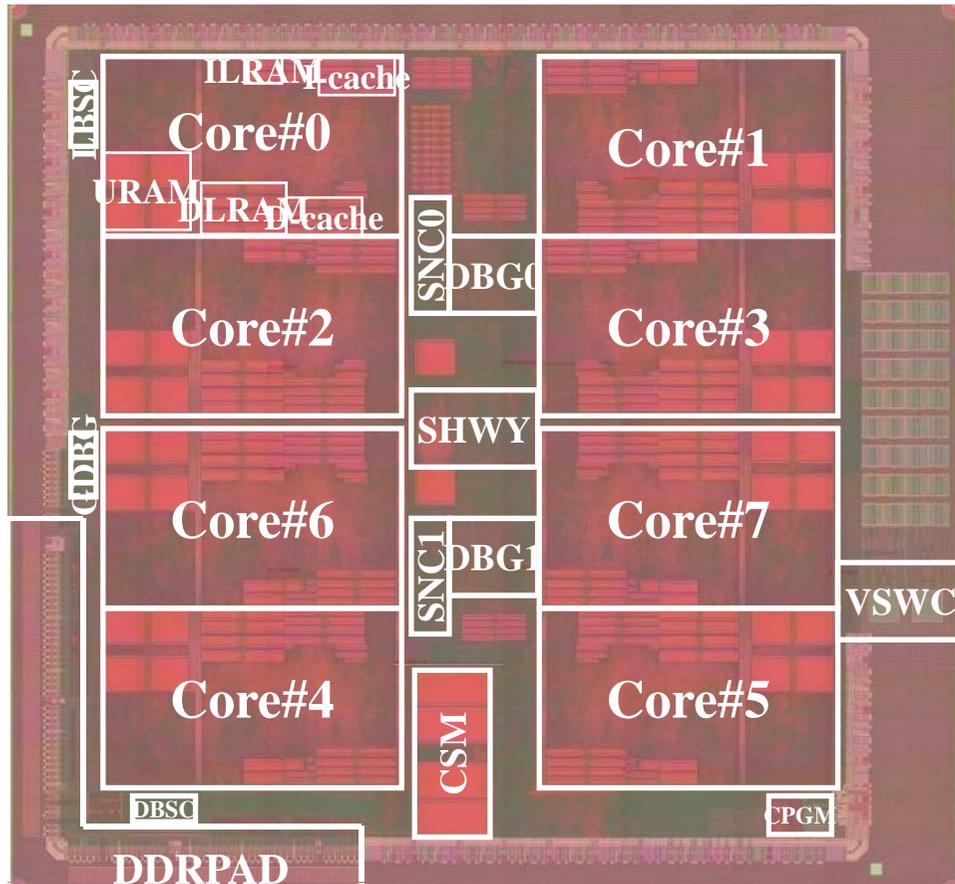
**日立,富士通,ルネサス,東芝,松下,NEC

リアルタイム情報家電用マルチコア技術研究開発実施体制



RP2 8コア搭載マルチコアLSI

チップ諸元

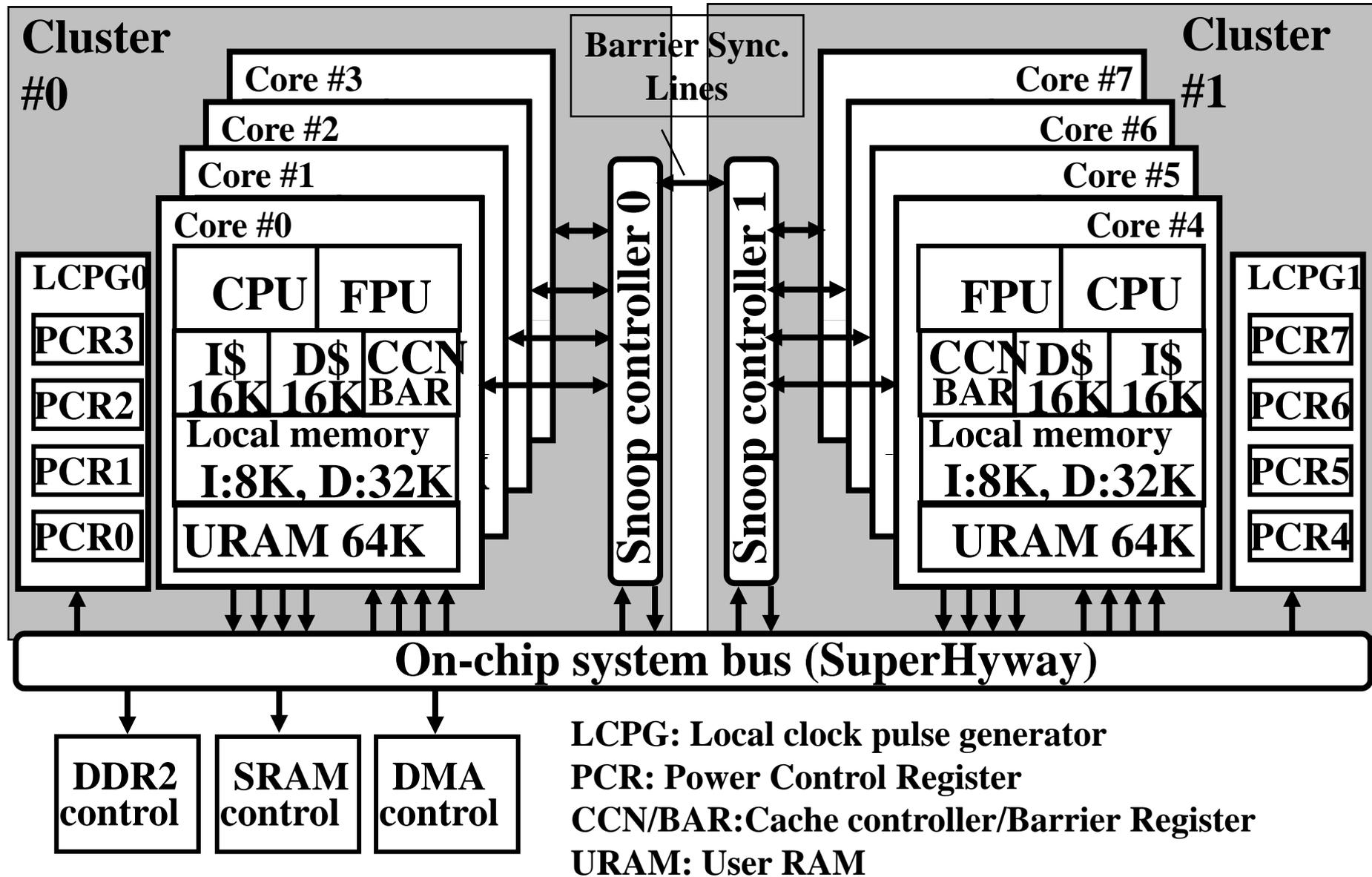


8コア集積マルチコアLSIチップ写真

プロセス	90nm CMOS, 8層メタル, 3種Vth
チップサイズ*	104.8mm ² (10.61mm x 9.88mm)
電源電圧	1.0V-1.4V(コア), 1.8/3.3V(I/O)
動作周波数	600MHz
CPU性能	8640 MIPS (Dhrystone 2.1)
FPU性能	33.6 GFLOPS
低電力制御	<ul style="list-style-type: none"> ・CPU毎に独立した周波数変更 ・CPUコアのクロックを停止するスリープモード ・CPUコアの一部のクロックを停止するがキャッシュコヒーレンシ維持可能なライトスリープモード ・CPUコアの電源供給を停止するフル電源遮断モード ・URAM以外のCPUコアの電源供給を停止するレジューム電源遮断モード

ISSCC08発表: ISSCC08 論文番号4.5, M.ITO, et al., “An 8640 MIPS SoC with Independent Power-off Control of 8 CPUs and 8 RAMs by an Automatic Parallelizing Compiler”

開発8 Core RP2 マルチコアのアーキテクチャ



NEDOリアルタイム情報家電用マルチコアチップ・デモの様子

デモ

第74回総合科学技術会議【平成20年4月10日】



第74回総合科学技術会議の様子(1)



第74回総合科学技術会議の様子(2)



第74回総合科学技術会議の様子(3)



第74回総合科学技術会議の様子(4)

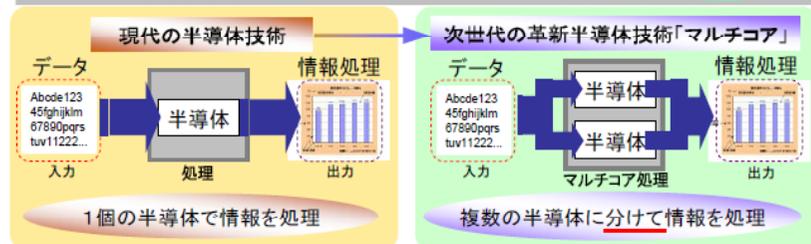
最近の科学技術の動向

情報爆発時代に向けた省エネルギー技術

平成20年4月10日
総合科学技術会議

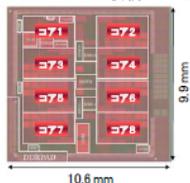
3. 我が国がリードする次世代IT省エネ技術

- 半導体の消費電力を、一気に数分の1にする革新技術：**マルチコア技術**

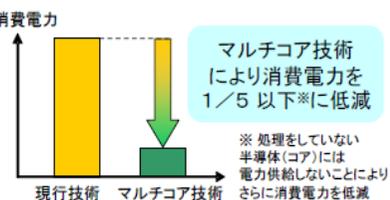


ソフトウェア技術と連携し、① 処理の自動最適割り振り、② 電力制御 により、大幅な省電力化を実現 → 将来の国際競争力の原動力に

マルチコアの最新型：8個の半導体(コア)



産学官連携
による成果



2. 消費電力削減に向けた技術的アプローチ

- 情報爆発時代に向け、革新技術により抜本的に省エネ。

ITによる社会の省エネ

- 日本が得意とする、センサー、無線等を活用し、工場、ビル、住宅の熱・照明・暖房等のエネルギー消費を最適に自動制御。

<例:ビル空調の最適制御技術>



- ➔ 高層ビルの空調用ポンプの消費電力を、最大で90%削減(実績)
- ・ ITによる最適制御のみによる削減。
- ・ 空調全体の消費エネルギーは約5%削減。

IT機器の省エネ

(ネットワーク機器、サーバ、記憶装置、PC、表示装置)

- コンピュータ：半導体の微細化技術
2011年までに消費電力 **25%減**
- 表示装置：発光効率向上
2012年までに消費電力 **25%減**
- 電力制御素子：直流/交流変換に半導体を利用
2008年までに消費電力 **70%減**
- 半導体をさらに省エネにする技術(マルチコア)
消費電力 **80%以上減**

「マルチコア技術」の今後の課題

- ソフトウェア技術の高度化
自動最適割り振りソフトウェア
- 設計技術の開発
複雑化する設計技術への対応



あらゆる製品にも普及

これらを駆動・制御する「マイコン」においては、日本が世界シェアの約50%

4. ITの革新的省エネに向けた取組

- 我が国がリーダーシップを示し、国際連携の下、開発・普及を加速。我が国のITの競争力強化も図る(グリーンIT)。

政府による革新的技術開発の支援

- **グリーンITプロジェクト**：08年度新規、2025年までにIT機器の省エネ効率を50%向上

省エネ技術・製品の普及、国際展開

- **省エネ法トップランナー制度**：業務部門(ルータ等IT機器)の強化
- **産学官連携協議会(グリーンIT推進協議会)**と海外組織の国際連携・展開

グリーンIT推進協議会
133のIT企業、関連団体およびIT利用者により2月設立

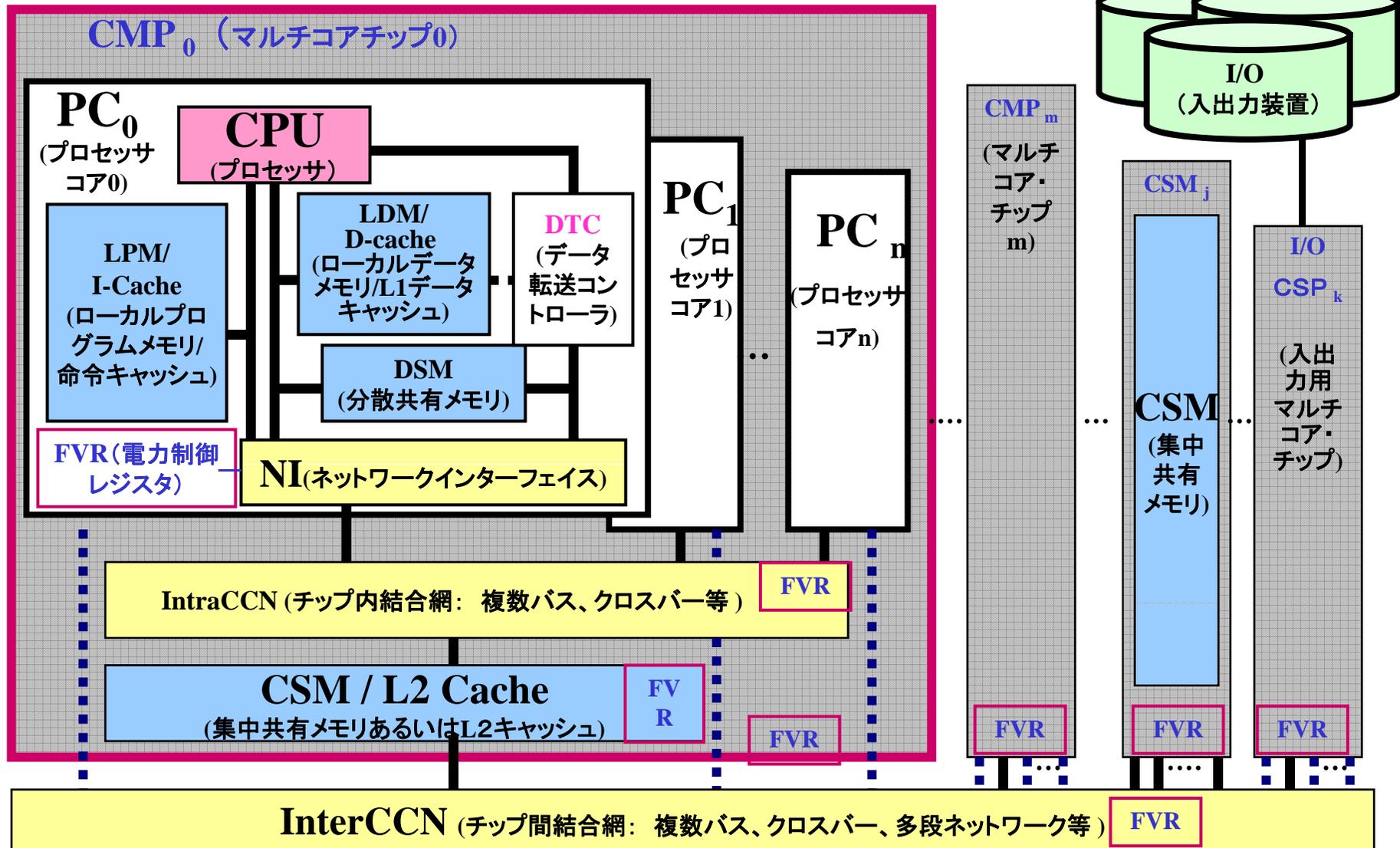
国際連携
環境貢献の評価方法
技術ロードマップ

海外組織
100程のIT企業等により
設立されたコンソーシアム等

環境
調和型
IT社会
の構築

標準的メモリアーキテクチャと承認されたOSCARマルチコア

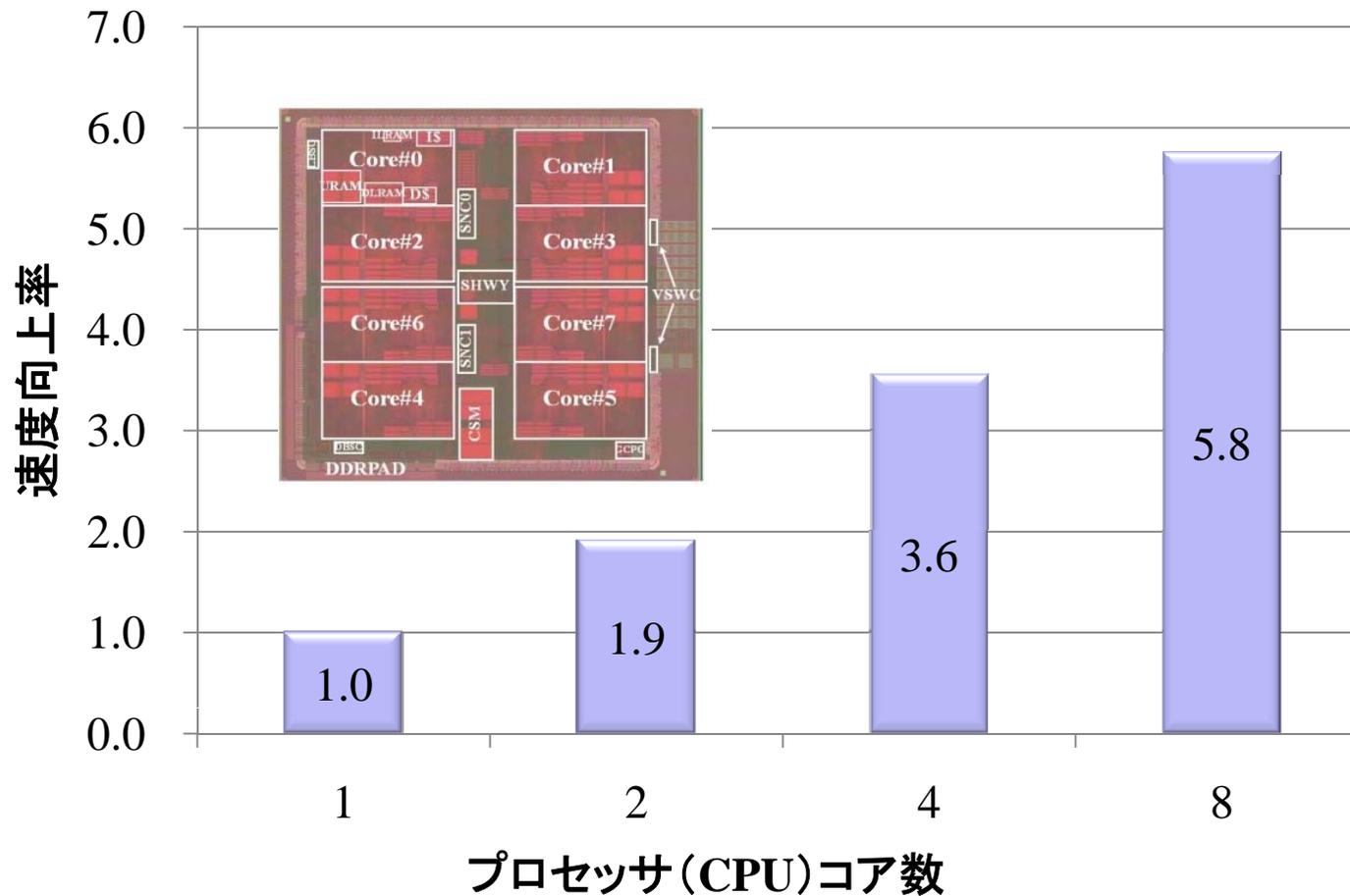
- ローカルメモリ
- 分散共有メモリ
- 集中共有メモリ(チップ内・外)
- DTC(高性能DMAC)
- 電力制御用FVR



開発マルチコア・チップ上での 自動並列化コンパイラを用いた処理速度

オーディオ圧縮(AAC*エンコード)処理(マルチメディア処理)
並列化時の1プロセッサコアに対する処理速度向上率

デモ



*) Advanced Audio Coding: ISOにおいて規格化された音声圧縮方式

世界をリードするマルチコア用コンパイラ技術

プロセッサ高速化における3大技術課題の解消

1. 半導体集積度向上(使用可能トランジスタ数増大)に対する速度向上率の鈍化

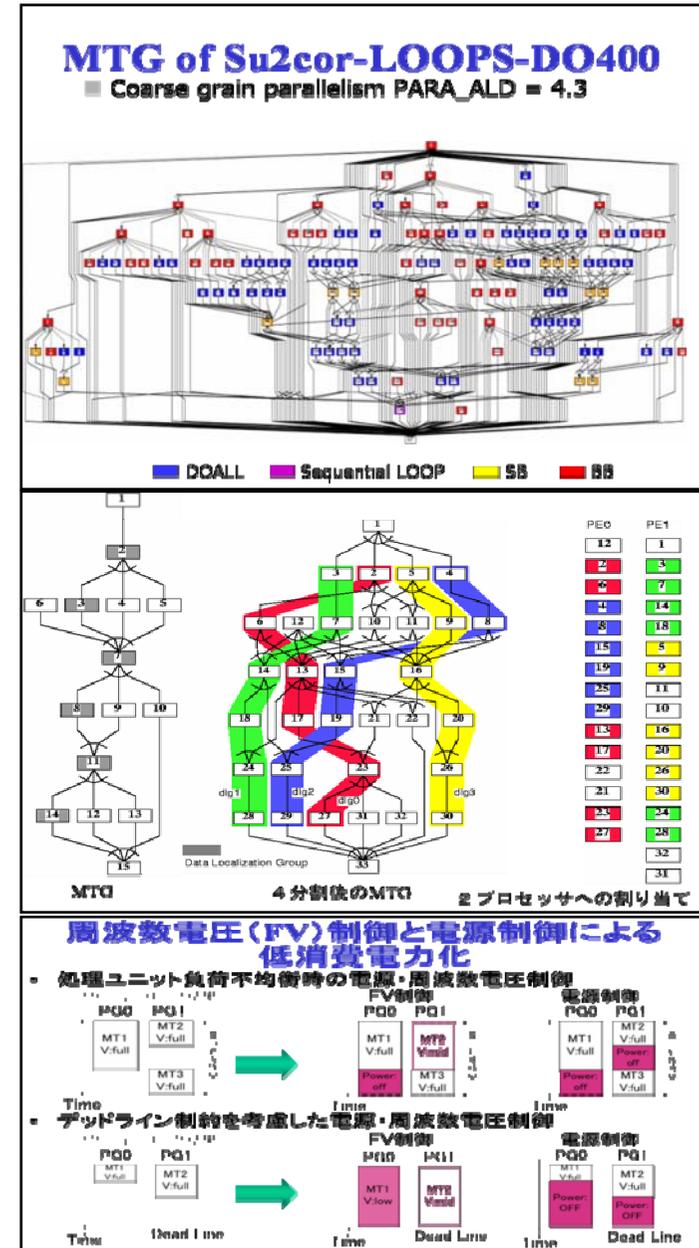
- 粗粒度タスク並列化、ループ並列化、近細粒度並列化によりプログラム全域の並列性を利用するマルチグレイン並列化機能により、従来の命令レベル並列性より大きな並列性を抽出し、複数マルチコアで速度向上

2. メモリウォール問題

- コンパイラによるローカルメモリへのデータ分割配置、DMAコントローラによるタスク実行とオーバーラップしたデータ転送によりメモリアクセス・データ転送オーバーヘッド最小化

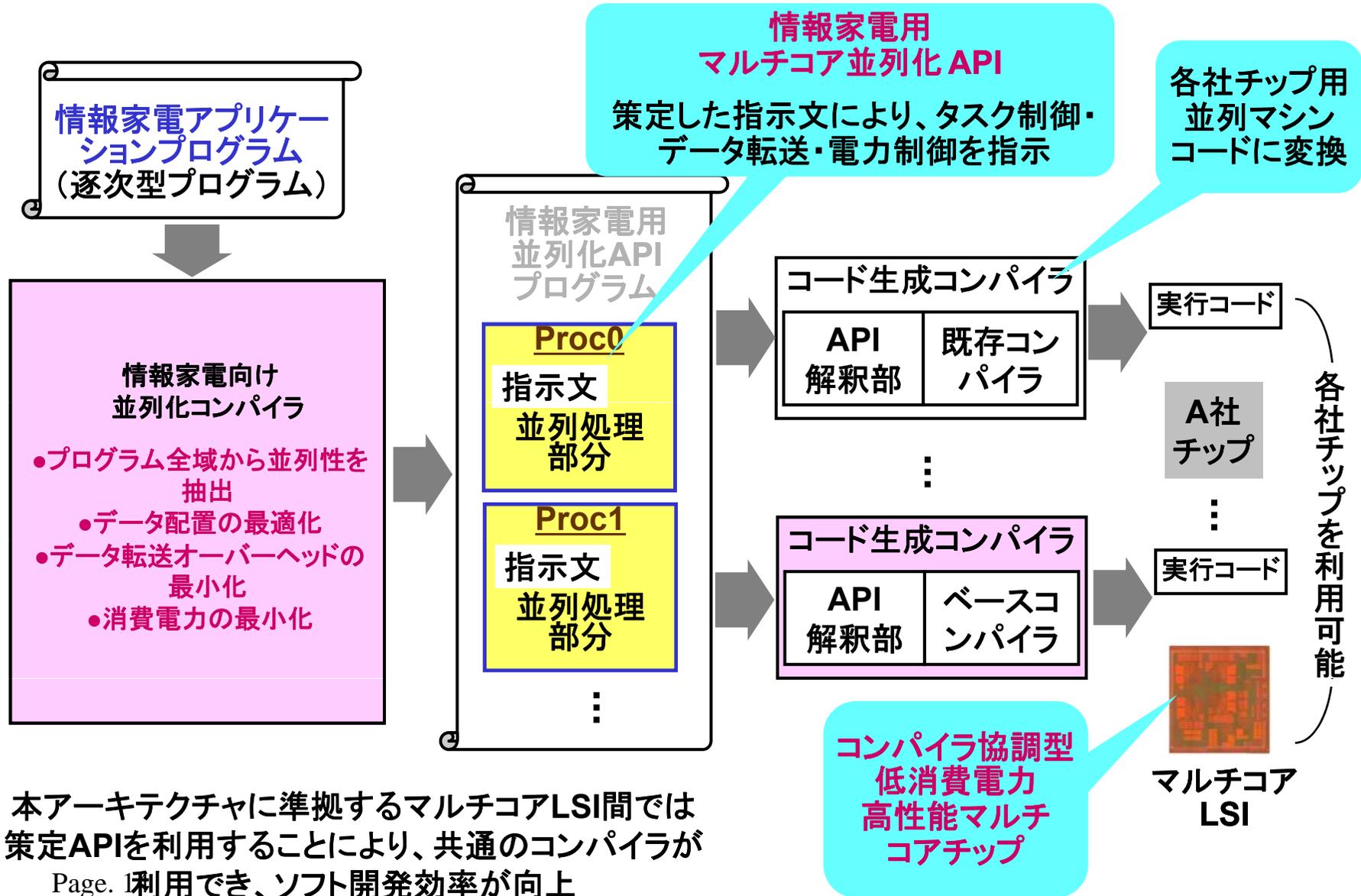
3. 消費電力増大による速度向上の鈍化

- コンパイラによる低消費電力制御機能を用いたアプリケーション内でのきめ細かい周波数・電圧制御・電源遮断により消費電力低減



APIを用いたコンパイル・実行の流れ

API: Application Programming Interface



本アーキテクチャに準拠するマルチコアLSI間では
策定APIを利用することにより、共通のコンパイラが

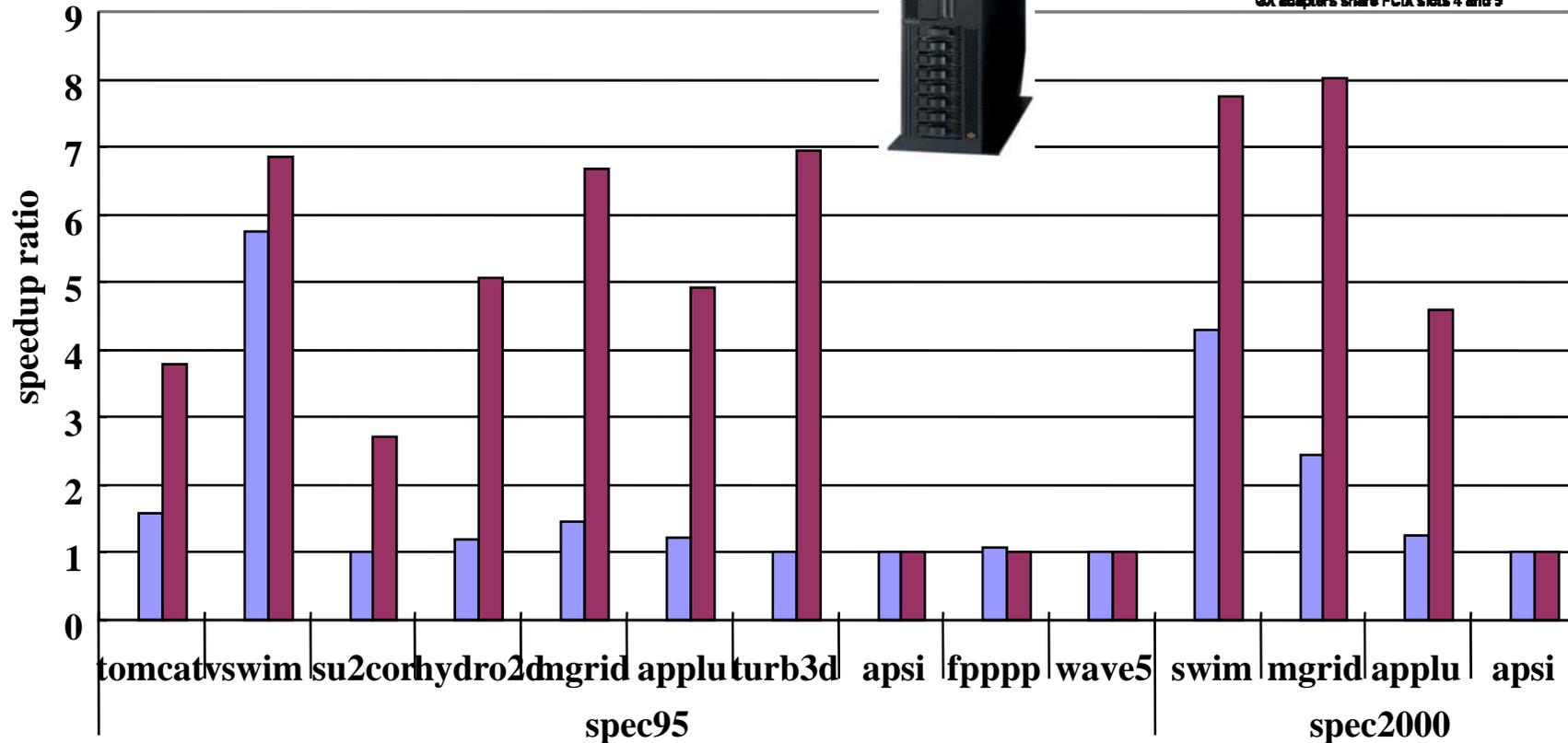
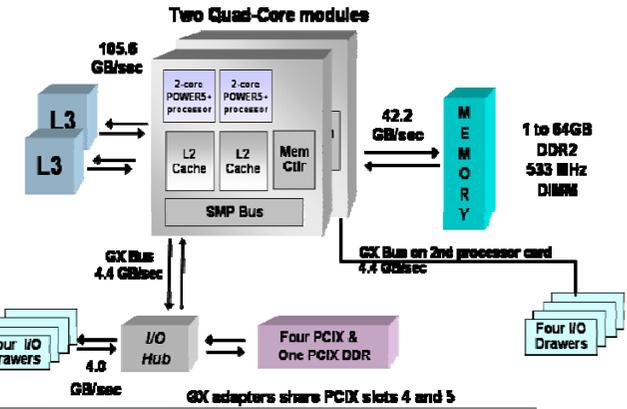
Page. 1利用でき、ソフト開発効率が向上

IBMサーバp550q上でのOSCAR並列化コンパイラの性能

8プロセッサコア・マルチプロセッサシステム上で
従来のループ並列化に対し、2.7倍の高速化

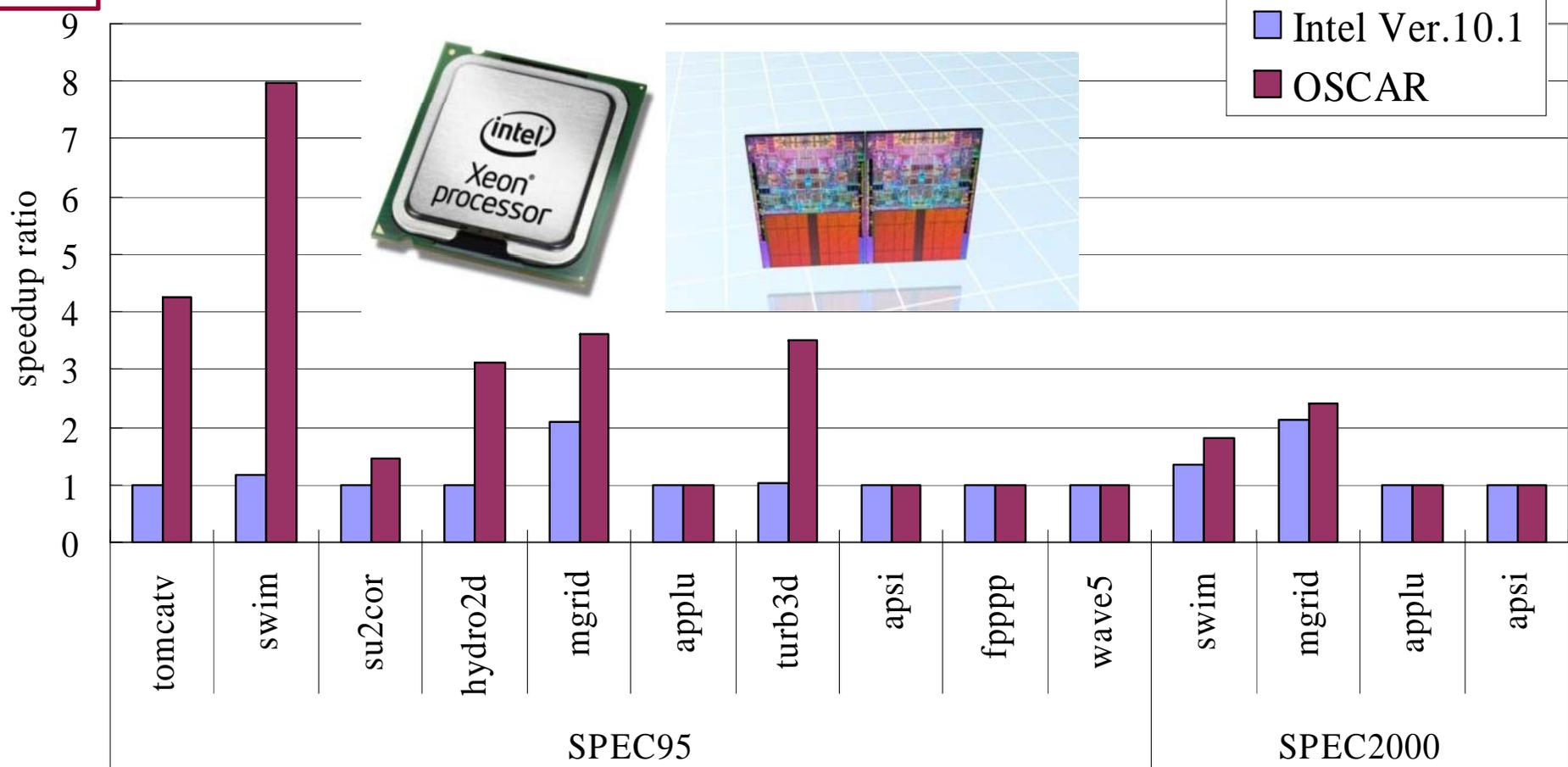
デモ

- ループ並列化
- マルチグレイン並列化



インテル クアッドコア Xeon プロセッサ上での

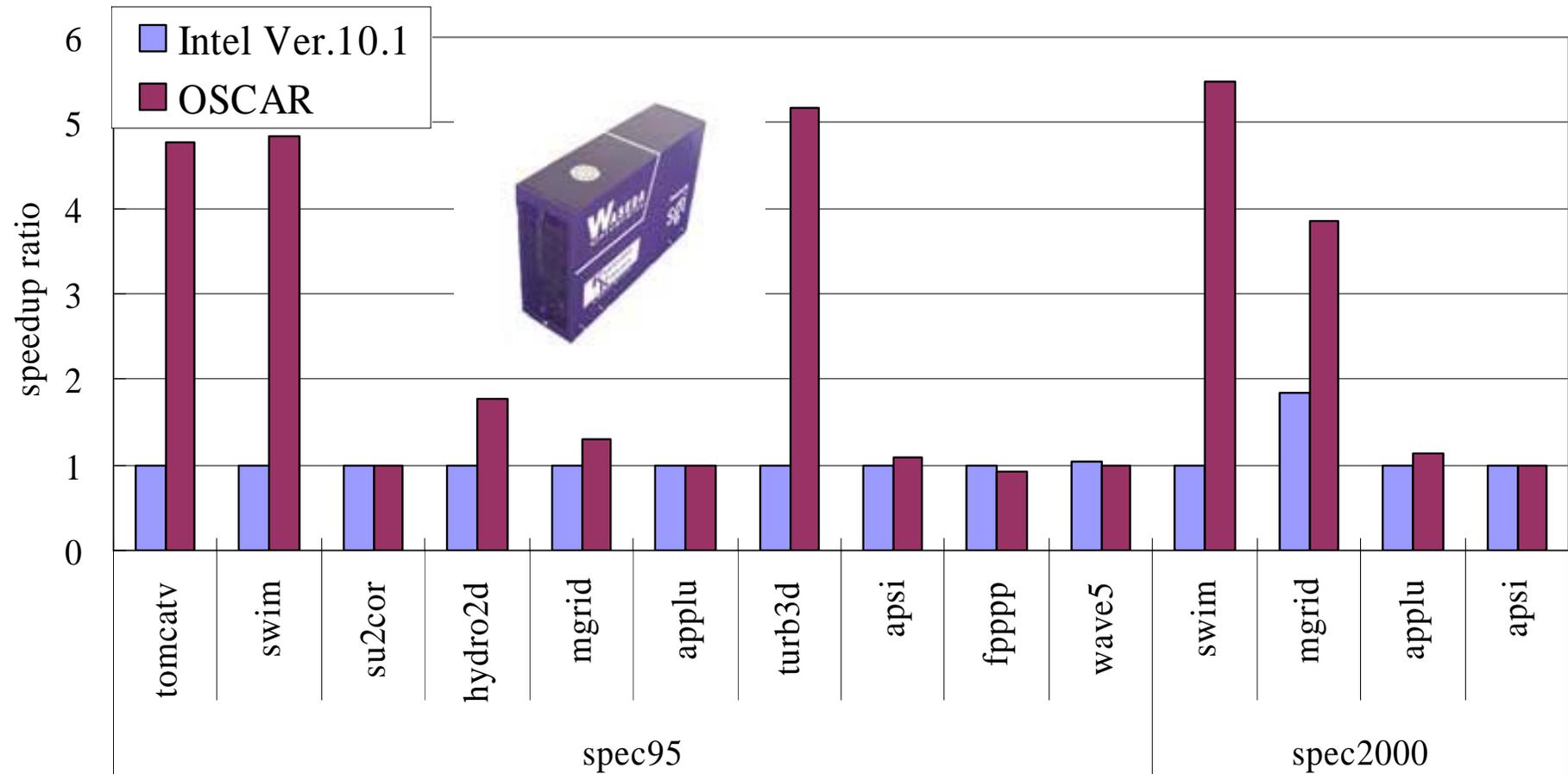
デモ 早稲田大学 OSCAR コンパイラの性能



- OSCAR コンパイラはインテル最新コンパイラ ver.10.1に比べインテル・マルチコア上で2.09 倍の速度向上

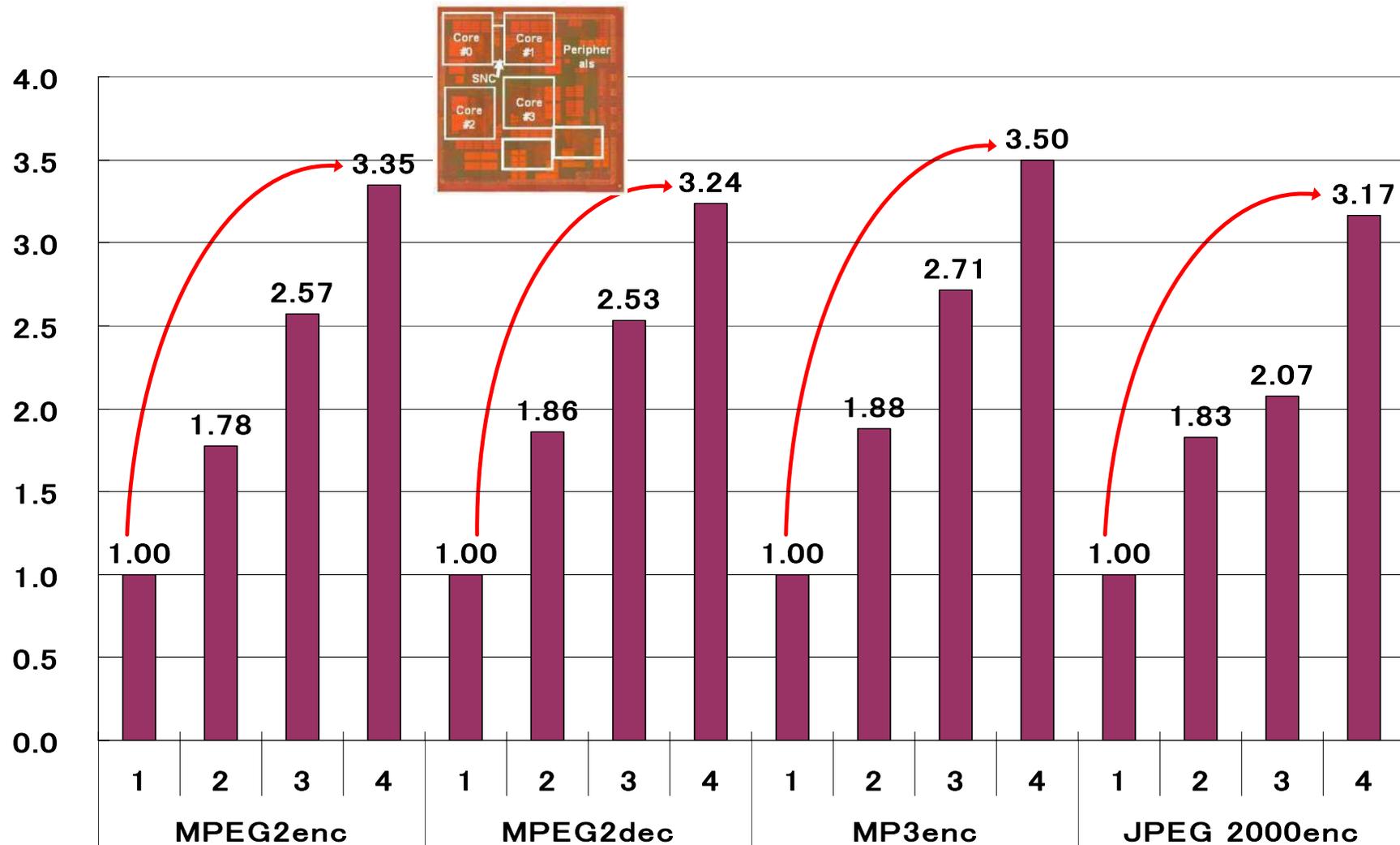
インテルMontvaleマルチコアを用いた 16 コアSGI Altix 450 デスクサイドサーバ上での OSCAR コンパイラの性能

デモ



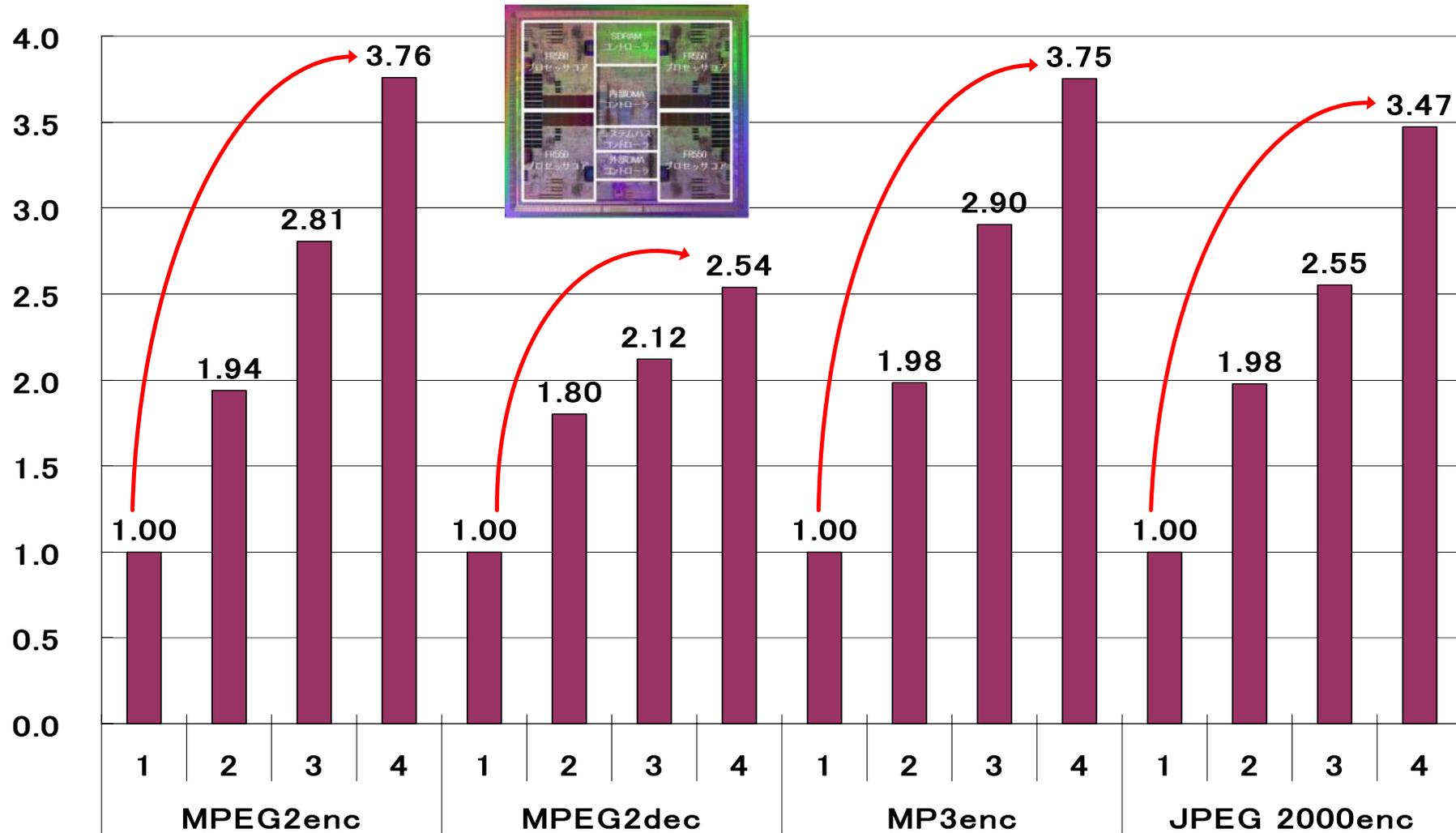
- OSCAR コンパイラはインテル最新のFortran Itanium Compiler revision 10.1に対し 2.32 倍の速度向上

開発RP1マルチコア(4cores)上での並列化 コンパイラを用いた並列処理性能(速度向上率)



1プロセッサと比較して、4プロセッサで平均3.31倍の速度向上

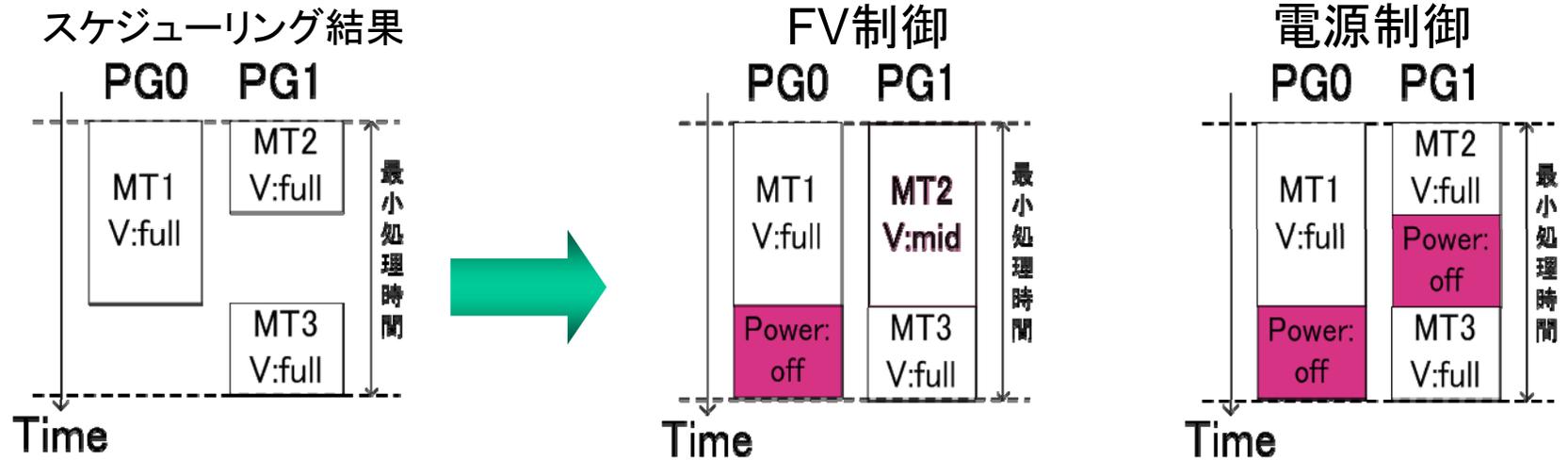
既存富士通 FR1000マルチコア上での OSCARコンパイラによる並列化性能(策定API利用)



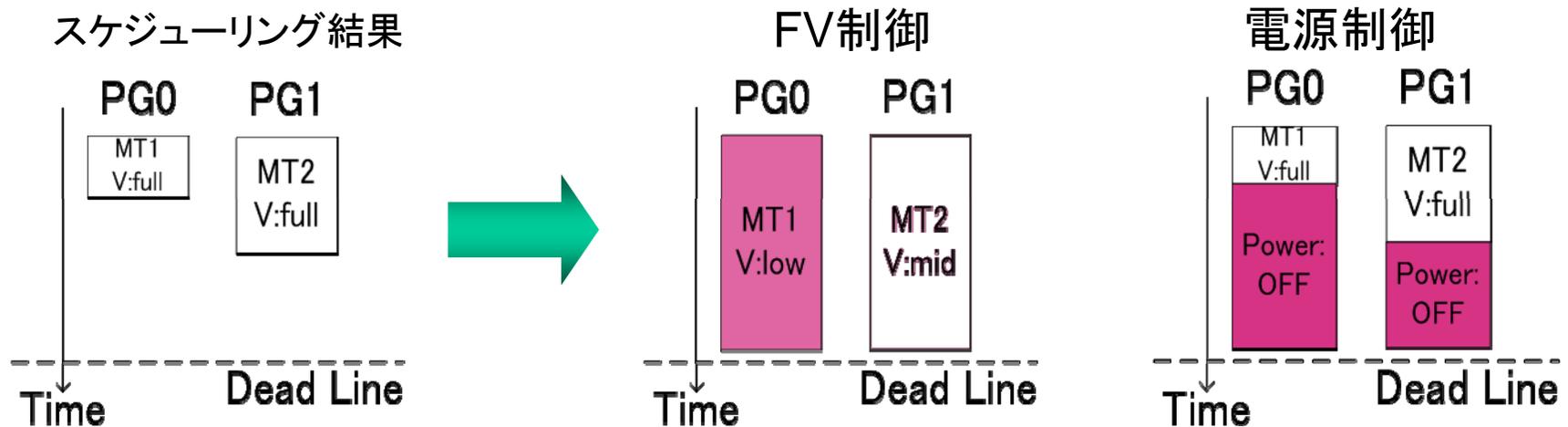
1プロセッサと比較して、4プロセッサで平均3.38倍の速度向上

周波数電圧 (FV) 制御と電源制御による低消費電力化

- 処理ユニット負荷不均衡時の電源・周波数電圧制御



- デッドライン制約を考慮した電源・周波数電圧制御



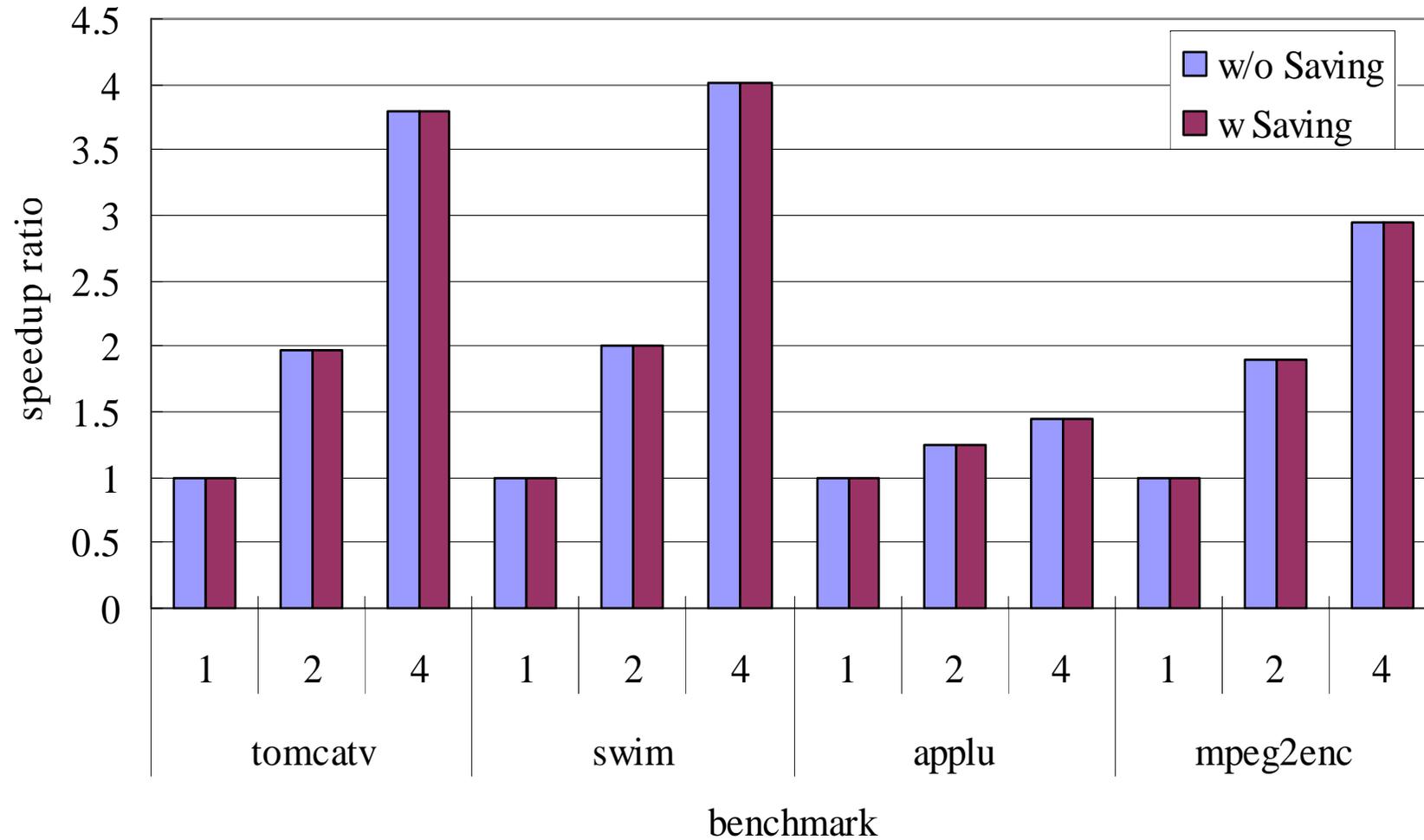
電力制御時評価パラメータ設定

- 90nm、400 MHz を想定
- 通常電圧: 1.1 V
- 消費電力(CPUのみ、動作) : 220 mW
- 消費電力(CPUのみ、リーク) : 2.2 mW
- F-V状態

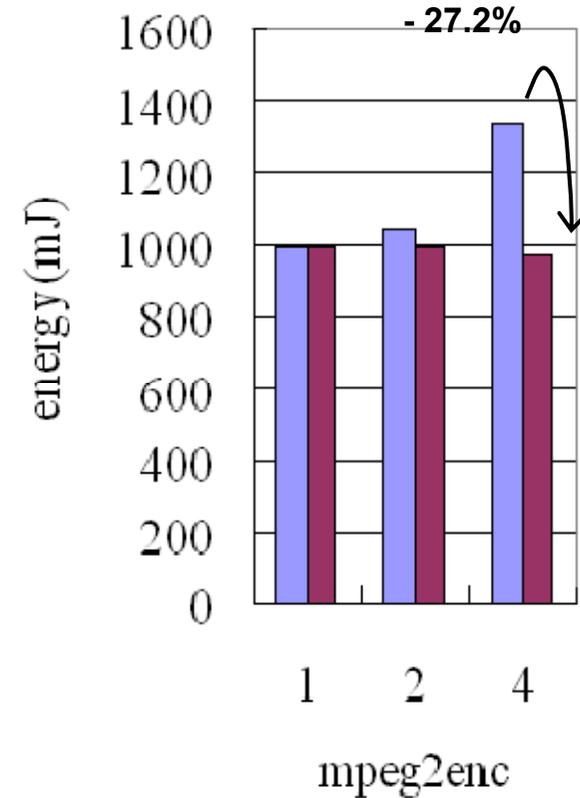
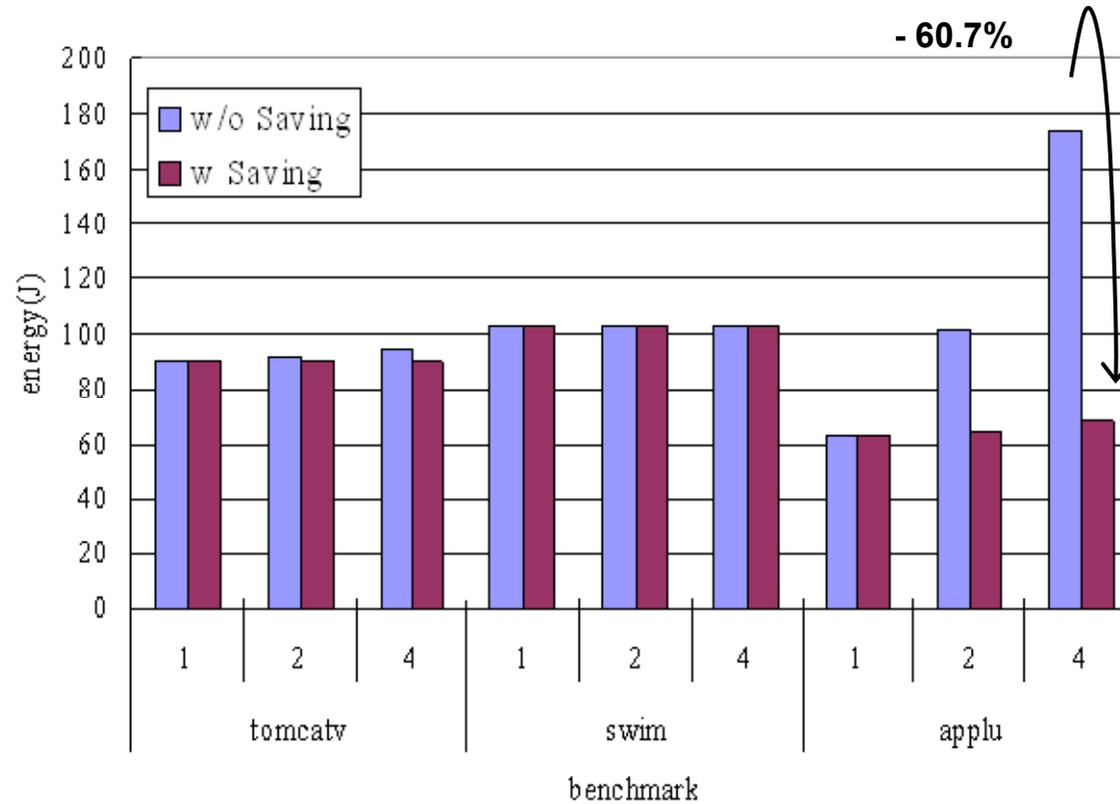
状態	FULL	MID	LOW	OFF
周波数	1	1 / 2	1 / 4	0
電圧	1	0.87	0.71	0
動作エネルギー	1	3 / 4	1 / 2	0
リーク電流	1	1	1	0

- F-V状態遷移時の遅延
 - 動作状態(FULL, MID, LOW)間の遷移 : 100 μ s
 - ON/OFF 間の遷移 : 200 μ s
- コンパイラ内での電力見積もり結果を算出
- Spec95FP tomcatv, swim, applu を評価

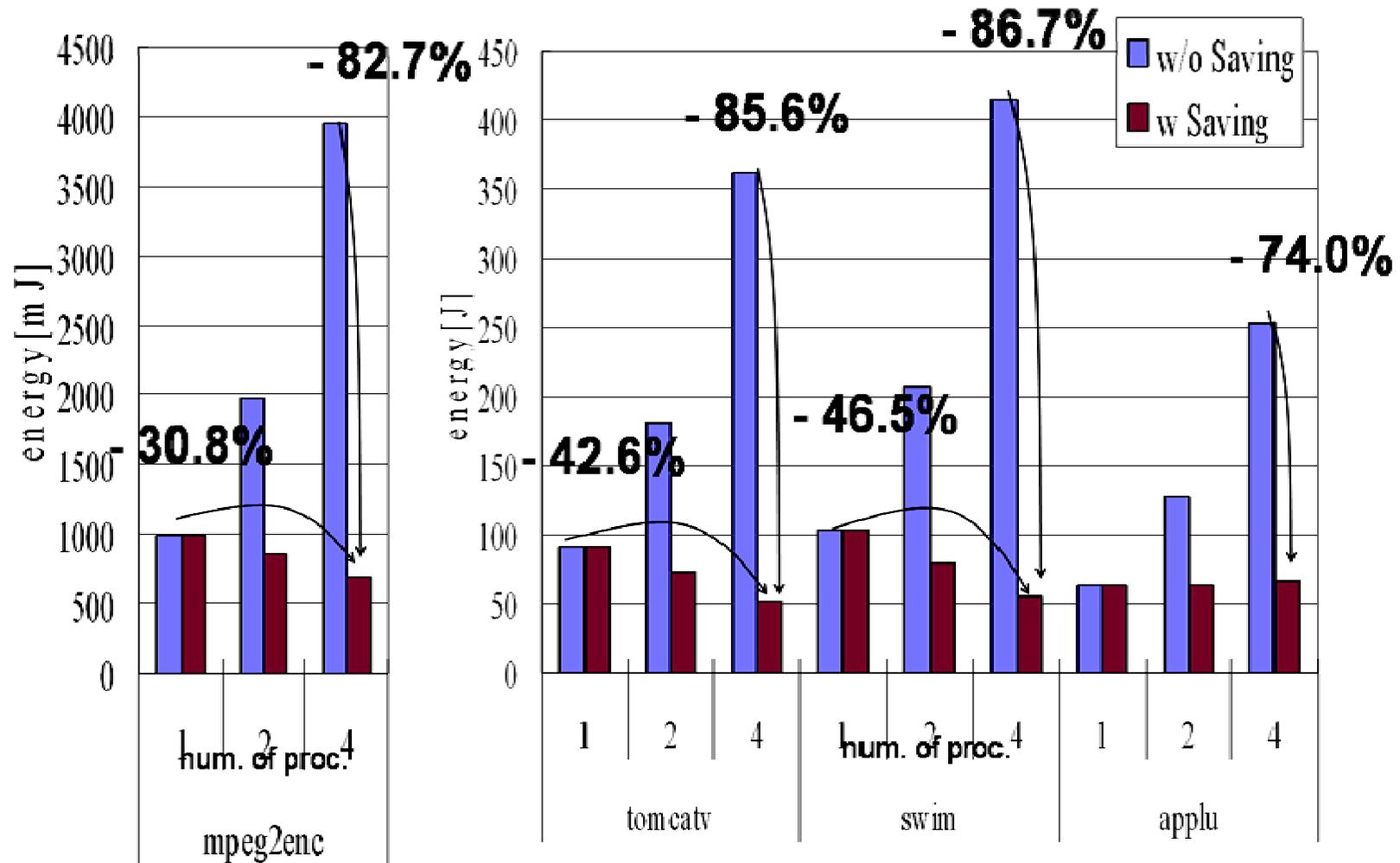
最速実行モードの速度向上率



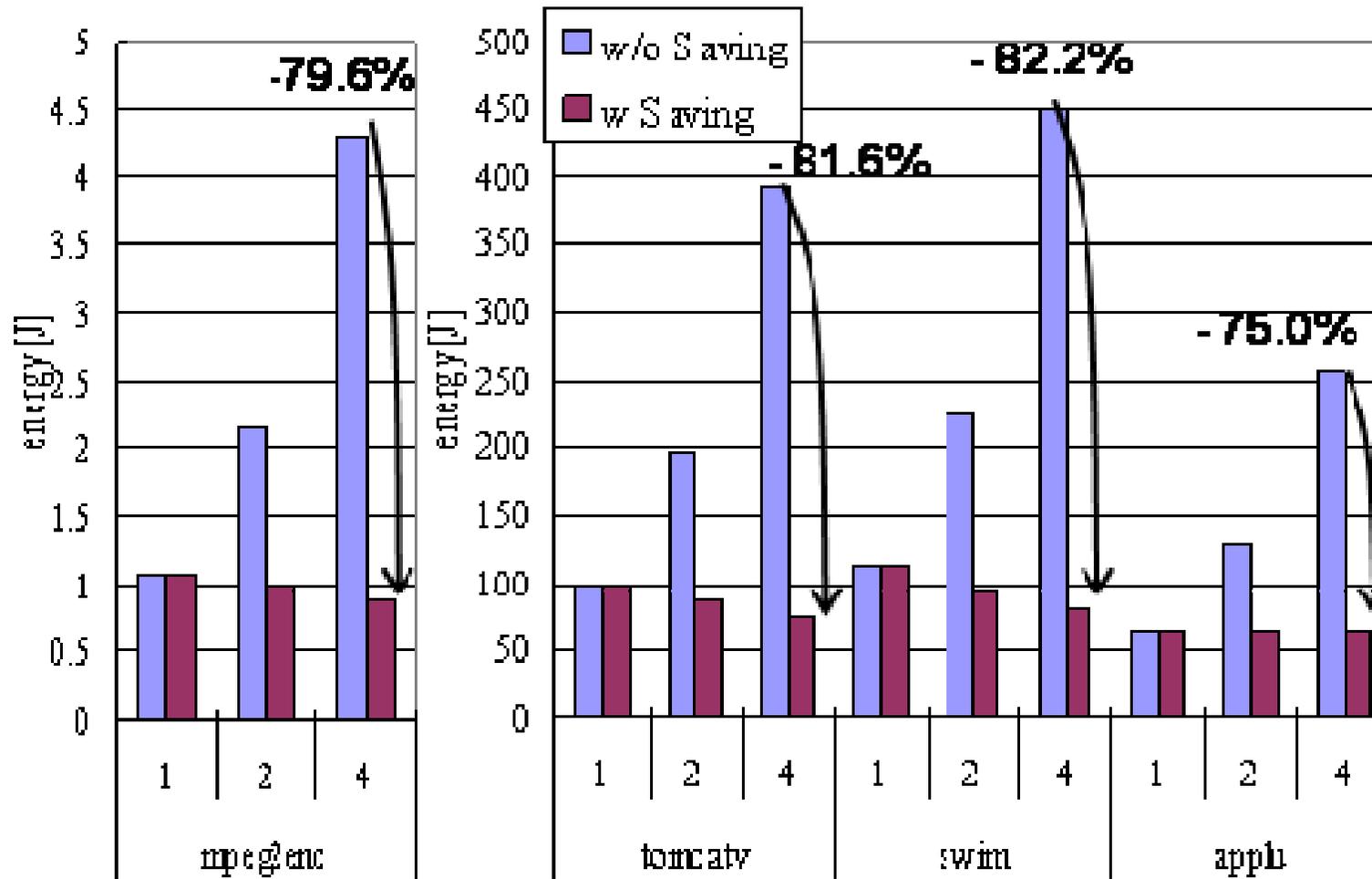
実行時間最小スケジューリングモードでの消費エネルギー



リアルタイム実行時のコンパイラ制御による消費エネルギーの削減(リーク1%時)

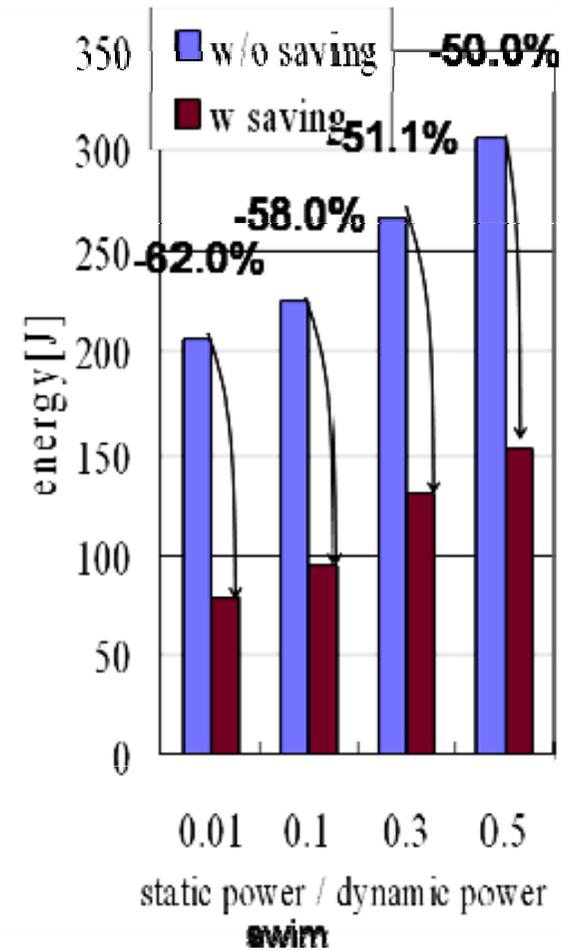
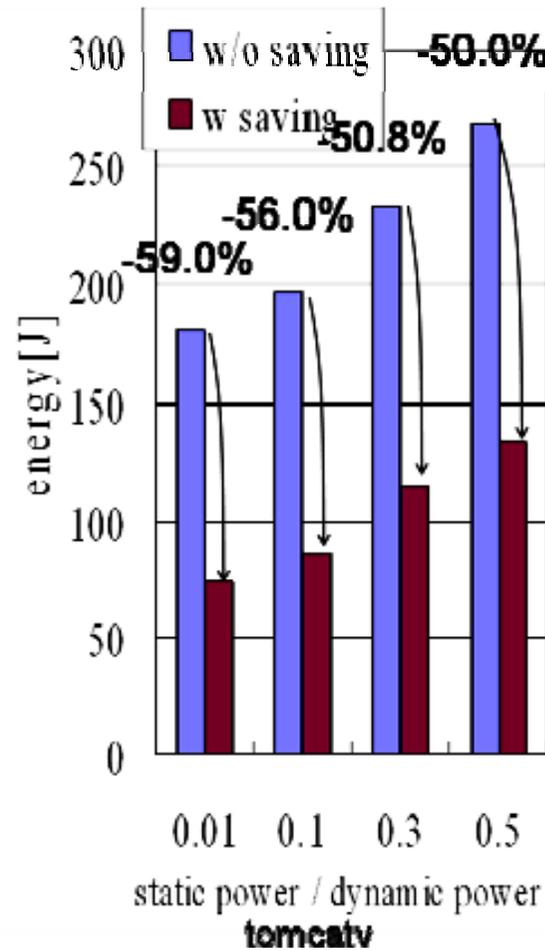
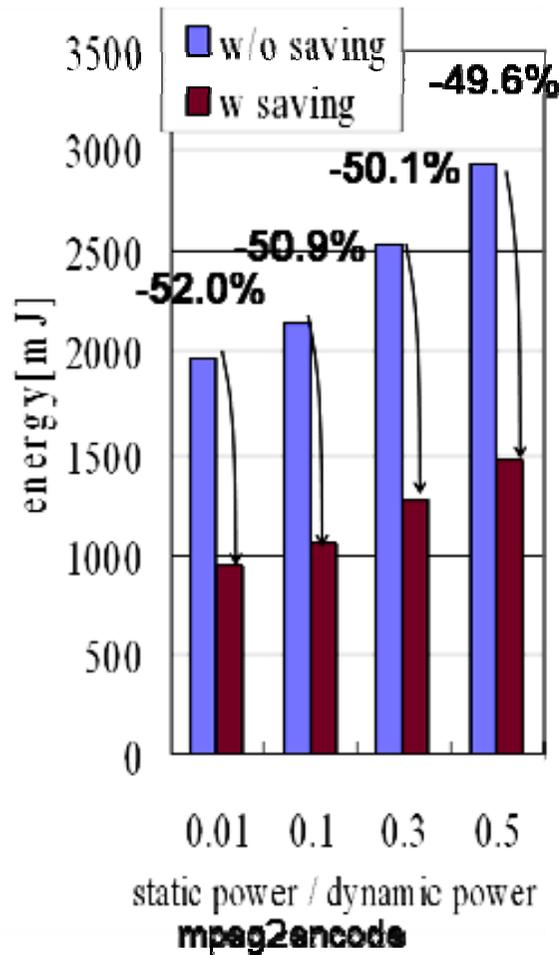


リアルタイム実行時のコンパイラ制御による消費エネルギー削減(リーク10%時)



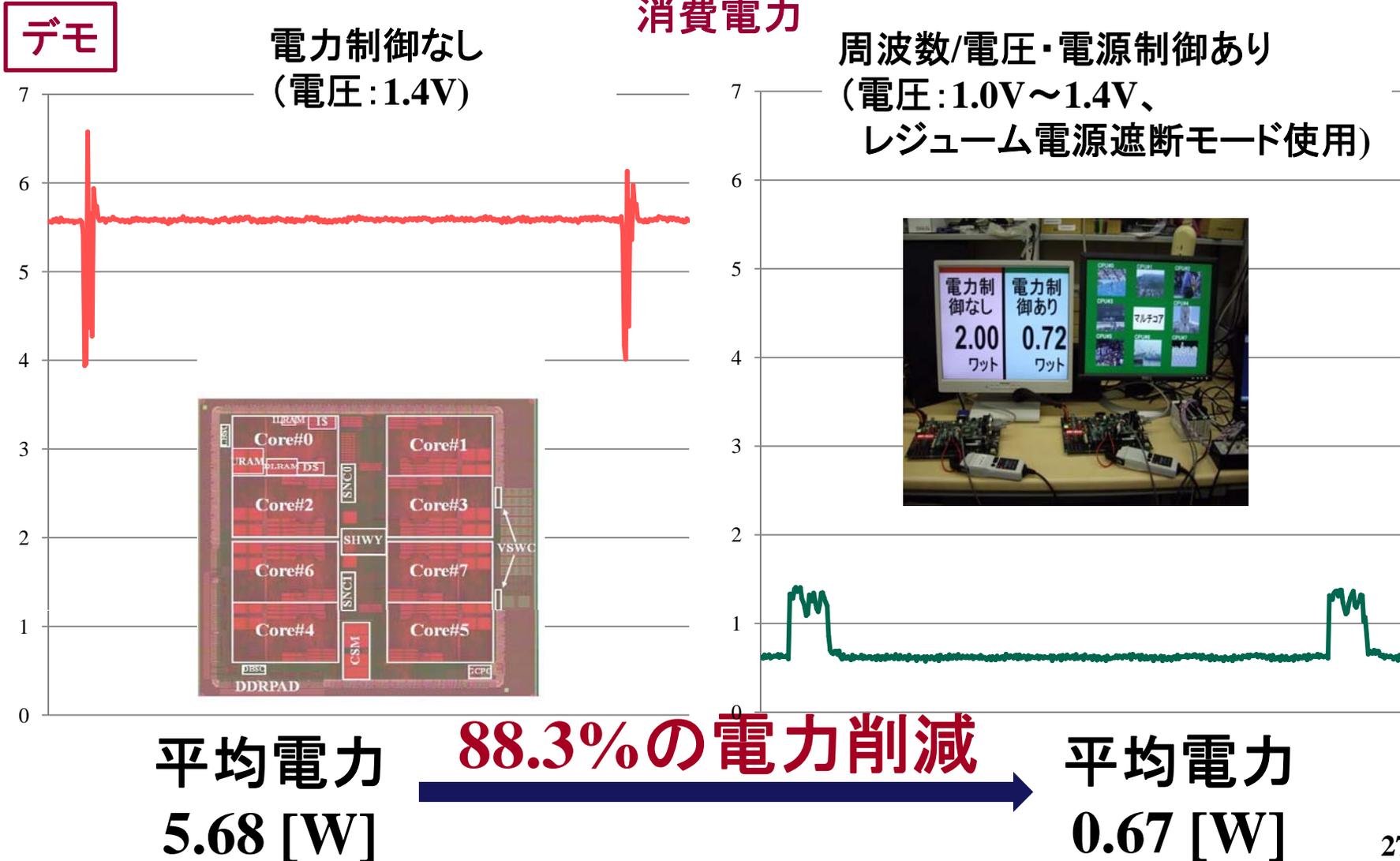
コンパイラ制御によるリアルタイム処理時の低消費電力化(4core, リーク10%)

リーク電力変化時のコンパイラ消費電力制御手法の性能



音楽圧縮におけるコンパイラ周波数/電圧・電源制御 による開発チップ上での消費電力削減効果

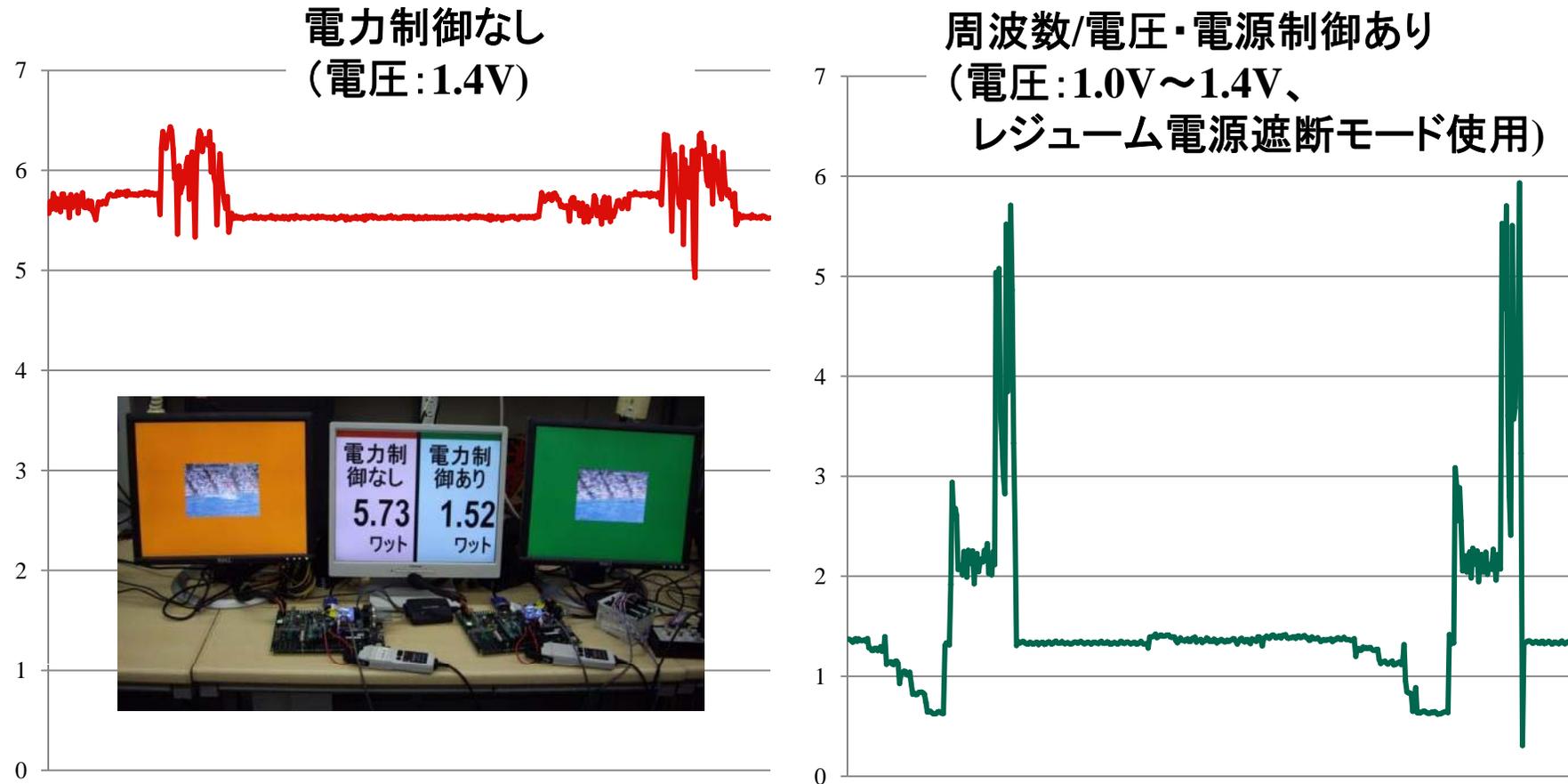
セキュアオーディオ圧縮(AACエンコード+AES暗号化)処理を8コアで実行時の
消費電力



画像表示におけるコンパイラ周波数/電圧・電源制御 による開発チップ上での消費電力削減効果

デモ

動画表示(MPEG2デコード処理)を8コアで実行時の消費電力



平均電力
5.73 [W]

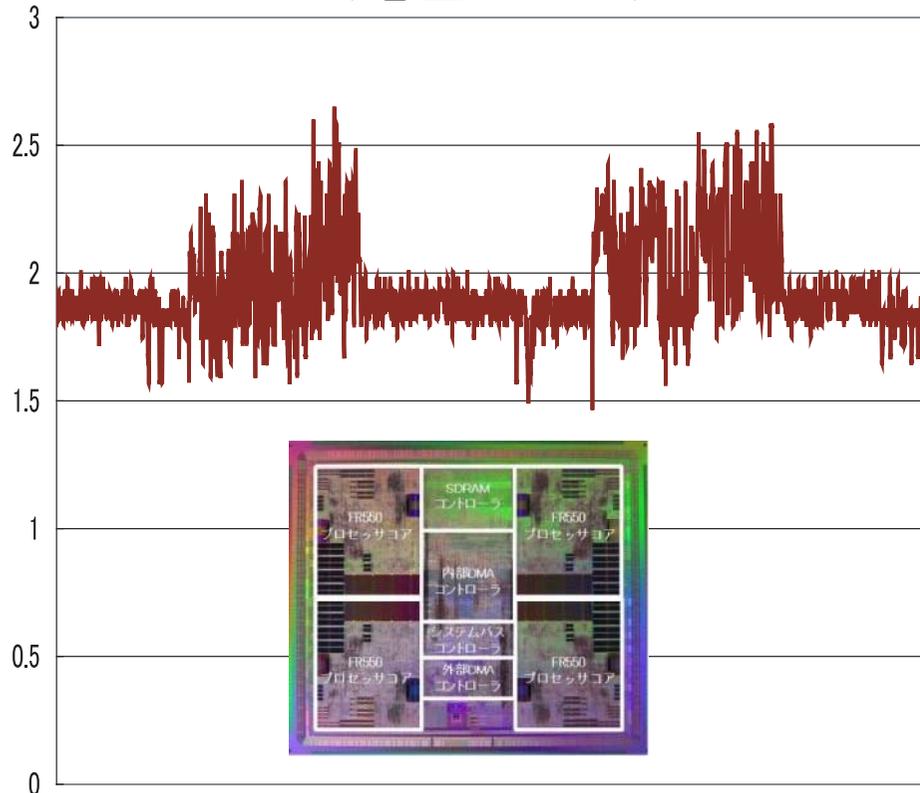
73.5%の電力削減

平均電力
1.52 [W]

画像表示におけるコンパイラ周波数/電圧・電源制御 による既存FR1000(4コア)マルチコア上での消費電力削減効果

動画伸張(MPEG2デコード)処理を4コアで実行時の消費電力

電力制御無し
(電圧: 1.25V)



周波数制御有り
(電圧: 1.25V、クロック停止)



平均電力
1.93[W]

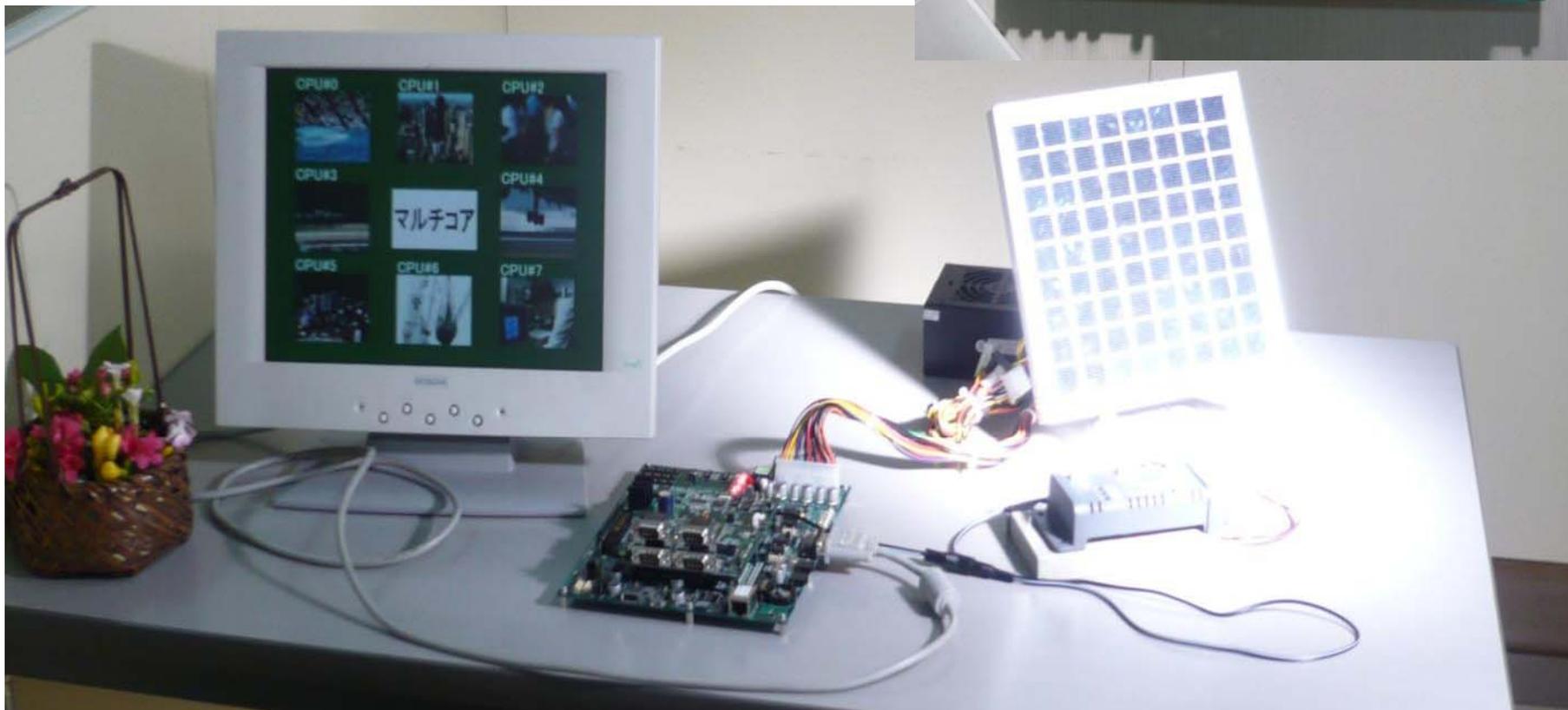
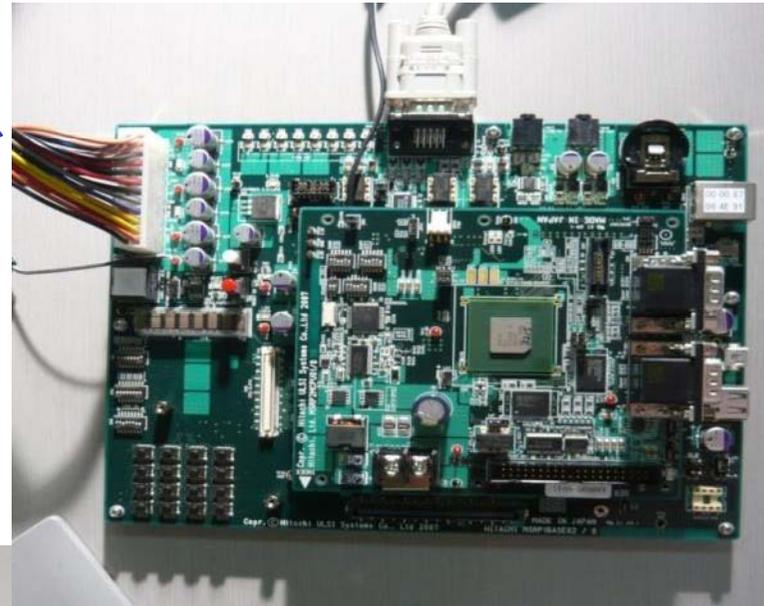
23%の電力削減

平均電力
1.48[W]

ソーラパネル駆動可能な 低消費電力高性能マルチコア RP2(SH4A 8コア集積)

デモ

- クリーンエネルギーで駆動可
 - 電力供給が困難な場所での使用可能
 - 災害時でも使用可能



まとめ

- 世界初のコンパイラ協調型 高性能・低消費電力・リアルタイム情報家電向け4コア(RP1),8CPUコア(RP2)マルチコアLSIを試作
- 8コアRP2チップでは、8個のプロセッサとメモリの独立電源遮断・動作周波数制御(1/2,1/4,1/8,0)・電圧制御(1.4V,1.2V,1.0V)可能。
 - 総合科学技術会議:8画面までの動画像を表示し、標準半導体と比べ
 - 8画面表示時 1/14に電力削減 マルチコア: 2.5W,標準半導体:35W
 - 1画面表示時1/50に電力削減 マルチコア: 0.5W, 標準半導体:25W
- 世界最高処理性能かつ世界初の電力制御を実現したOSCAR自動並列化コンパイラの開発に成功(動的電力、今後の微細化で問題となるリーク電力も削減)
 - 自動並列化によりAACエンコーダを8プロセッサで5.8倍の高速化
 - IBM(Power5+), Intel(SGI Altix450 最新Itanium2 Montvale16コア, Quad-core Xeon)上で各社コンパイラに比べ2倍以上高速実行
 - 世界初の電力制御に成功し、オーディオAACエンコードで88%、動画像MPEG2エンコードで74%の電力削減:太陽電池にて駆動可能
- 従来の手動並列化では数週間単位の時間を要した並列アプリケーション作成を、各社のマルチコア用にコンパイラによりAPIを用いて数秒単位で作成
- 論文:21件,研究会17件・シンポジウム5件,招待講演23件,ポスター発表2件,メディア掲載(新聞・テレビ・雑誌・Webニュース等)全110件,受賞5件,特許3件
- 今後:情報家電・自動車統合制御系・クールサーバ(グリーンIT)・スパコン

笠原博徳

参考

<略歴>

1980年早稲田大学工学部電気工学科卒, 1985年同大学院博士課程了(工博),
1983年早稲田大学工学部助手, 1985年日本学術振興会第1回特別研究員,
1985年カリフォルニア大学バークレーEECS客員研究員.
1986年早稲田大学工学部電気電子情報工学科専任講師,1988年助教授,
1989年-1990年イリノイ大学 Center for Supercomputing R & D客員研究員,
1997年早稲田大学理工教授, 2003年より情報理工学科(コンピュータ・ネットワーク工学科)
1987年IFAC World Congress第1回Young Author Prize,
1997年情処学会坂井記念特別研究賞, 2004年STARC共同研究賞.

<主な学会活動>

情報処理学会: 計算機アーキテクチャ研究会主査, 論文誌編集委HG主査,
会誌編集委HWG主査, 論文誌2001並列処理特集委員長, JSPF2000プログラム委員長等.
ACM: International Conference on Supercomputing(ICS)プログラム委員
ENIAC50周年記念ICS 1996 Program Chair on Software.
IEEE: Computer Society Japan 委員長, 東京支部理事, 長期戦略委員会委員, SC07 PC等
その他スーパーコンピュータ・並列処理に関する多くの国際会議プログラム委員.

<各種委員等>

経済産業省: 情報政策提言フォーラム(アーキテクチャ/HPC WG主査),
ミレニアムプロジェクトIT21”アドバンスト並列化コンパイラ”プロジェクトリーダー,
ペタフロップスマシン委員会委員, 超先端電子基盤技術委員, ビジネスGRID評価委員
NEDO: コンピュータ戦略WG委員長, 研究評価委員, “リアルタイム 情報家電用マルチコア “プロジェクトリーダー等
文部科学省: 地球シミュレータ中間評価委員, 次世代スーパーコンピュータ概念設計評価委員
JST: 科学技術振興調整費GRAPE-DR運営委員, COINS運営委員, さきがけ21領域アドバイザー
内閣府: 総合科学技術会議分野別推進戦略(報通信分野)ソフトウェアWG, 研究開発基盤WG委員,
第5回産学官連携推進会議分科会パネリスト
原研: 研究評価委員, 計算科学推進センタ第1種客員研究員.
高校校科学具術チャレンジ(朝日新聞): JSEC審査委員
東京電力学術評価委員, **日本EU協調会議科学技術ラウンドテーブル日本代表**等。

<論文等> 査読付き論文164件, 招待講演66件(国際会議, 国内学会, 海外大学, Intel, Google等), 研究会115件,
シンポジウム 25件, メディア掲載 173件(新聞, TV, 雑誌, Webニュース等), 基本特許 8件(他に国際出願有り)