

最先端マルチコアコンパイラと その並列化・低消費電力化性能

早稲田大学

理工学術院コンピュータ・ネットワーク工学科 教授
アドバンスチップマルチプロセッサ研究所 所長
笠原博徳

Prof. Hironori Kasahara

Head, Dept. of Computer Science

Director, Advanced Chip Multiprocessor Research Institute

Waseda University

URL: <http://www.kasahara.cs.waseda.ac.jp/>

ARM Forum 2006年10月17日(火)

笠原博徳

<略歴>

1980年早稲田大学理工学部電気工学科卒, 1985年同大学院博士課程了(工博),
1983年早稲田大学理工学部助手, 1985年日本学術振興会第1回特別研究員,
1985年カリフォルニア大学バークレーEECS客員研究員.
1986年早稲田大学理工学部電気電子情報工学科専任講師,1988年助教授,
1989年-1990年イリノイ大学 Center for Supercomputing R & D客員研究員,
1997年早稲田大学理工教授, 2003年よりコンピュータ・ネットワーク工学科
1987年IFAC World Congress第1回Young Author Prize,
1997年情処学会坂井記念特別研究賞, 2004年STARC共同研究賞.

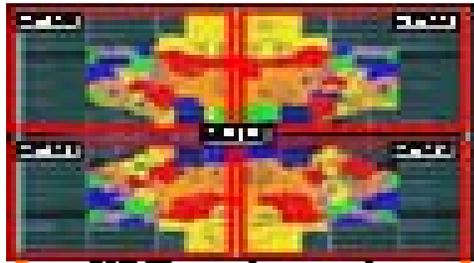
<主な学会活動>

情報処理学会: 計算機アーキテクチャ研究会主査, 論文誌編集委HG主査,
会誌編集委HWG主査, 論文誌2001並列処理特集委員長, JSPP2000プログラム委員長等.
ACM: International Conference on Supercomputing(ICS)プログラム委員
ENIAC50周年記念ICS 1996 Program Chair on Software.
IEEE: Computer Society Japan 委員長, 東京支部理事, ICPADS Pub.Chair, SC PC等
その他スーパーコンピュータ・並列処理に関する多くの国際会議プログラム委員.

<各種委員等>

経済産業省: 情報政策提言フォーラム(アーキテクチャ/HPC WG主査),
ミレニアムプロジェクトIT21”アドバンスト並列化コンパイラ”プロジェクトリーダー,
ペタフロップスマシン委員会委員, 超先端電子基盤技術委員,
NEDO: 研究評価委員, コンピュータ戦略WG委員長,
“リアルタイム 情報家電用マルチコア”プロジェクトリーダー等
文部科学省: 地球シミュレータ中間評価委員,
JST: 科学技術振興調整費GRAPE-DR運営委員, COINS運営委員, さきがけ21領域アドバイザー
内閣府: 総合科学技術会議分野別推進戦略(報通信分野)ソフトウェアWG, 研究開発基盤WG委員
原研: 研究評価委員, 計算科学推進センタ第1種客員研究員. 朝日新聞: JSEC審査委員.
東京電力学術評価委員, 日本EU協調会議科学技術ラウンドテーブル日本代表等.

21世紀はマルチプロセッサ(マルチコア)Everywhere



MP Core Layout
130nm

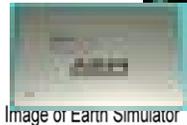
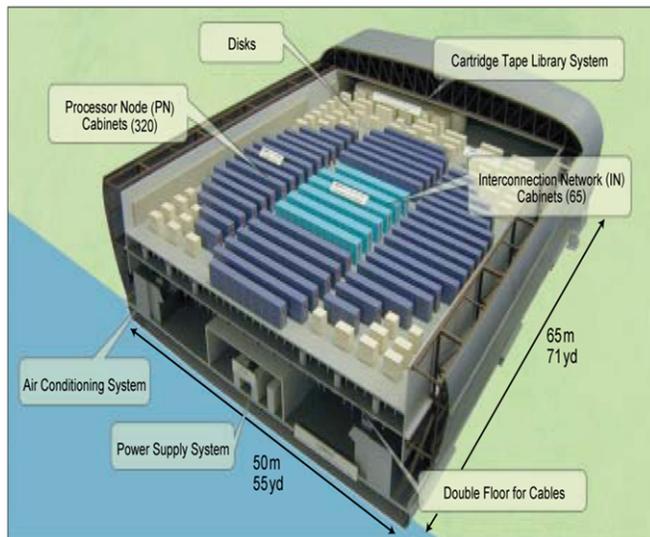


Image of Earth Simulator



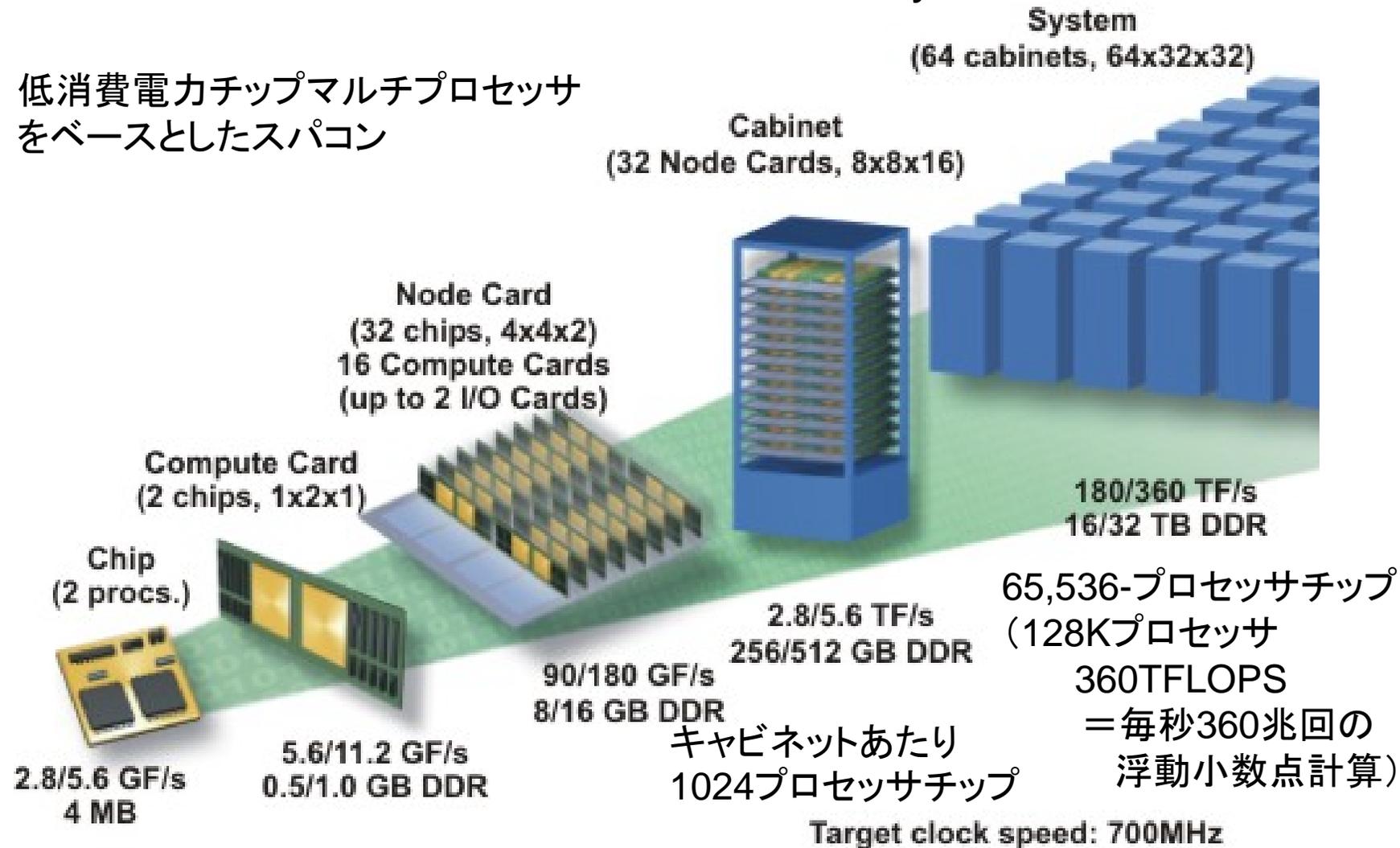
- ◆ 組み込みプロセッサからスパコンまで
 - 情報家電(コンシューマ機器用)マルチコア
カーナビ, 携帯電話, ゲーム, デジタルTV, DVD
ARM/NEC MPCore, MP211, Sony 東芝 IBM Cell,
富士通 FR1000, 松下 UniPhier
 - PC, サーバ
Intel Dual-Core Xeon, Core 2 Duo, Montecito
AMD Quad and Dual-Core Opteron
 - WSs, Deskside & Highendサーバ
IBM Power4, 5, 5+, pSeries 690 (32way), p5 550Q (8
way), Sun Niagara (SparcT1, T2), SGI ALTIX 450
 - スーパーコンピュータ
 - 地球シミュレータ: **40TFLOPS**,
2002年3月完成, 5120ベクトルプロセッサ
 - IBM pSeries 690: Power4ベース市販サーバ
Power5, 現在5+, 今後6,7開発
米国HPCS実効PFLOPSスパコンへ
 - IBM Blue Gene/L: **360TFLOPS**
低消費電力CMPベース128Kプロセッサ
1PFLOPS BlueGene/P (2007-8年)
- ◆ アプリケーションソフトの充実, 短期間システム開発,
低コスト, 低消費電力, 高機能化が市場競争力決定
<例> 携帯電話, ゲーム, 自動車
- ◆ システムの実質性能、価格性能比、ソフトウェア生
産性の向上を実現する **自動並列化コンパイラ協調型
チップマルチプロセッサ、チューニングツール必要**

地球シミュレータ : 5120プロセッサ・
マルチプロセッサスーパーコンピュータ

IBM BlueGene/L

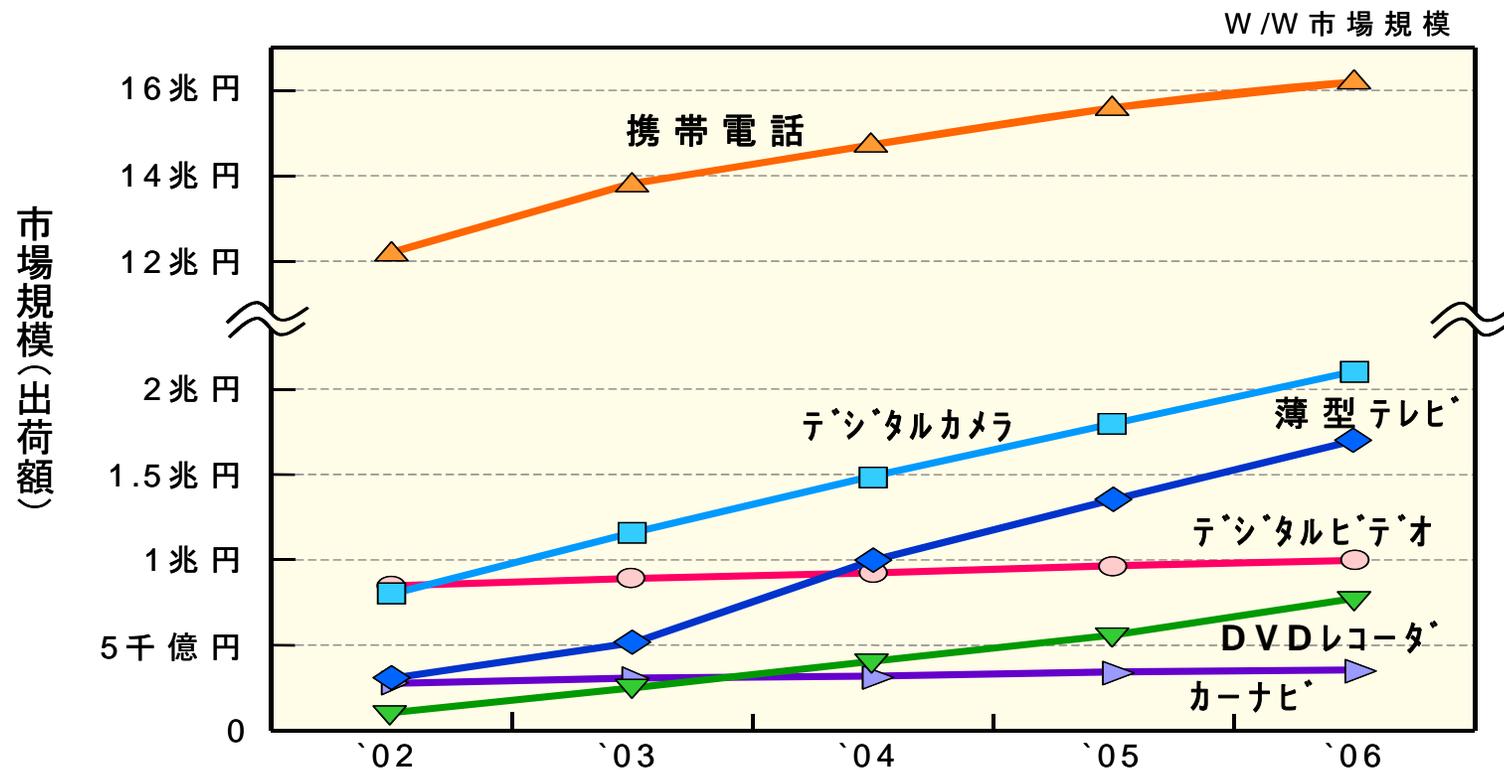
Lawrence Livermore National Laboratory 2005/

低消費電力チップマルチプロセッサ
をベースとしたスパコン



1プロセッサチップ上に2プロセッサ集積

リアルタイム情報家電が市場を牽引

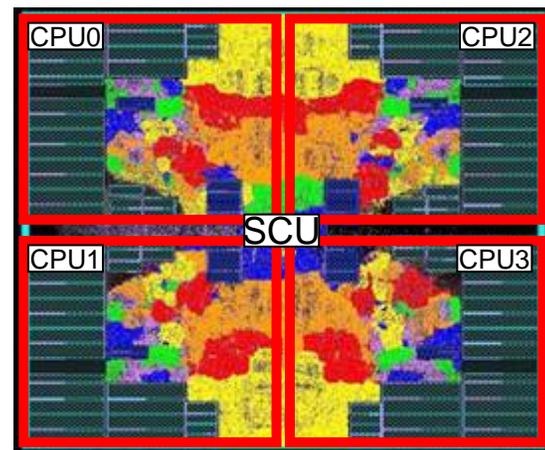


	'03	'07	年平均成長率%
デジタルスチルカメラ(M台)	49	76	12
デジタルTV(M台)	6	27	45
DVDレコーダ(M台)	3.6	33	74
PC用DVD(記録型)(M台)	27	114	43
携帯電話(M台)	490	670	8
自動車用半導体需要(B\$)	14.0	20.9	11

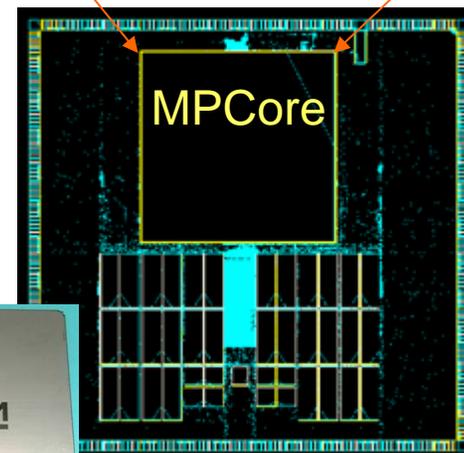
2005.5.11
 NEDOロードマップ報告会
 電子・情報技術開発部
 「技術開発戦略」より

MPCore™ (SMP型)

- ARM11™ ベースのマルチプロセッサ
 - 浮動小数点演算サポート (VFP)
- マルチプロセッシングのサポート
1~4 コア構成を選択可能。
 - SMPサポート
 - スヌープ制御ユニット (SCU) による PE間の高効率結合
 - モディファイドMESIプロトコルによる キャッシュ一貫性維持
 - L1 Duplicate Tagを内蔵
 - 高速なcache-cacheデータ転送(DDI)
 - システムバスバンド幅の有効利用と電力削減
 - 割込みおよび割込み分配システム
 - I/O 割込みルーティング
 - PE毎のタイマー/ウォッチドッグ
 - PE間ソフト割込み(IPI)
 - SMP-OSがCPU数を隠蔽し自動スケジューリング: SMP-Linux 2.6, 並列プログラミングサポート: NPTL
 - FV制御 + 動的なコア数可変 (Adaptive Shutdown)
 - AMP (非対称): ハイブリッド (AMP+SMP) も可能
 - マルチコアデバッグ環境
- PrimeCell® Level 2 キャッシュコントローラサポート



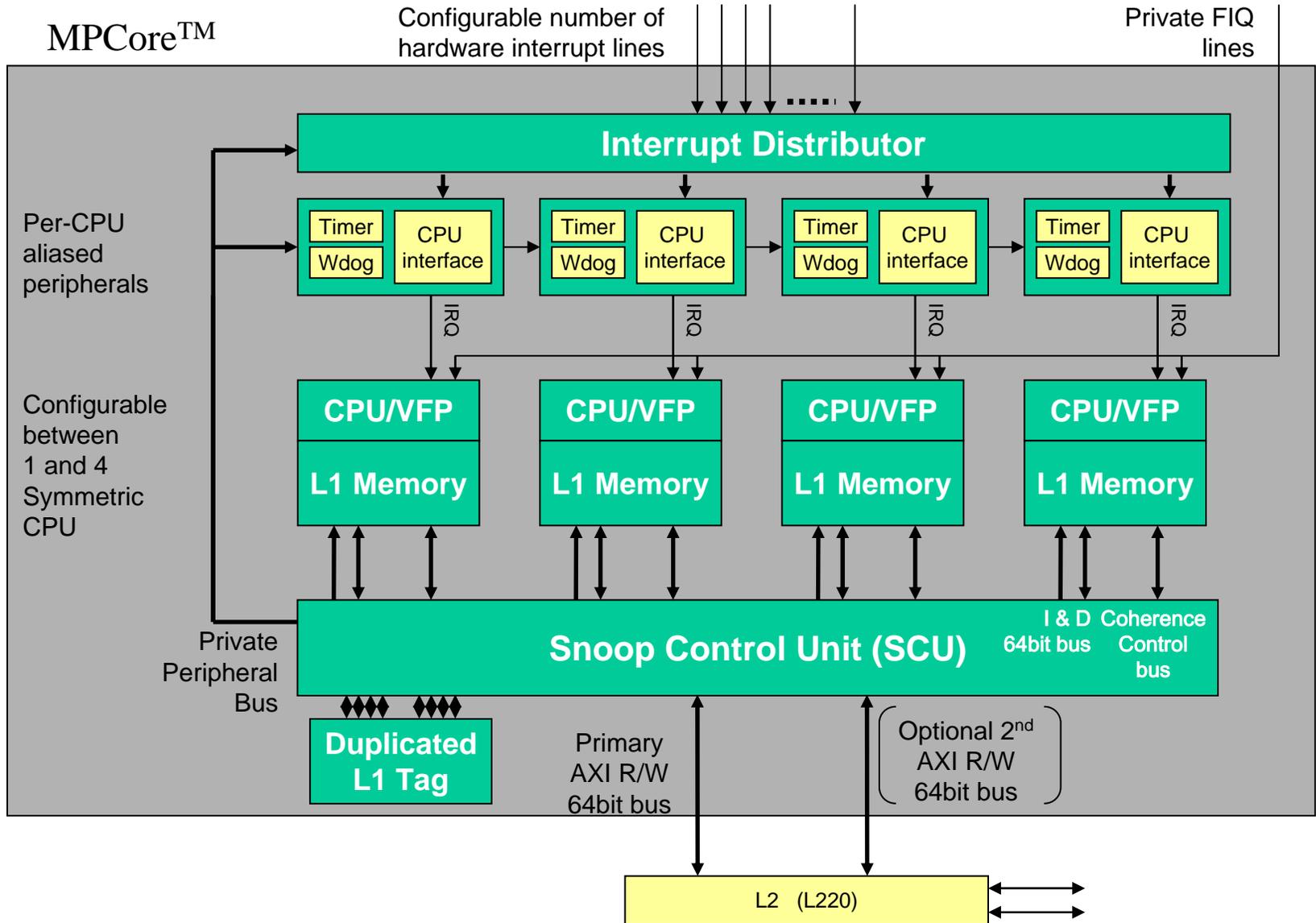
MPCore Layout
130nm



Test Chip Layout
(1MB L2を実装)



MPCore™ ブロック図



携帯電話向けアプリケーションプロセッサ:MP211

快適なインターネット・アクセス環境をモバイル機器で

ねらい

デジタル放送、高性能ダウンロードアプリなどを携帯電話で実現するための高速低電力アプリケーションプロセッサ

成果／革新性

・オンチップ並列処理(タスク並列型)

ARM926(200MHz) × 3, DSP(200MHz),
Graphics Engine, Image Processor,
Security Engine

・マルチコア仮想化ソフトウェア

・高性能バスアーキテクチャ

・電源制御による低電力化

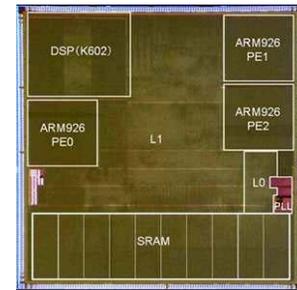
・デジタル放送のようなリアルタイム
処理をCPU分離し、性能確保

・ダウンロードアプリをCPU分離
することによるセキュリティ確保

MP211('04発表)

-130nm

-8.9mm角



ネットワーク
サービス

基本機能

追加機能

アクセラ
レータ

携帯
電話

DTV

ビジネス
ゲーム

Multi-Core Abstraction Layer

DSP

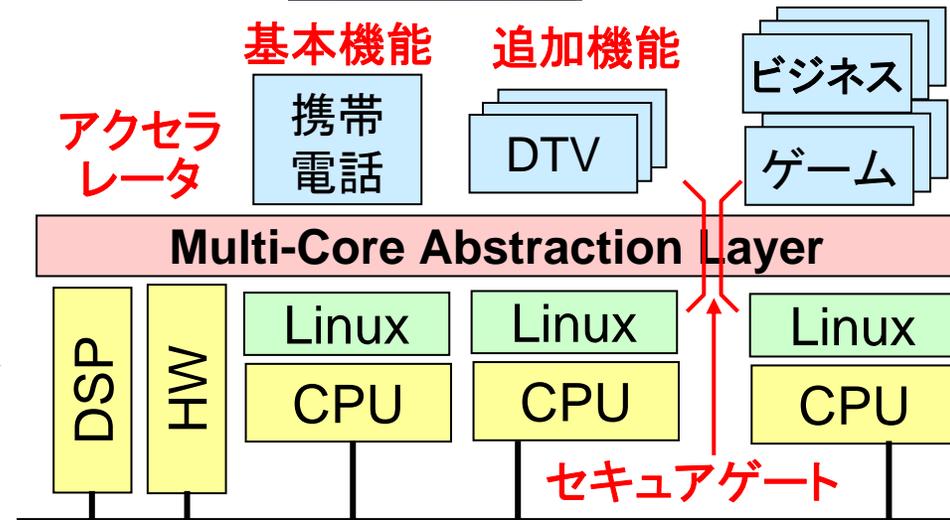
HW

Linux
CPU

Linux
CPU

Linux
CPU

セキュアゲート



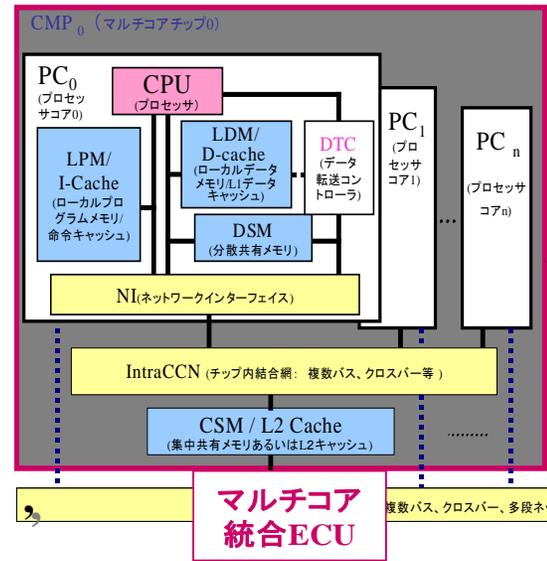
OSCARマルチコアアーキテクチャ

自動並列化コンパイラ協調型 チップマルチプロセッサ (マルチコアプロセッサ)

OSCAR: Optimally Scheduled
Advanced Multiprocessor

- 携帯電話・DVD・ゲーム・カーナビ・デジタルTV等の情報家電
- 次世代スーパーコンピュータ

経済産業省/NEDOリアルタイム情報
家電用マルチコア(2005.7~
2008.3)* *



新マルチコア プロセッサ

- ・高性能
- ・低消費電力
- ・短HW/SW開発期間
- ・各チップ間でアプリケーション共有可
- ・高信頼性
- ・半導体集積度と共に性能向上

産学連携 : STARC (国内企業12社出資の
半導体理工学研究センター)

2000-2004:基礎研究 2004-2006:実用化研究
(富士通,東芝,NEC,ソニー,松下等)

2001-2005 : STARC寄附講座SoC設計技術

産官学連携 : NEDO(経産省)

「大学発事業創出実用化研究開発事業」

2004-2006:先進ヘテロジニアス・マルチ
プロセッサ (日立)

開発マルチコアチップは情報家電へ

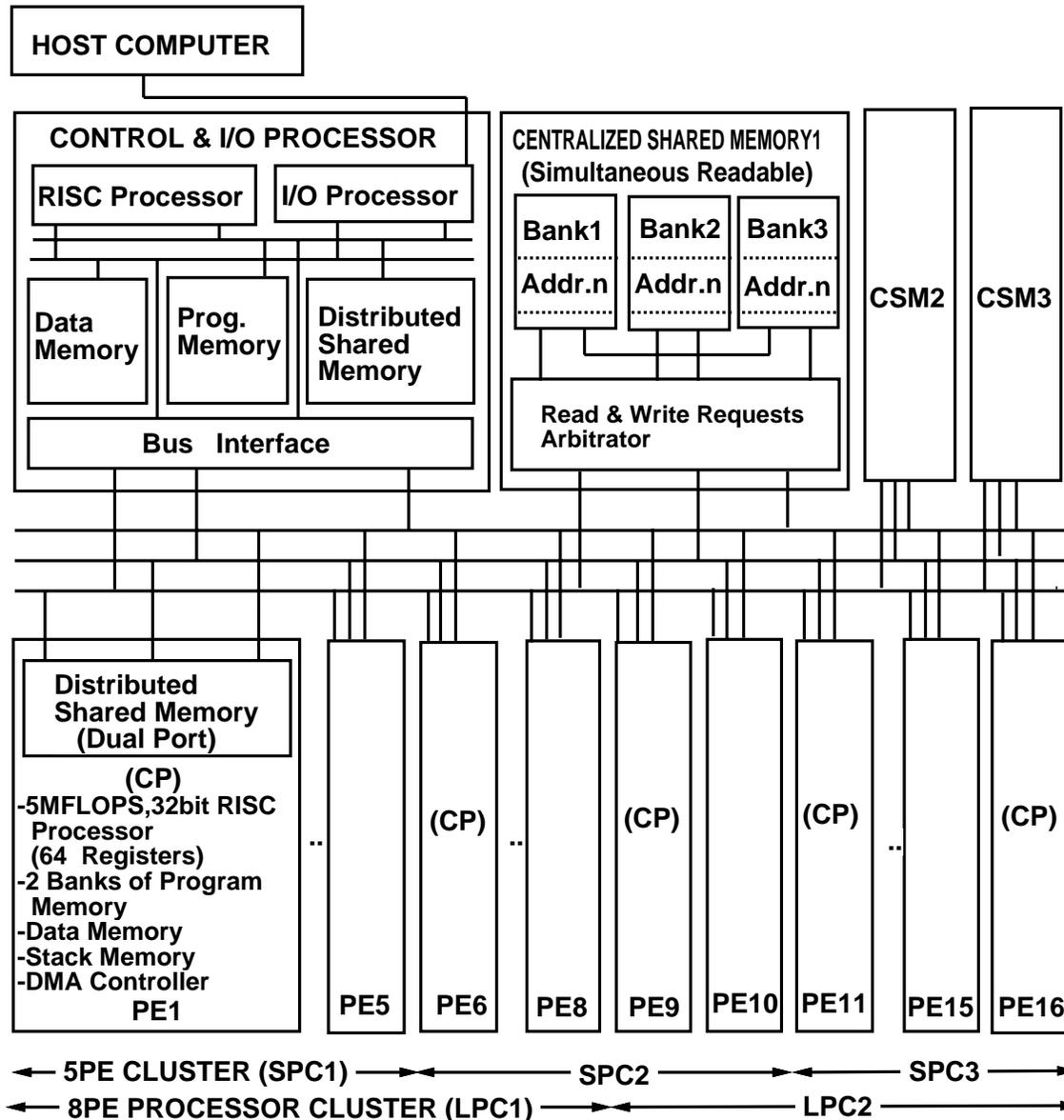


**日立,富士通,ルネサス,東芝,松下,NEC

1987 OSCAR(Optimally Scheduled Advanced Multiprocessor)

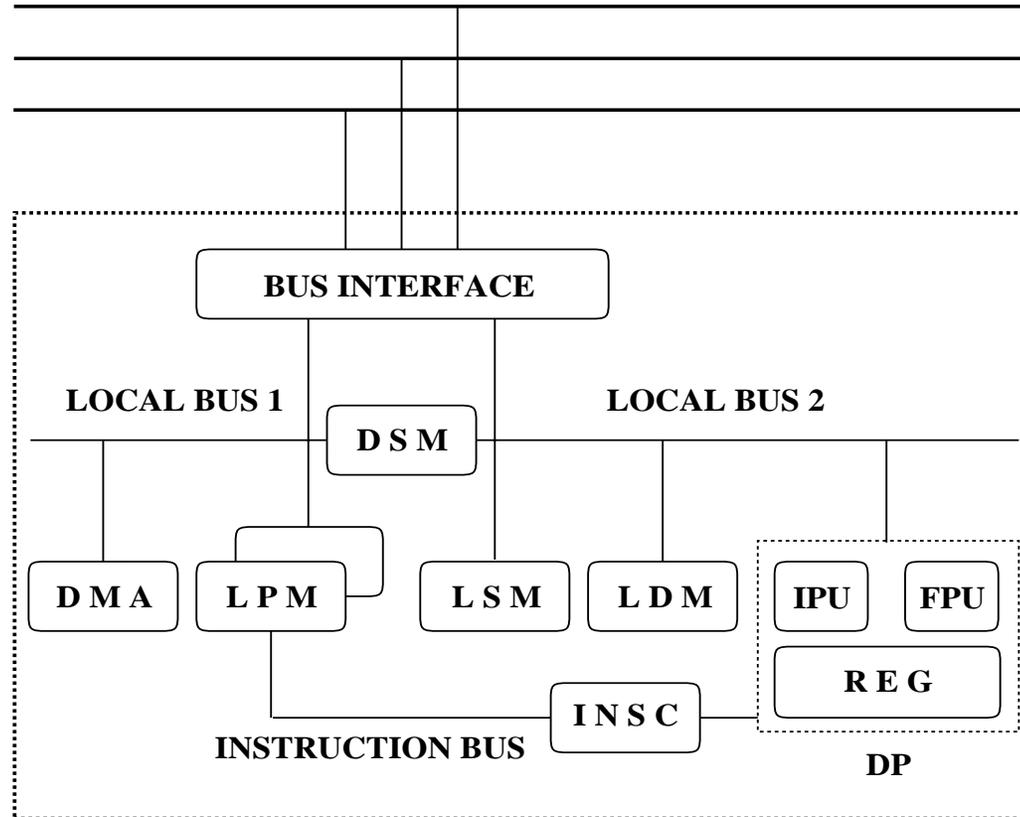


OSCAR(Optimally Scheduled Advanced Multiprocessor)



OSCAR PE (Processor Element)

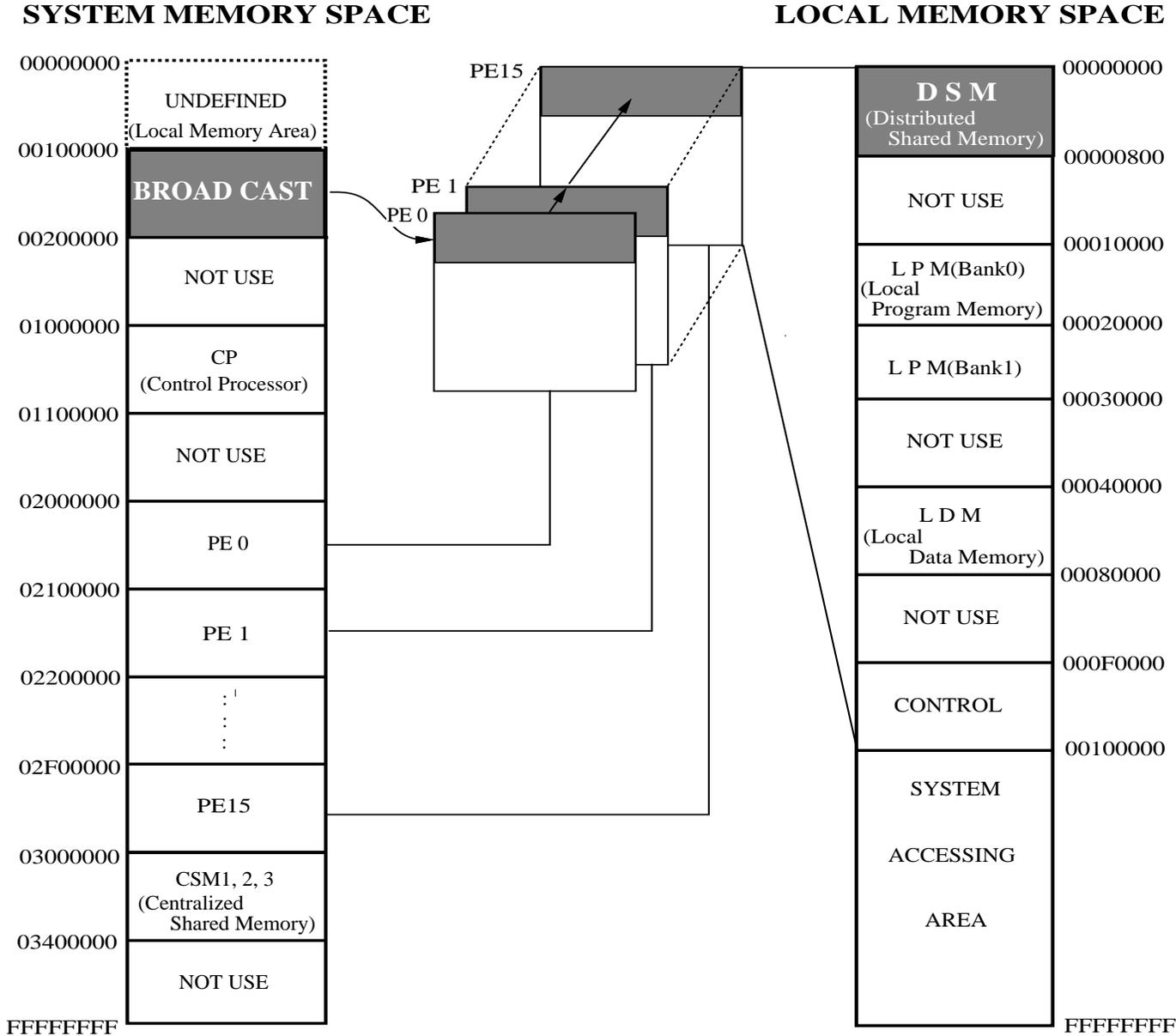
SYSTEM BUS



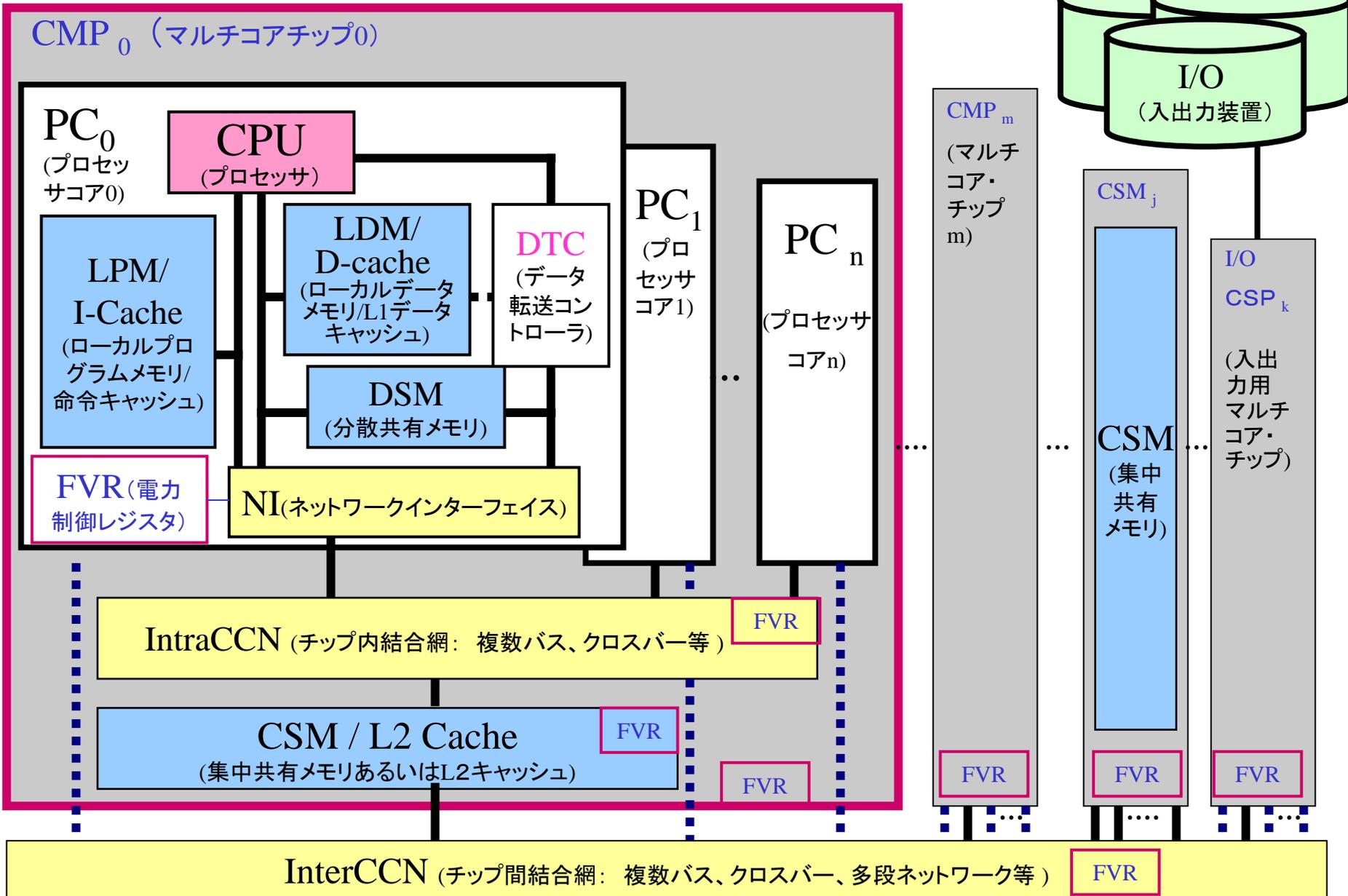
DMA : DMA CONTROLLER
LPM : LOCAL PROGRAM MEMORY
 (128KW * 2BANK)
INSC : INSTRUCTION
 CONTROL UNIT
DSM : DISTRIBUTED
 SHARED MEMORY (2KW)
LSM : LOCAL
 STACK MEMORY (4KW)

LDM : LOCAL DATA MEMORY
 (256KW)
DP : DATA PATH
IPU : INTEGER
 PROCESSING UNIT
FPU : FLOATING
 PROCESSING UNIT
REG : REGISTER FILE
 (64 REGISTERS)

OSCAR Memory Space



OSCAR(Optimally Scheduled Advanced Multiprocessor) マルチコア・プロセッサ

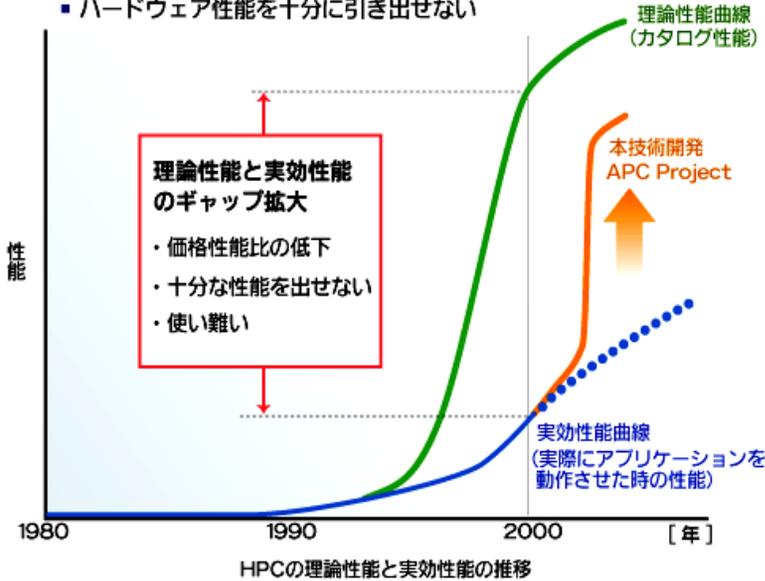


マルチコア用コンパイラ研究課題

最先端コンピュータの理論性能と実行性能の推移

並列化プログラムの問題点

- プログラムが特殊
- ハードウェア性能を十分に引き出せない



プロセッサ高速化における3大技術課題の解消

1. 消費電力増大による速度向上の鈍化

- コンパイラによる低消費電力制御機能を用いたアプリケーション内でのきめ細かい周波数・電圧制御・電源遮断により消費電力低減

2. 半導体集積度向上(使用可能トランジスタ数増大)に対する速度向上率の鈍化

- 粗粒度タスク並列化、ループ並列化、近細粒度並列化によりプログラム全域の並列性を利用するマルチグレイン並列化機能により、従来の命令レベル並列性より大きな並列性を抽出し、複数マルチコアで速度向上

コンパイラが対応可能なプロセッサ並列度の推移

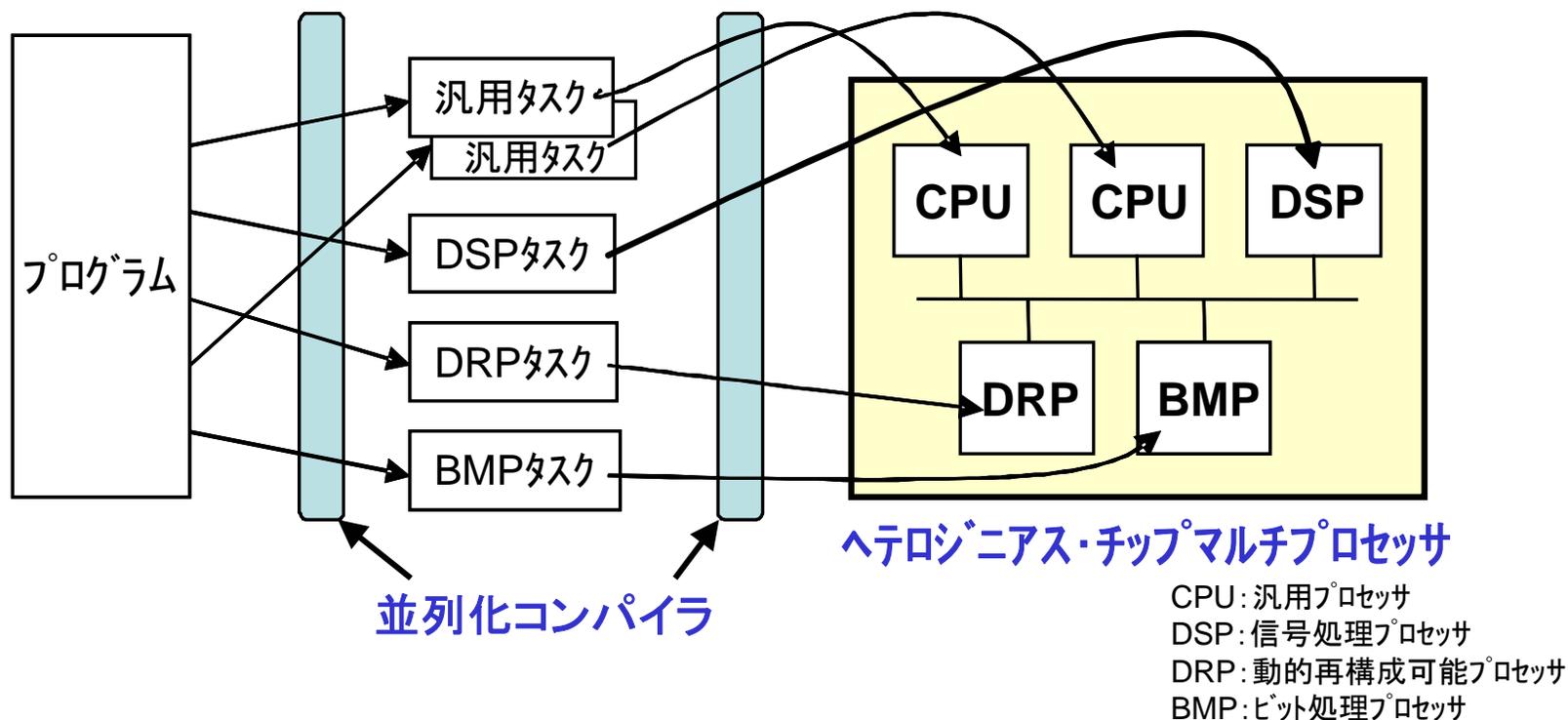


メモリウォール問題

- コンパイラによるローカルメモリへのデータ分割配置、DMAコントローラによるタスク実行とオーバーラップしたデータ転送によりメモリアクセス・データ転送オーバーヘッド最小化

コンパイラ協調型先進ヘテロジニアス・マルチプロセッサ (AHMP)

- 多種類の計算エンジン(プロセッサ)を1チップに集積したSoCアーキテクチャ
- プログラムの並列性を抽出し、各プロセッサの特徴に適したタスクの分割と配置を行う並列化コンパイラ

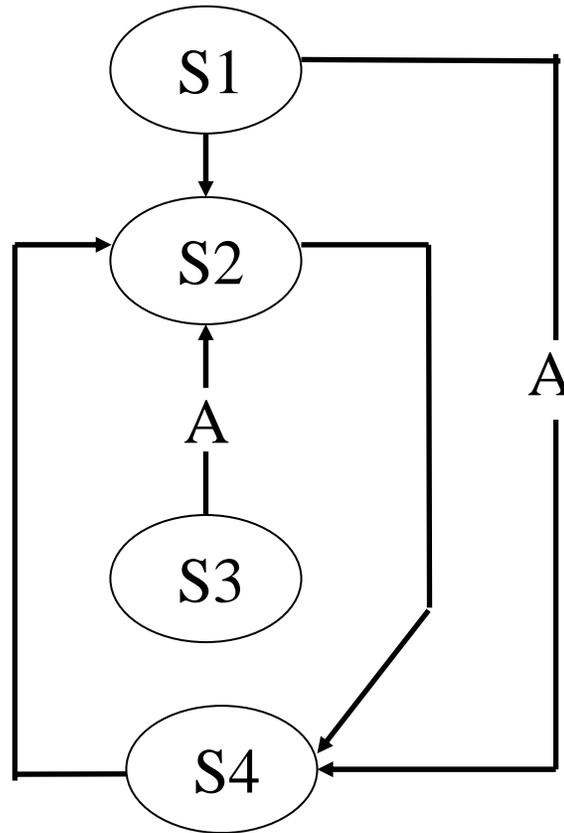


自動ベクトル化

最内側ループのLoop Distribution及びベクトル命令への置換

```
do I = 2,N  
  C(I)=A(I)+B(I)      :S1  
  D(I)=C(I)+A(I-1)    :S2  
  E(I)=D(I+1)+X       :S3  
  A(I)=D(I) * B(I)    :S4  
end do
```

(a) Doループの例



(b) (a)のデータ依存グラフ

```
C(2:N)=A(2:N)+B(2:N)  :S1  
E(2:N)=D(3:N+1)+X    :S3  
do I=2,N  
  D(I)=C(I)+A(I-1)    :S2  
  A(I)=D(I)*B(I)      :S4  
end do
```

(c) ベクトル化されたコード

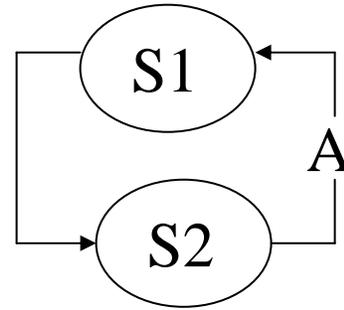
スカラ エクスパンション

do I=1,N

T=A(I)*B(I) :S1

C(I)=T+B(I) :S2

end do



(a)

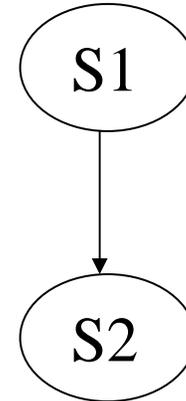
do I=1,N

TEMP(I)=A(I)*B(I) :S1

C(I)=TEMP(I)+B(I) :S2

end do

T=TEMP(N)



(b)

TEMP(1:N)=A(1:N)*B(1:N)

C(I)=TEMP(1:N)+B(1:N)

T=TEMP(N)

(c)

Doall ループ

Scalar Privatization 併用

```
real a(n),c(n)
```

```
do i=1,n
```

```
    x=a(i)*2.0
```

```
    c(i)=x+1.0
```

```
end do
```

```
real a(n),c(n)
```

```
doall i =1,n
```

```
    real x
```

```
    x=a(i)*2.0
```

```
    c(i)=x+1.0
```

```
end doall
```

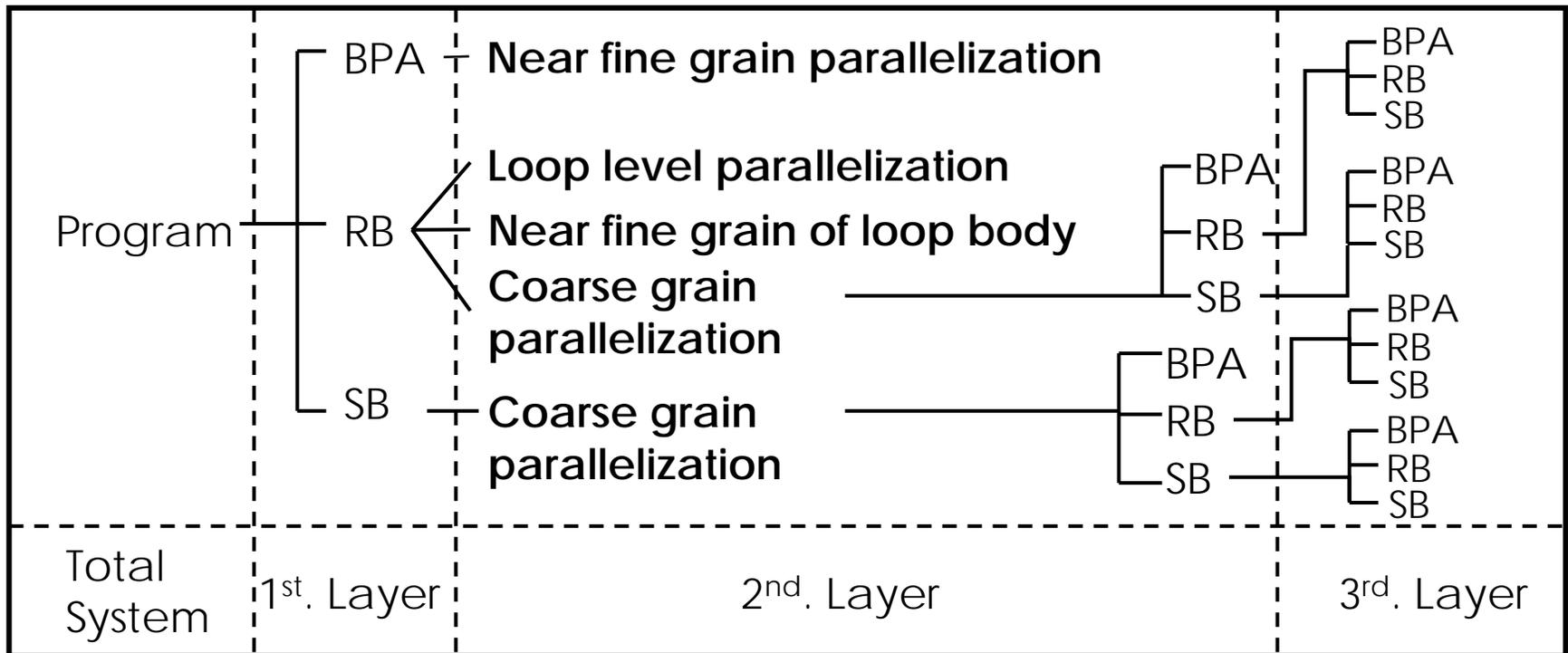
Doall可能なループの例

Doallの記述例

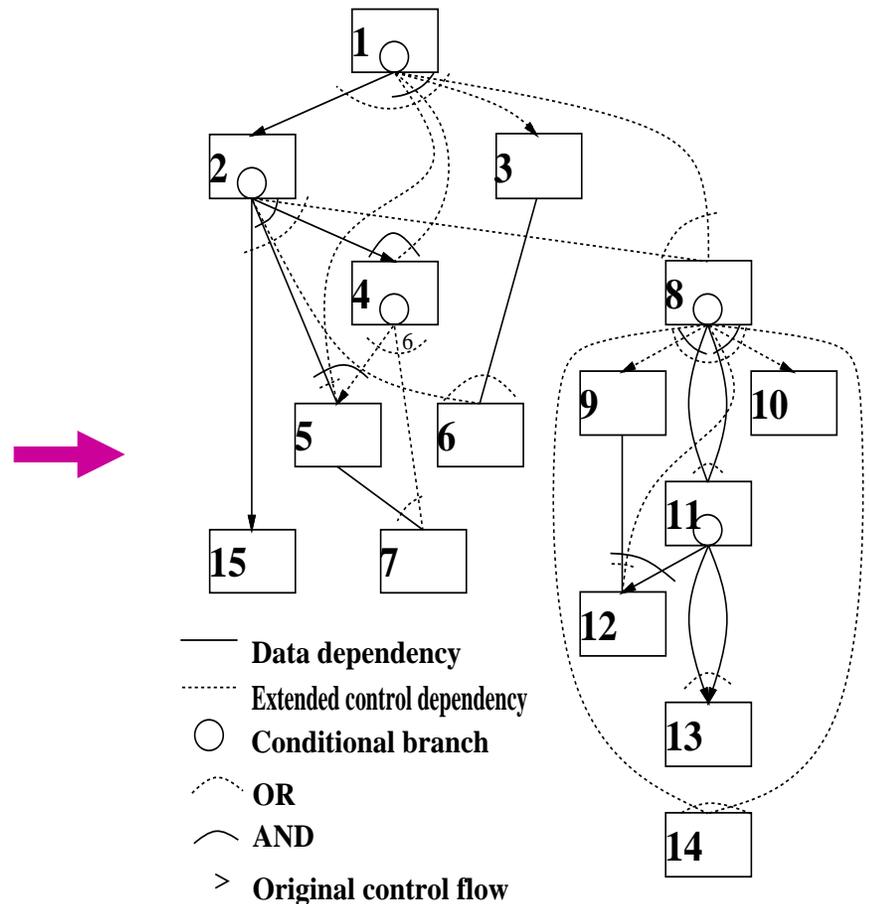
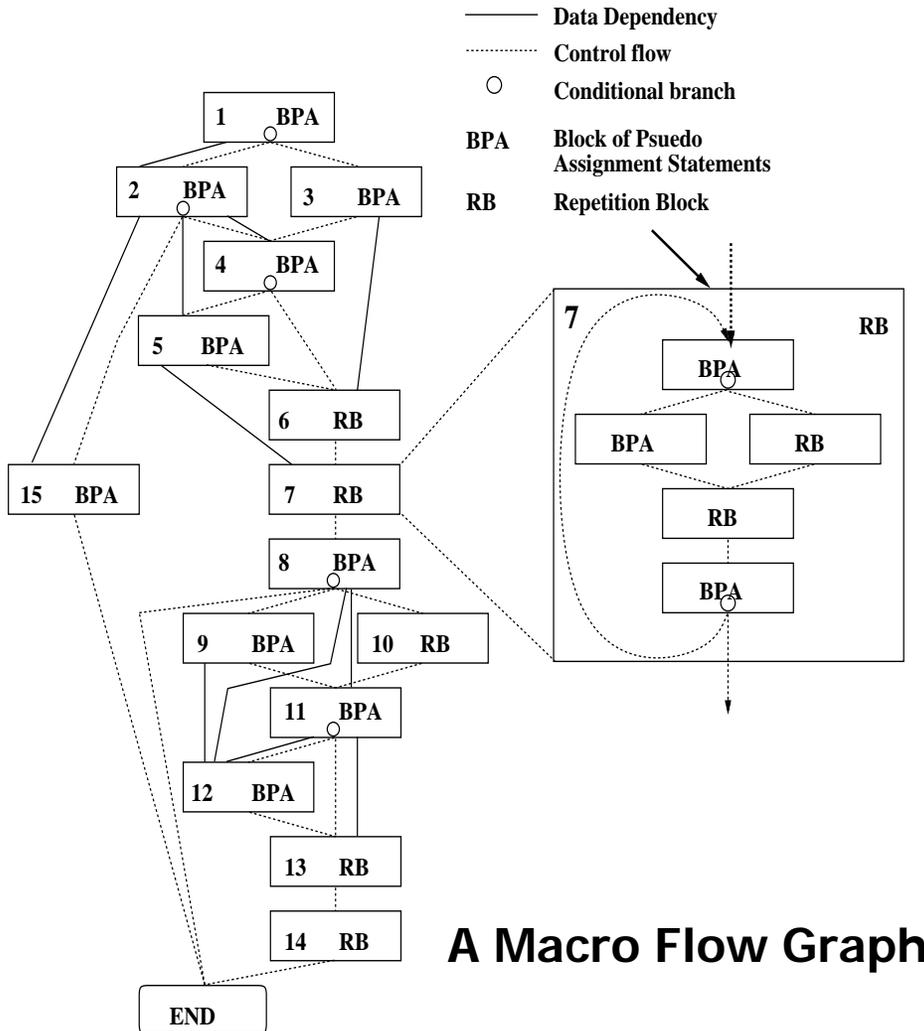
Generation of coarse grain tasks

■ Macro-tasks (MTs)

- **Block of Pseudo Assignments (BPA): Basic Block (BB)**
- **Repetition Block (RB) : natural loop**
- **Subroutine Block (SB): subroutine**

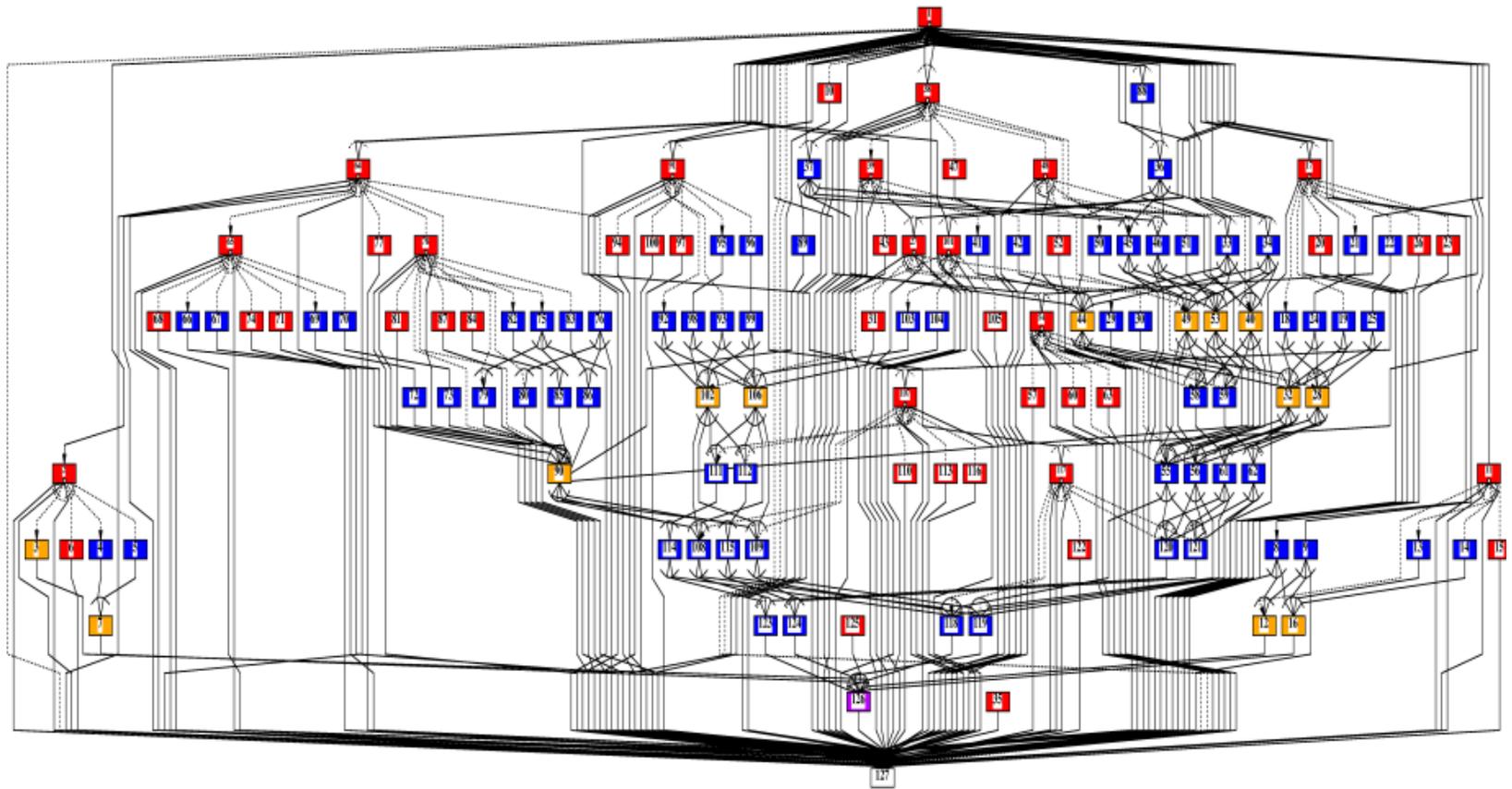


Earliest Executable Condition Analysis for coarse grain tasks (Macro-tasks)



MTG of Su2cor-LOOPS-DO400

- Coarse grain parallelism $PARA_ALD = 4.3$

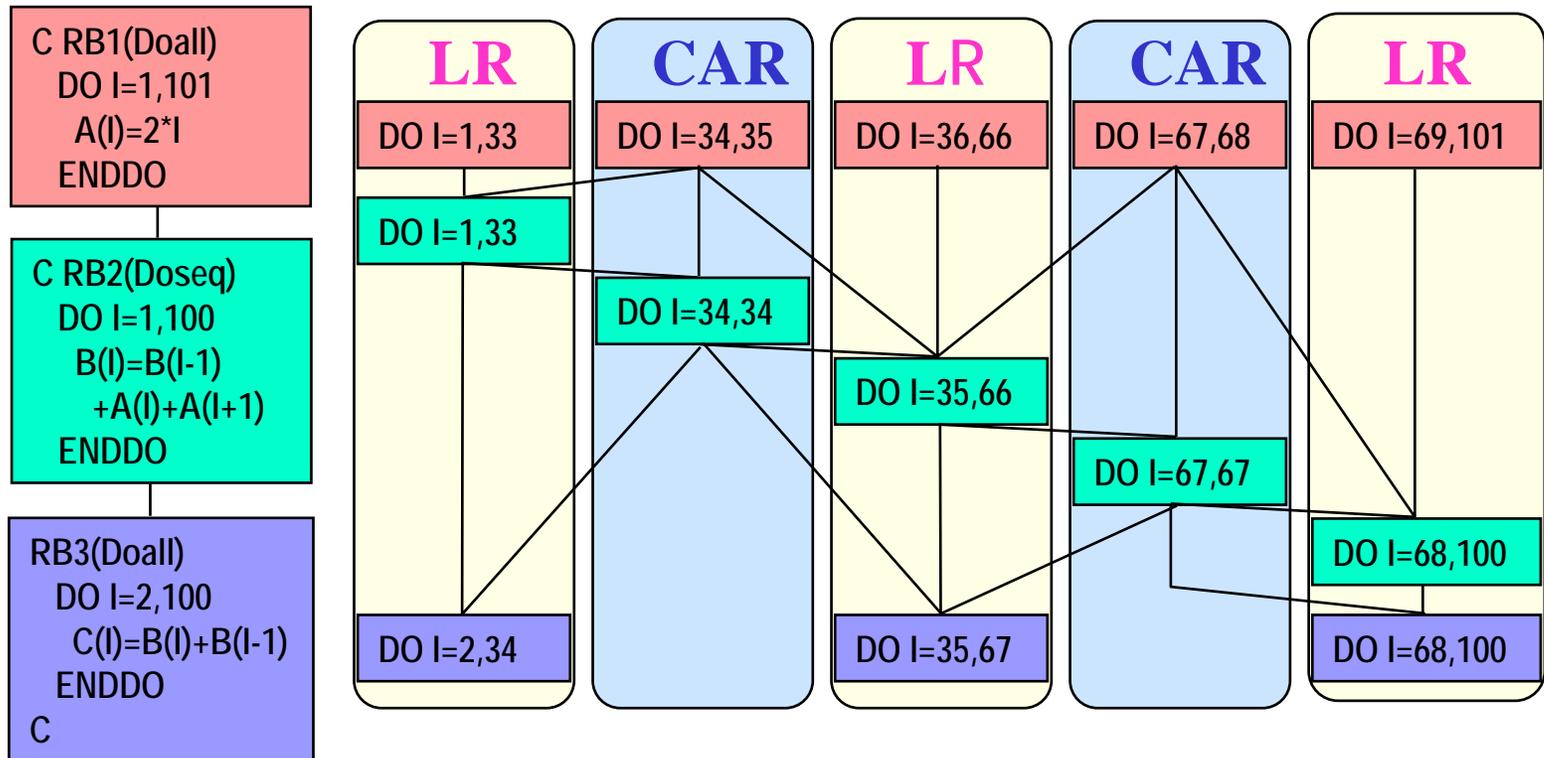


■ DOALL ■ Sequential LOOP ■ SB ■ BB

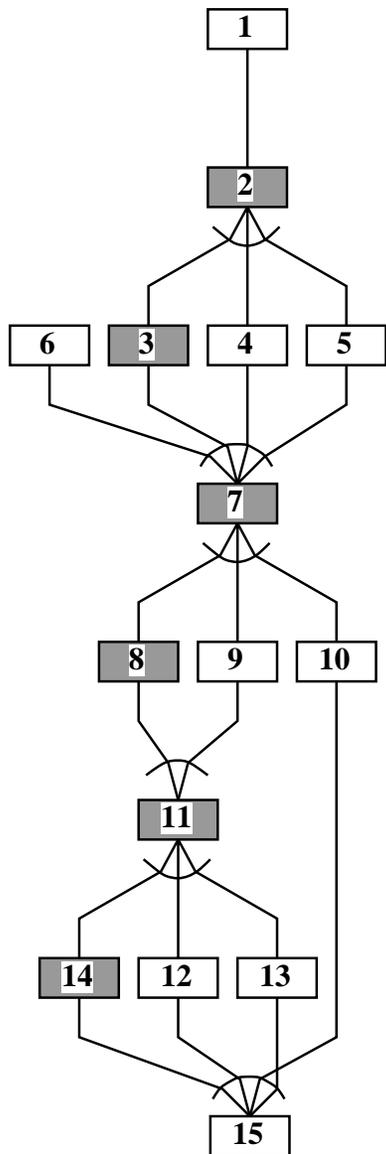
Data-Localization

Loop Aligned Decomposition

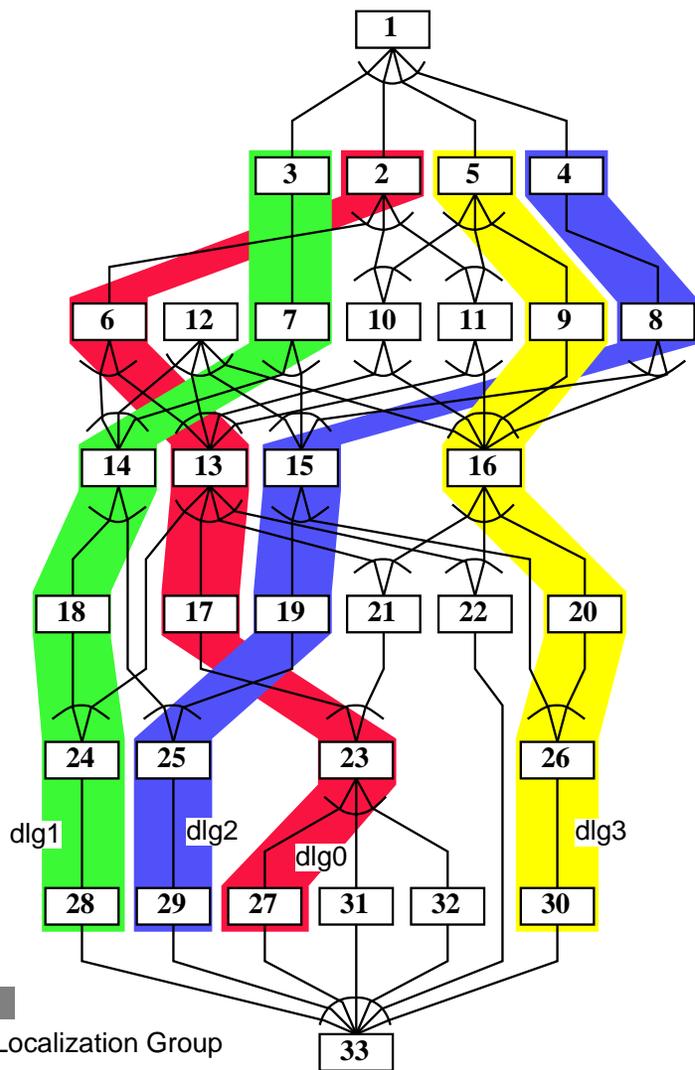
- Decompose multiple loop (Doall and Seq) into **CARs** and **LRs** considering inter-loop data dependence.
 - Most data in **LR** can be passed through LM.
 - LR: Localizable Region, CAR: Commonly Accessed Region**



データローカライゼーションのイメージ



MTG



4分割後のMTG

PE0	PE1
12	1
2	3
6	7
4	14
8	18
15	5
19	9
25	11
29	10
13	16
17	20
22	26
21	30
23	24
27	28
	32
	31

2プロセッサへの割り当て

An Example of Data Localization for Spec95 Swim

```

DO 200 J=1,N
DO 200 I=1,M
  UNEW(I+1,J) = UOLD(I+1,J)+
1  TDTS8*(Z(I+1,J+1)+Z(I+1,J))*(CV(I+1,J+1)+CV(I,J+1)+CV(I,J)
2  +CV(I+1,J))-TDTSDX*(H(I+1,J)-H(I,J))
  VNEW(I,J+1) = VOLD(I,J+1)-TDTS8*(Z(I+1,J+1)+Z(I,J+1))
1  *(CU(I+1,J+1)+CU(I,J+1)+CU(I,J)+CU(I+1,J))
2  -TDTSDY*(H(I,J+1)-H(I,J))
  PNEW(I,J) = POLD(I,J)-TDTSDX*(CU(I+1,J)-CU(I,J))
1  -TDTSDY*(CV(I,J+1)-CV(I,J))
200 CONTINUE
  
```

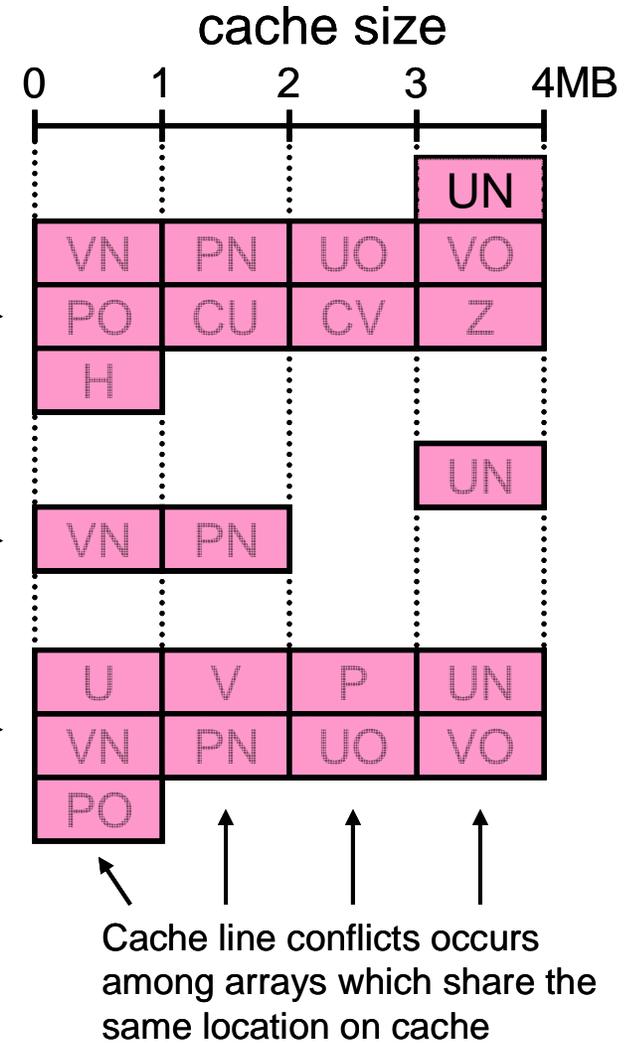
```

DO 210 J=1,N
  UNEW(1,J) = UNEW(M+1,J)
  VNEW(M+1,J+1) = VNEW(1,J+1)
  PNEW(M+1,J) = PNEW(1,J)
210 CONTINUE
  
```

```

DO 300 J=1,N
DO 300 I=1,M
  UOLD(I,J) = U(I,J)+ALPHA*(UNEW(I,J)-2.*U(I,J)+UOLD(I,J))
  VOLD(I,J) = V(I,J)+ALPHA*(VNEW(I,J)-2.*V(I,J)+VOLD(I,J))
  POLD(I,J) = P(I,J)+ALPHA*(PNEW(I,J)-2.*P(I,J)+POLD(I,J))
300 CONTINUE
  
```

(a) An example of target loop group for data localization



(b) Image of alignment of arrays on cache accessed by target loops

Data Layout for Removing Line Conflict Misses by Array Dimension Padding

Declaration part of arrays in spec95 swim

before padding

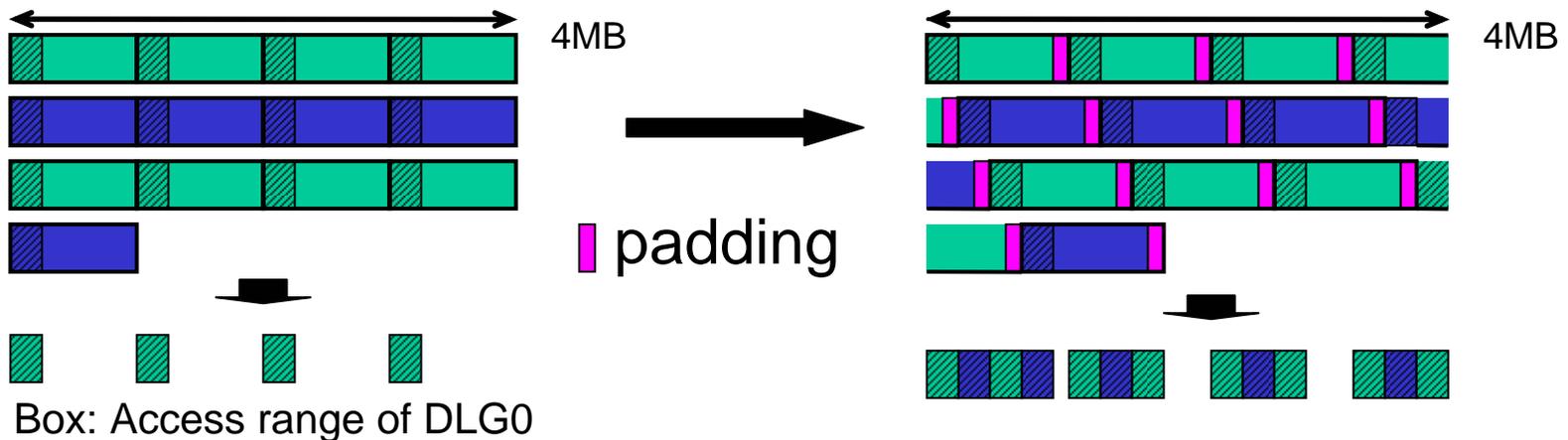
```
PARAMETER (N1=513, N2=513)

COMMON U(N1,N2), V(N1,N2), P(N1,N2),
*   UNEW(N1,N2), VNEW(N1,N2),
1   PNEW(N1,N2), UOLD(N1,N2),
*   VOLD(N1,N2), POLD(N1,N2),
2   CU(N1,N2), CV(N1,N2),
*   Z(N1,N2), H(N1,N2)
```

after padding

```
PARAMETER (N1=513, N2=544)

COMMON U(N1,N2), V(N1,N2), P(N1,N2),
*   UNEW(N1,N2), VNEW(N1,N2),
1   PNEW(N1,N2), UOLD(N1,N2),
*   VOLD(N1,N2), POLD(N1,N2),
2   CU(N1,N2), CV(N1,N2),
*   Z(N1,N2), H(N1,N2)
```



APC Compiler Organization

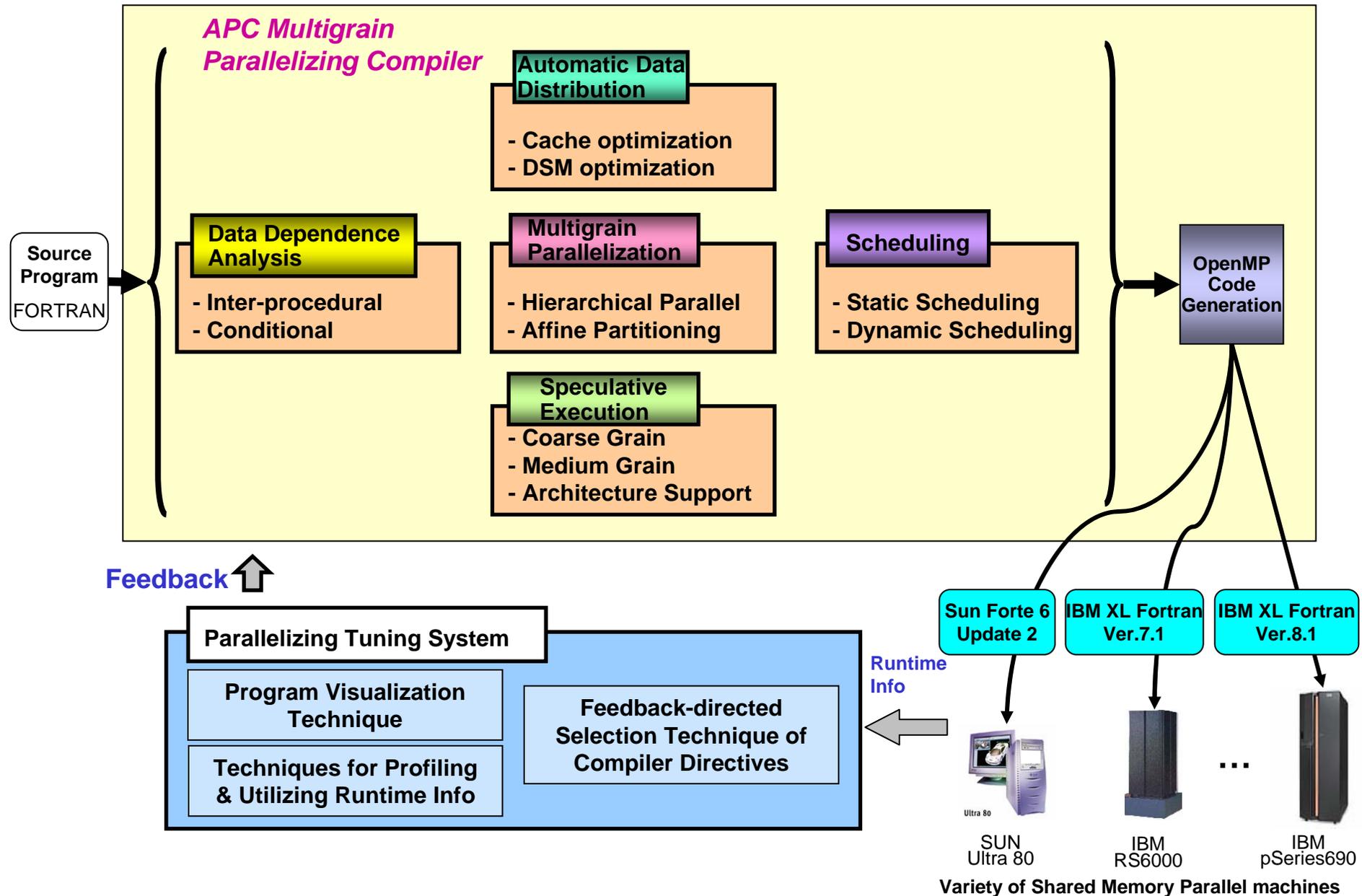
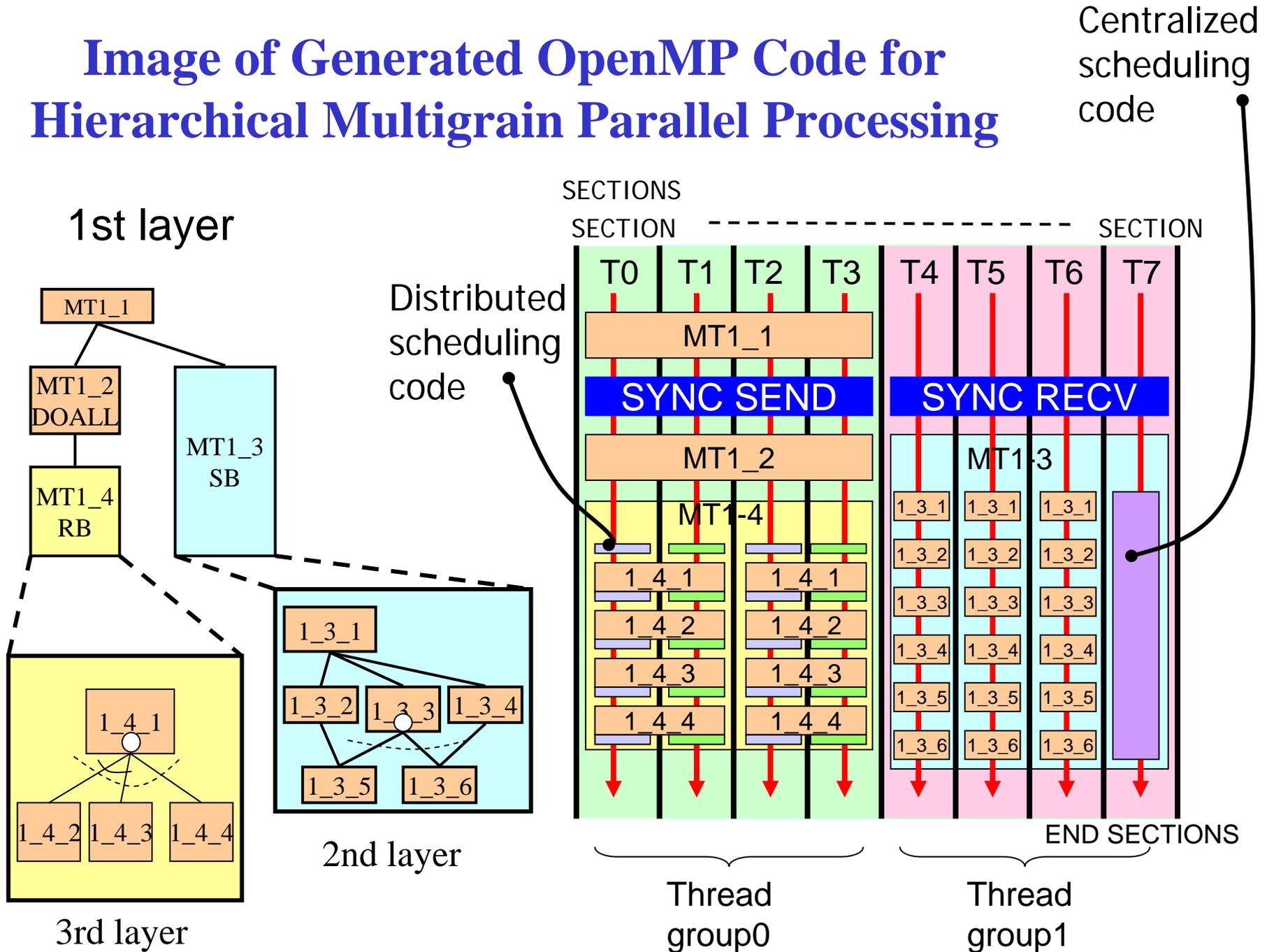


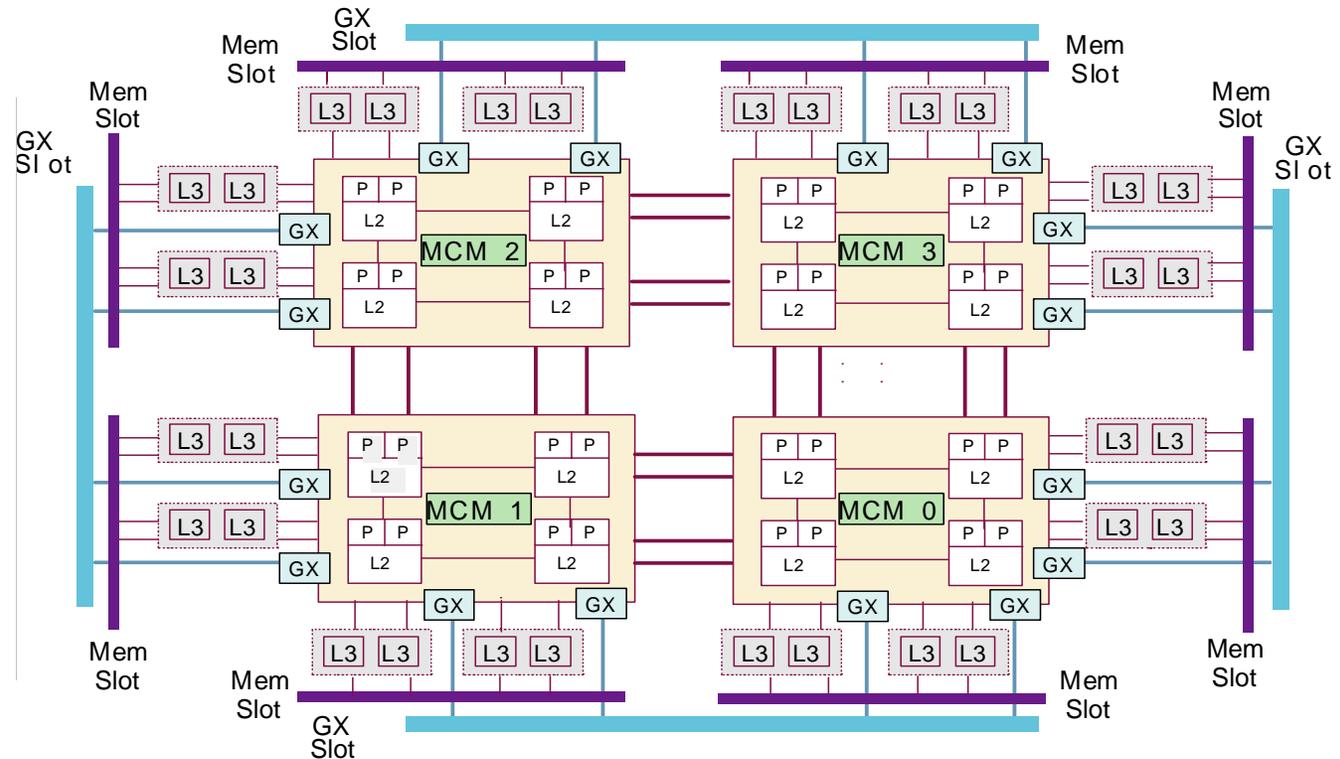
Image of Generated OpenMP Code for Hierarchical Multigrain Parallel Processing



IBM pSeries690 RegattaH

- Up to 16 Power4: 32 way SMP Server

- L1(D) : 64 KB (32KB/processor, 2 way assoc.), L1(I): 128 KB (64KB/processor, Direct map)
- L2 : 1.5 MB (shared cache with 2 procs., 4~8 way assoc.)
- L3 : 32 MB (external, 8 way assoc.) [x 8 = 256 MB]



Four 8-way MCM Features Assembled into a 32-way pSeries 690

http://www-1.ibm.com/servers/eserver/pseries/hardware/whitepapers/p690_config.html

IBM @server pSeries690 Configuring for Performance

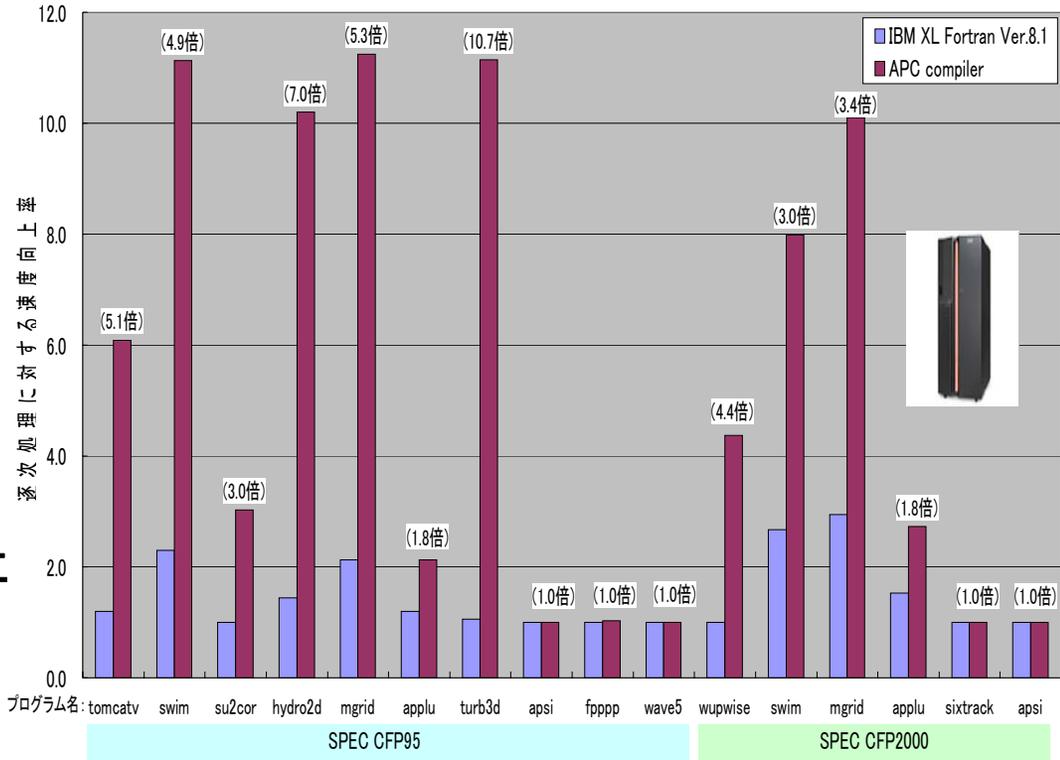
ミレニアムプロジェクトIT21

経済産業省/NEDO「アドバンスト並列化コンパイラ」

概要

- <リーダー> 早大 笠原博徳
<研究期間> 2000.9.8 – 2003.3.31
<連携機関> 早大、日立、富士通、産総研、日本情報処理開発協会等
<目標> 国内産業界の基幹ソフトウェア（並列化コンパイラ）技術を、世界のトップに押し上げる。
<結果> IBM最新高性能サーバ pSeries690 16プロセッサ上で世界標準科学技術計算ベンチマークに対し、**IBM最新コンパイラXL Fortran Ver.8.1に比べ平均3.5倍、最大10.7倍の高速化に成功。**

APCコンパイラの最新並列コンピュータIBM pSeries690(16プロセッサ)上での性能



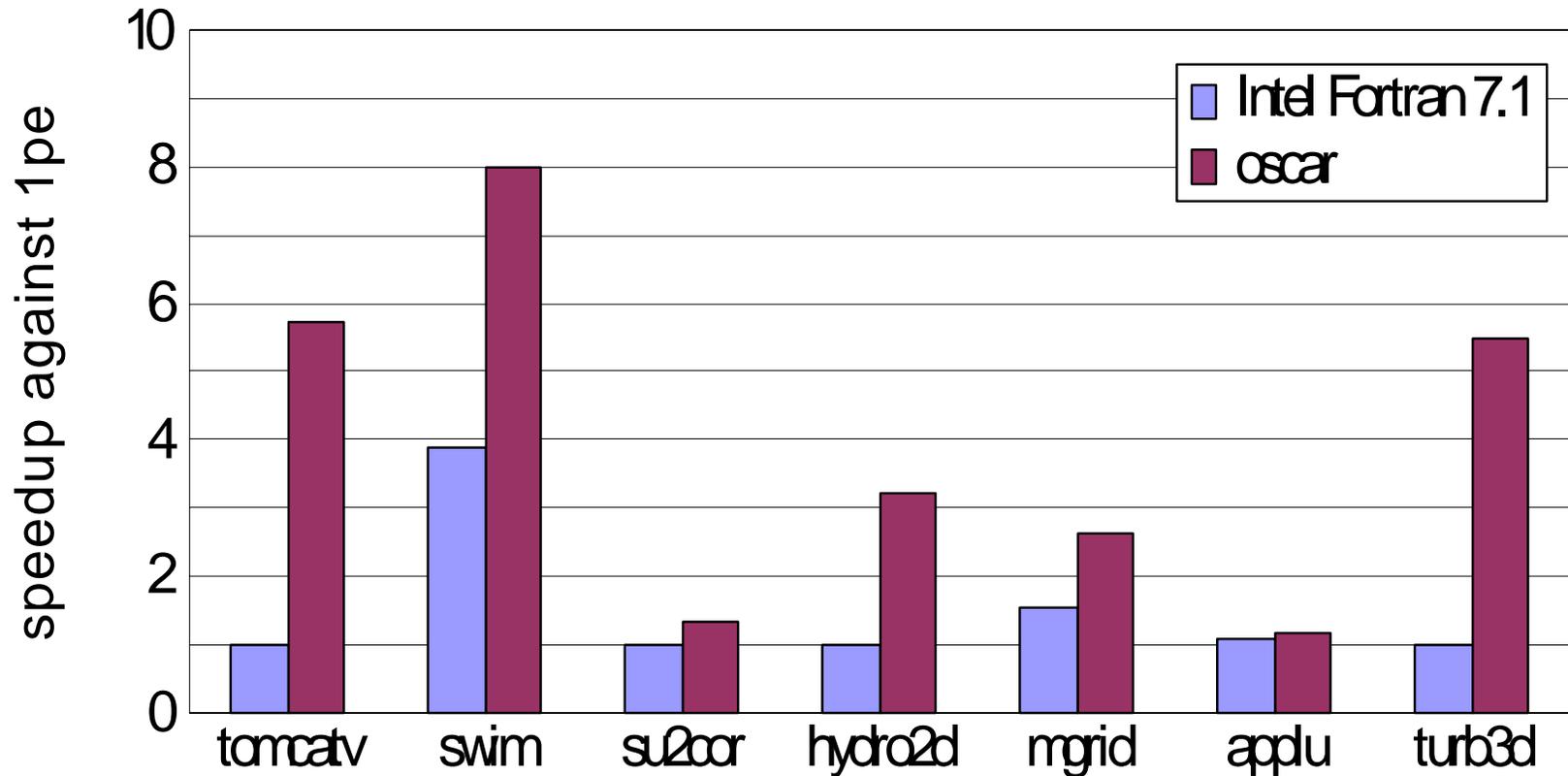
APCコンパイラの性能: 各計算の速度向上率を表す2本バーの内、左(青)はIBMコンパイラ、右(赤)はAPCコンパイラによる性能。

評価

- <世界からの評価> Stanford Univ. Univ. of Illinois, Purdue Univ. École des Mines de Paris
APCプロジェクトにより、**高性能コンピュータ用のソフトウェアで日本が世界一。**
<内閣府IT21評価助言会議>平成15年7月18日(評価抜粋)「**米国のこの分野のキーパーソンからも評価されており、米国を凌駕する並列コンパイラ技術を構築した**」

SGI Altix 3700

16 Itanium 2 (1.3GHz) SMP server
L1 16KB(4way), L2 256KB(8way), L3 3MB(12way)

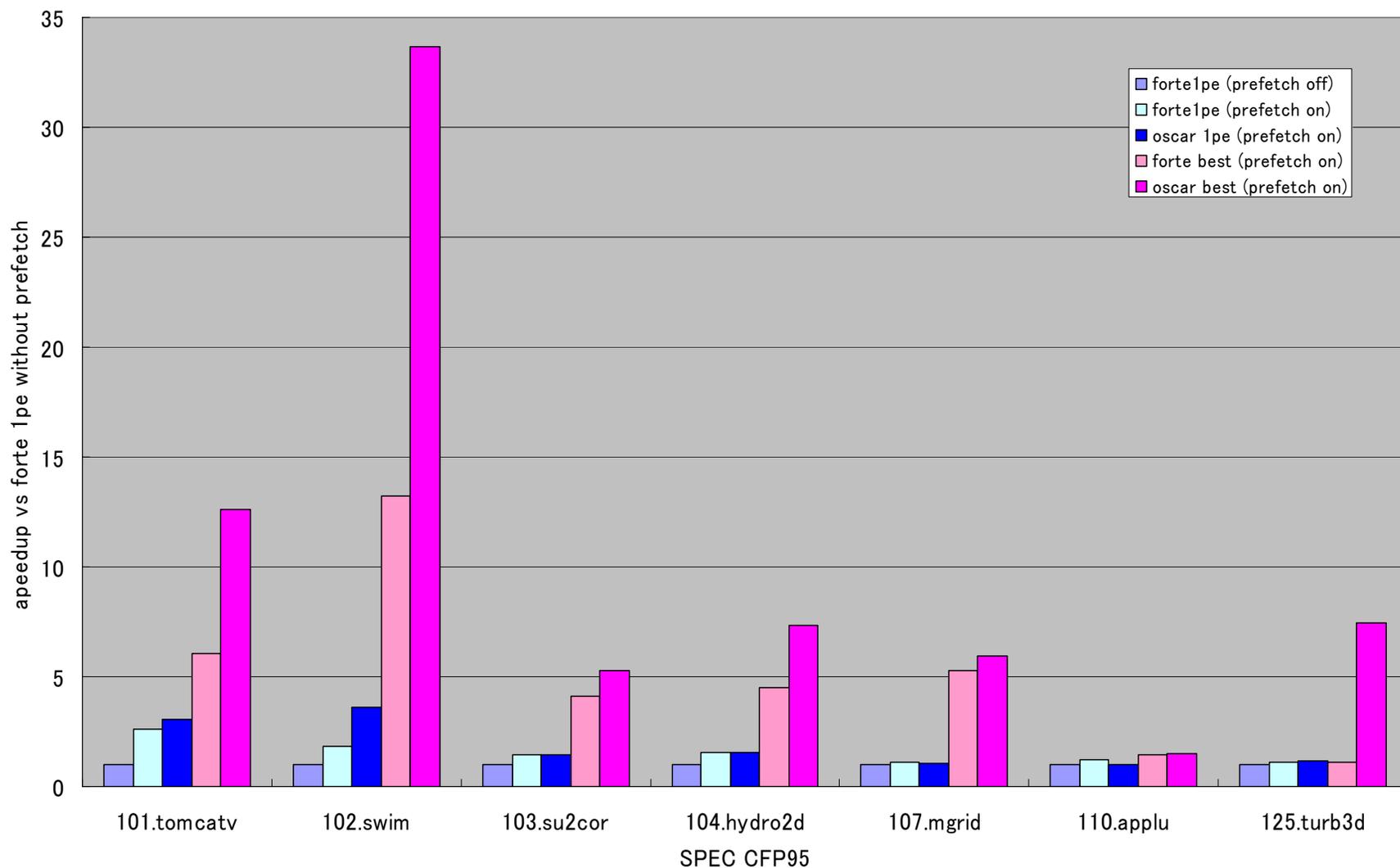


2.6 times speedup against Intel Fortran 7.1

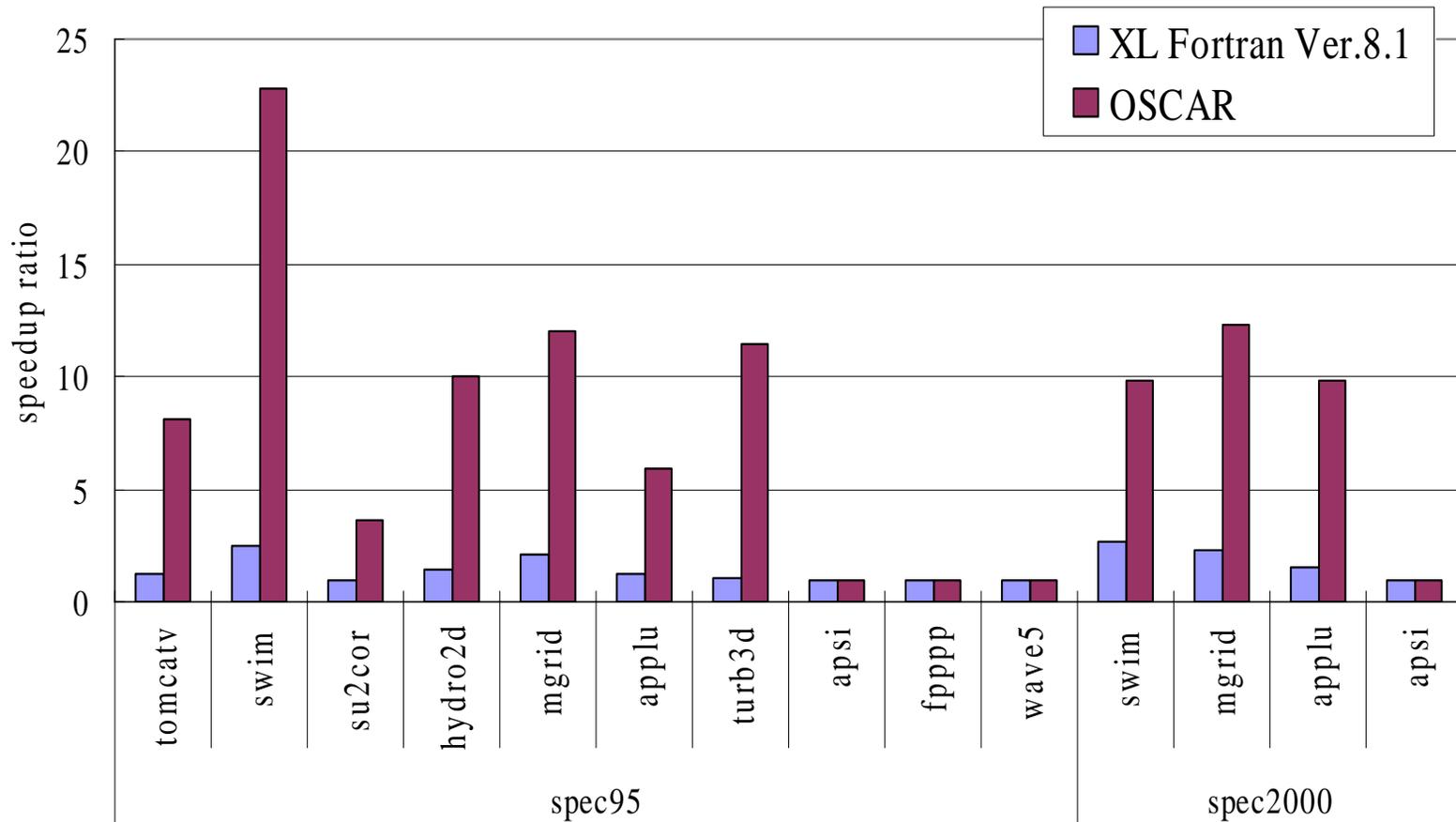
Sun V880サーバ上性能

データローカライゼーション+キャッシュプリフェッチ

Performance of OSCAR compiler on SUN V880 (8 Ultra SPARC III Cu 1050MHz)

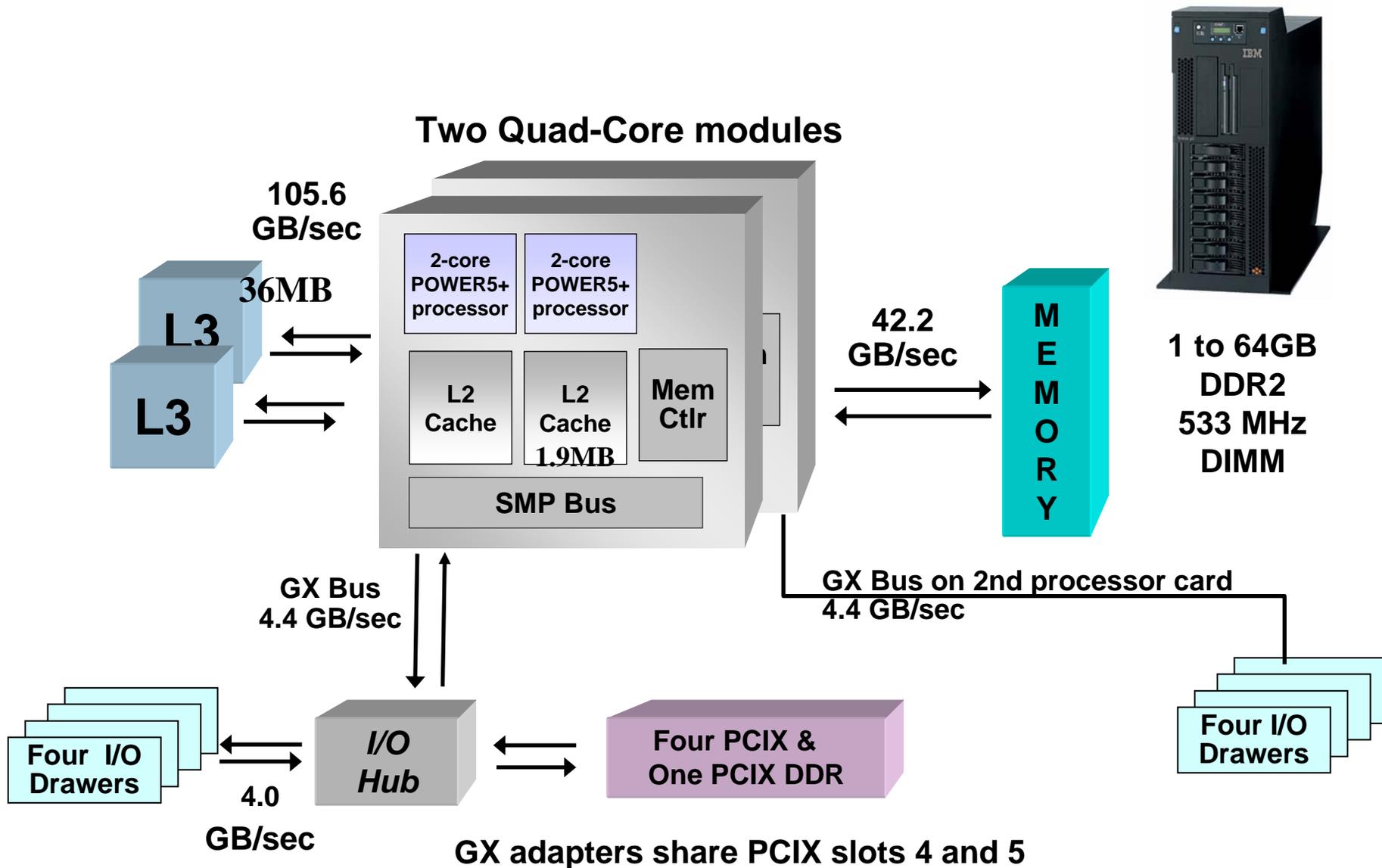


Performance on IBM pSeries690 Power4 24 processors SMP server



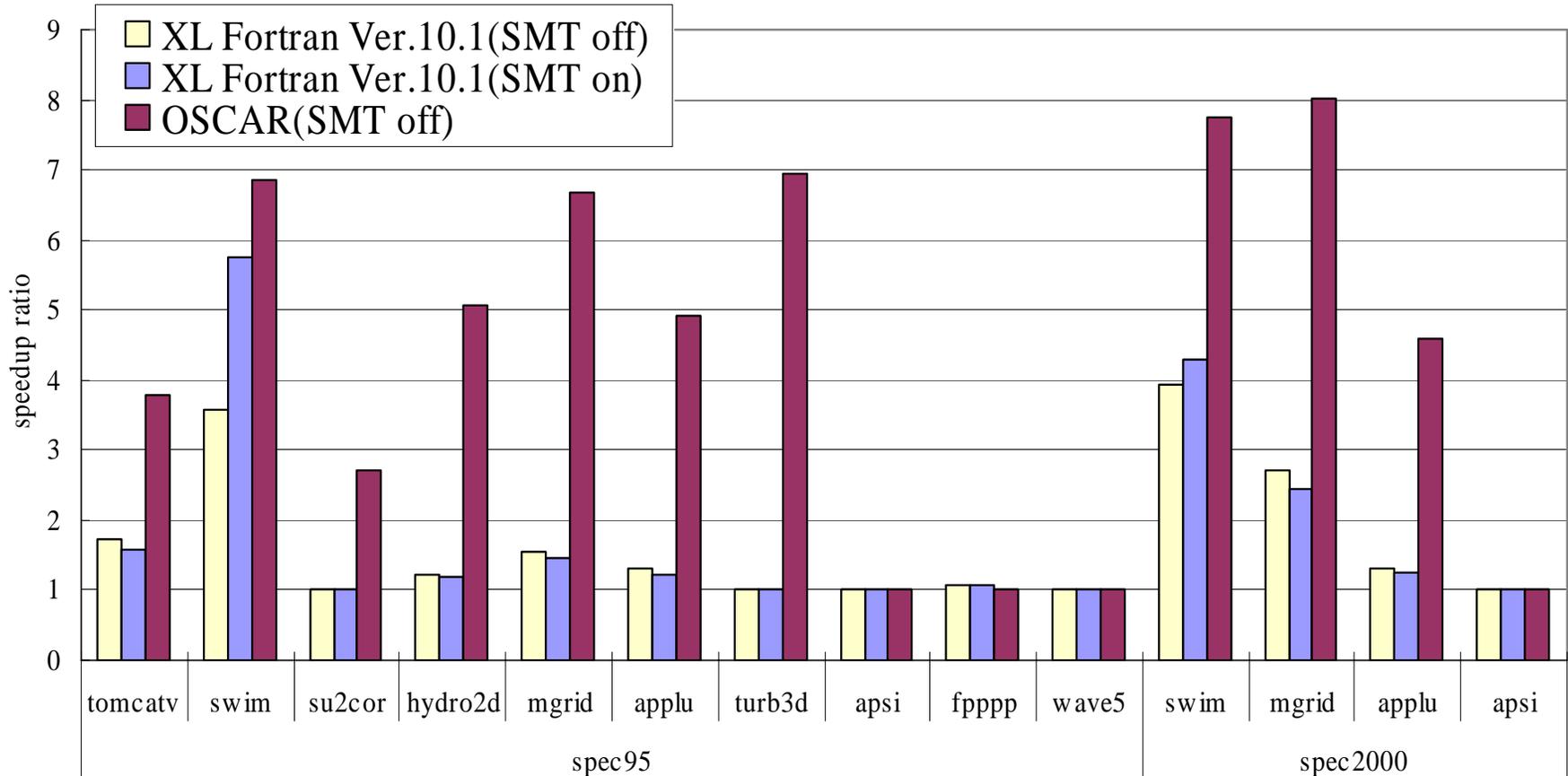
- OSCAR compiler gave us 4.82 times speedup against XL Fortran Ver.8.1

IBM p5-550Q server (1.5 or 1.65 GHz)



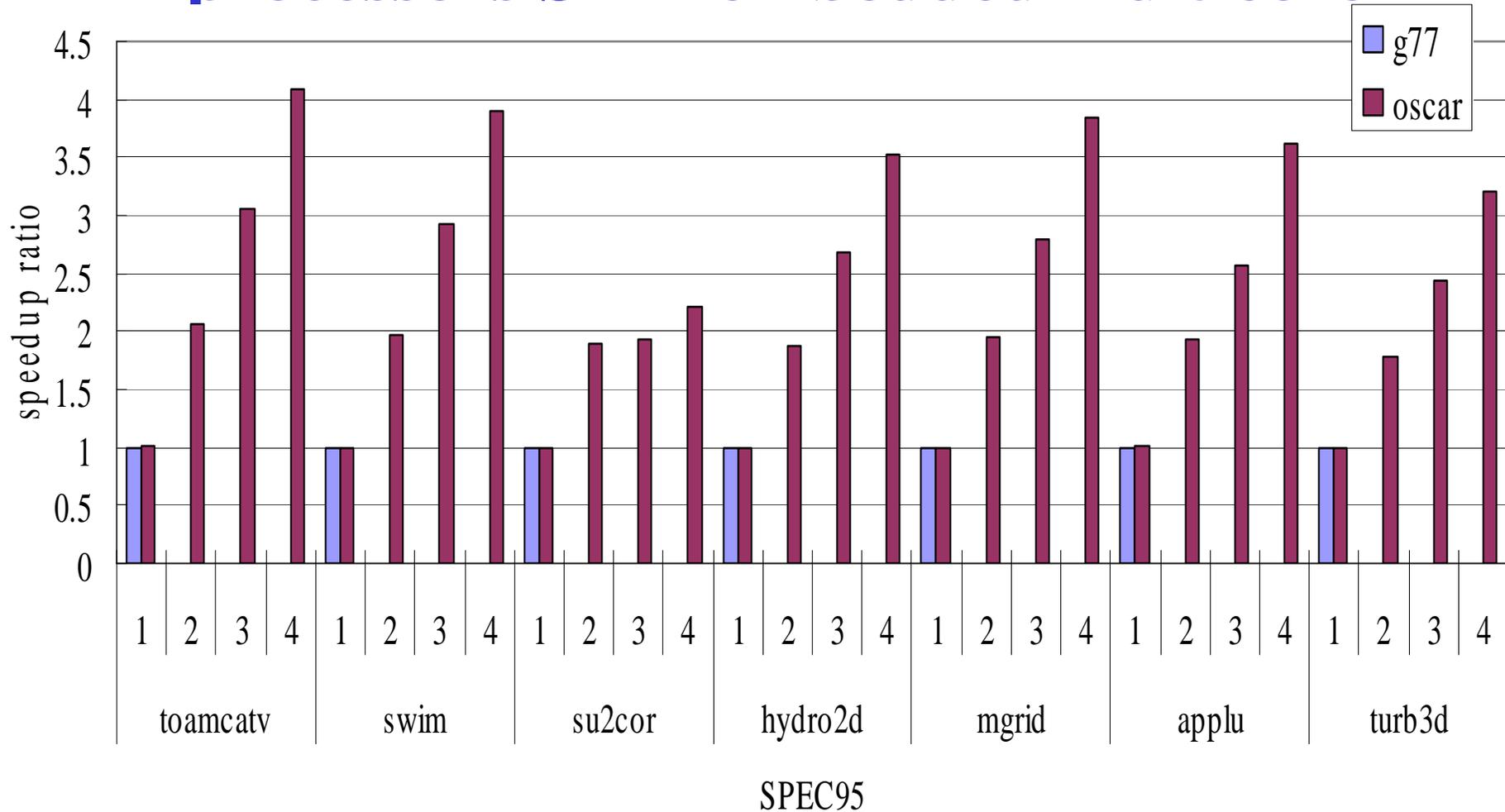
Performance on IBM p5 550

POWER5+ 8 processors SMP server



- OSCAR compiler
 - 2.74 times speedup against XL Fortran Ver.10.1 without SMT
 - 2.78 times speedup against XL Fortran Ver.10.1 with SMT

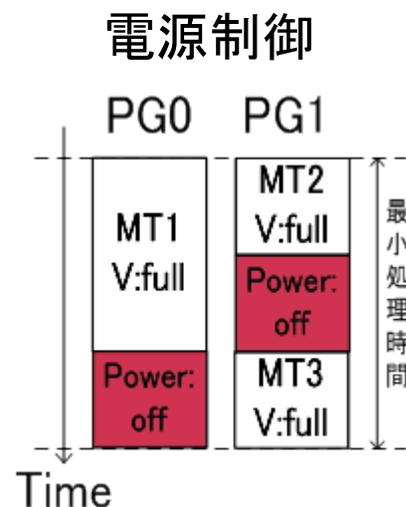
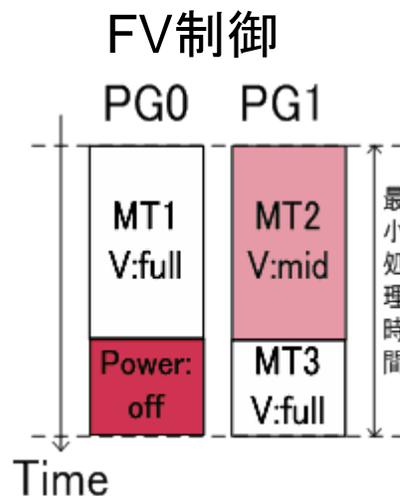
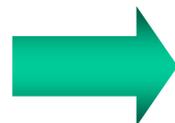
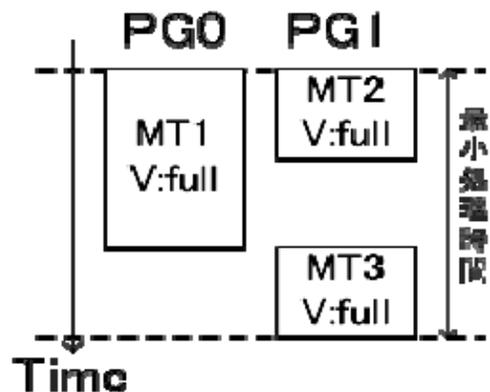
Performance on ARM/NEC MPCore 4 processors SMP embedded multicore



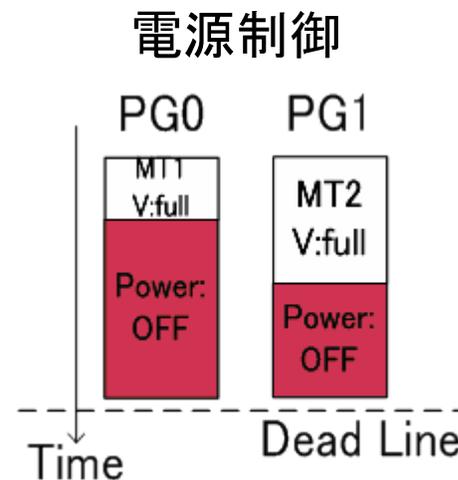
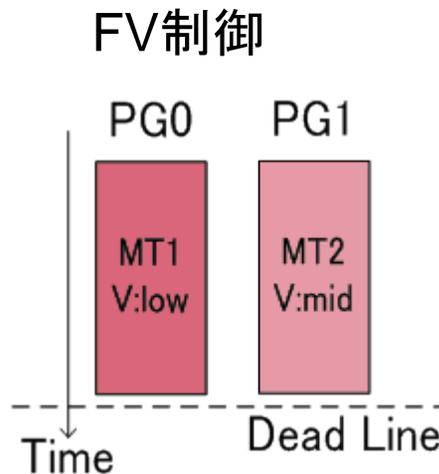
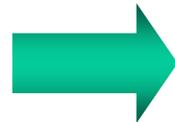
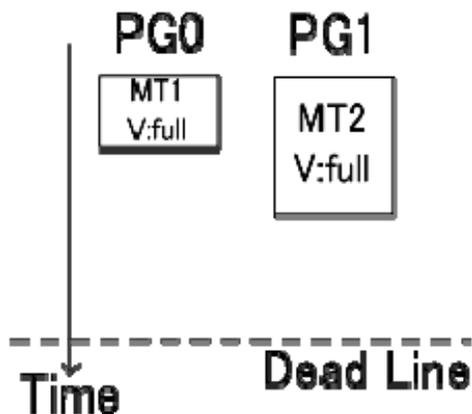
- **OSCAR compiler gave us 3.48 times speedup against sequential execution**

周波数電圧(FV)制御と電源制御による低消費電力化

- 処理ユニット負荷不均衡時の電源・周波数電圧制御
スケジューリング結果

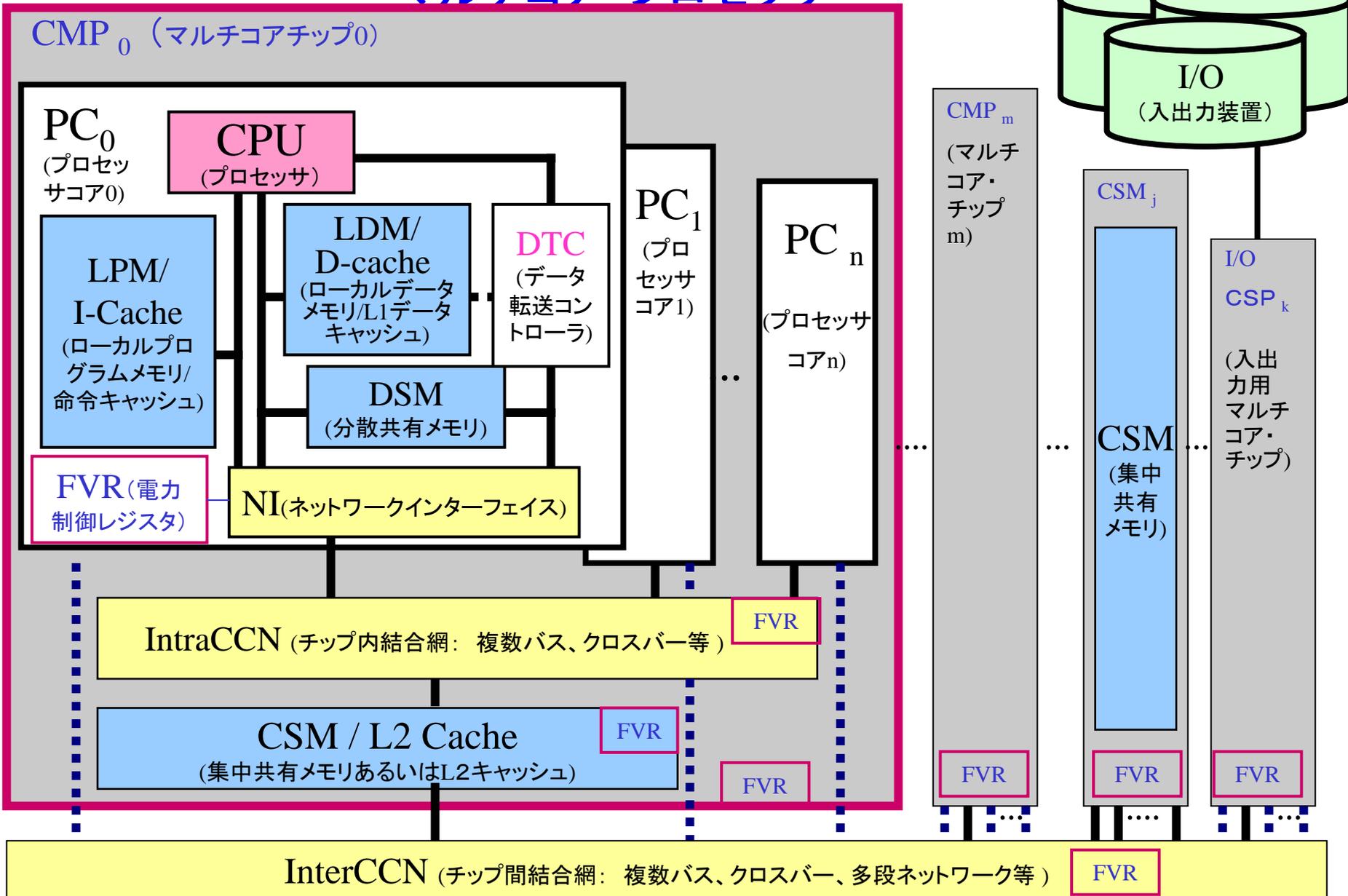


- デッドライン制約を考慮した電源・周波数電圧制御
スケジューリング結果



OSCAR(Optimally Scheduled Advanced Multiprocessor)

マルチコア・プロセッサ



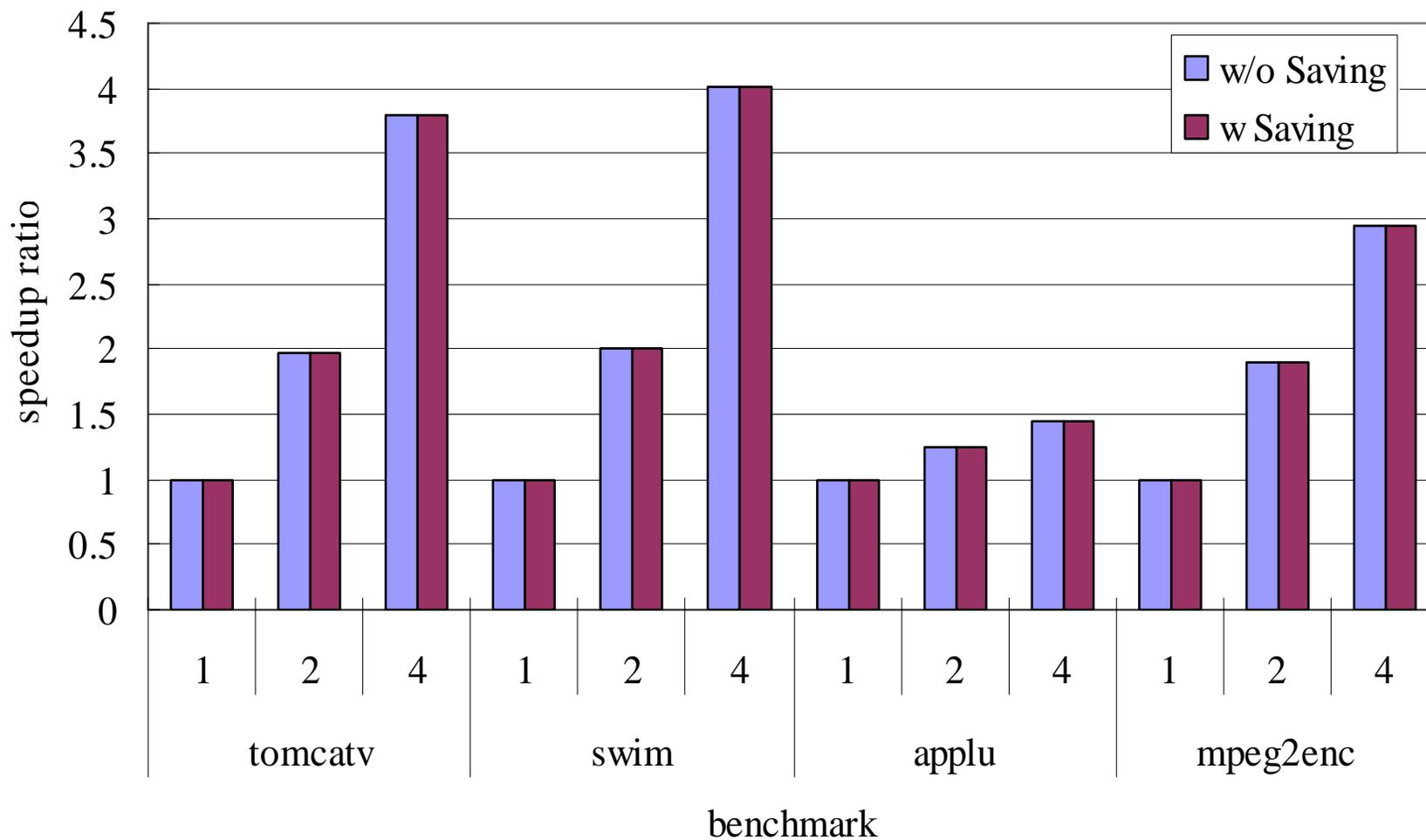
評価パラメータ設定

- 90nm、400 MHz を想定
- 通常電圧: 1.1 V
- 消費電力(CPUのみ、動作) : 220 mW
- 消費電力(CPUのみ、リーク) : 2.2 mW
- F-V状態

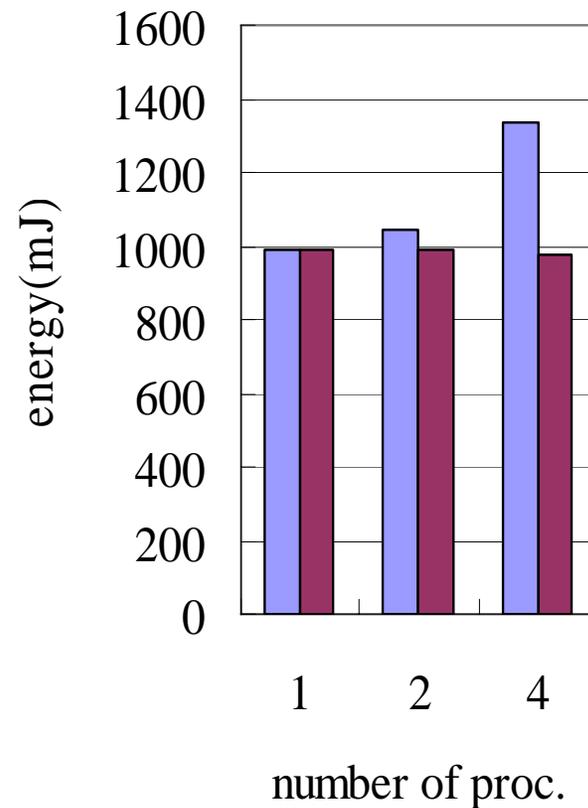
状態	FULL	MID	LOW	OFF
周波数	1	1 / 2	1 / 4	0
電圧	1	0.87	0.71	0
動作エネルギー	1	3 / 4	1 / 2	0
リーク電流	1	1	1	0

- F-V状態遷移時の遅延
 - 動作状態(FULL, MID, LOW)間の遷移 : 100 μ s
 - ON/OFF 間の遷移 : 200 μ s
- コンパイラ内での電力見積もり結果を算出
- Spec95FP tomcatv, swim, applu を評価

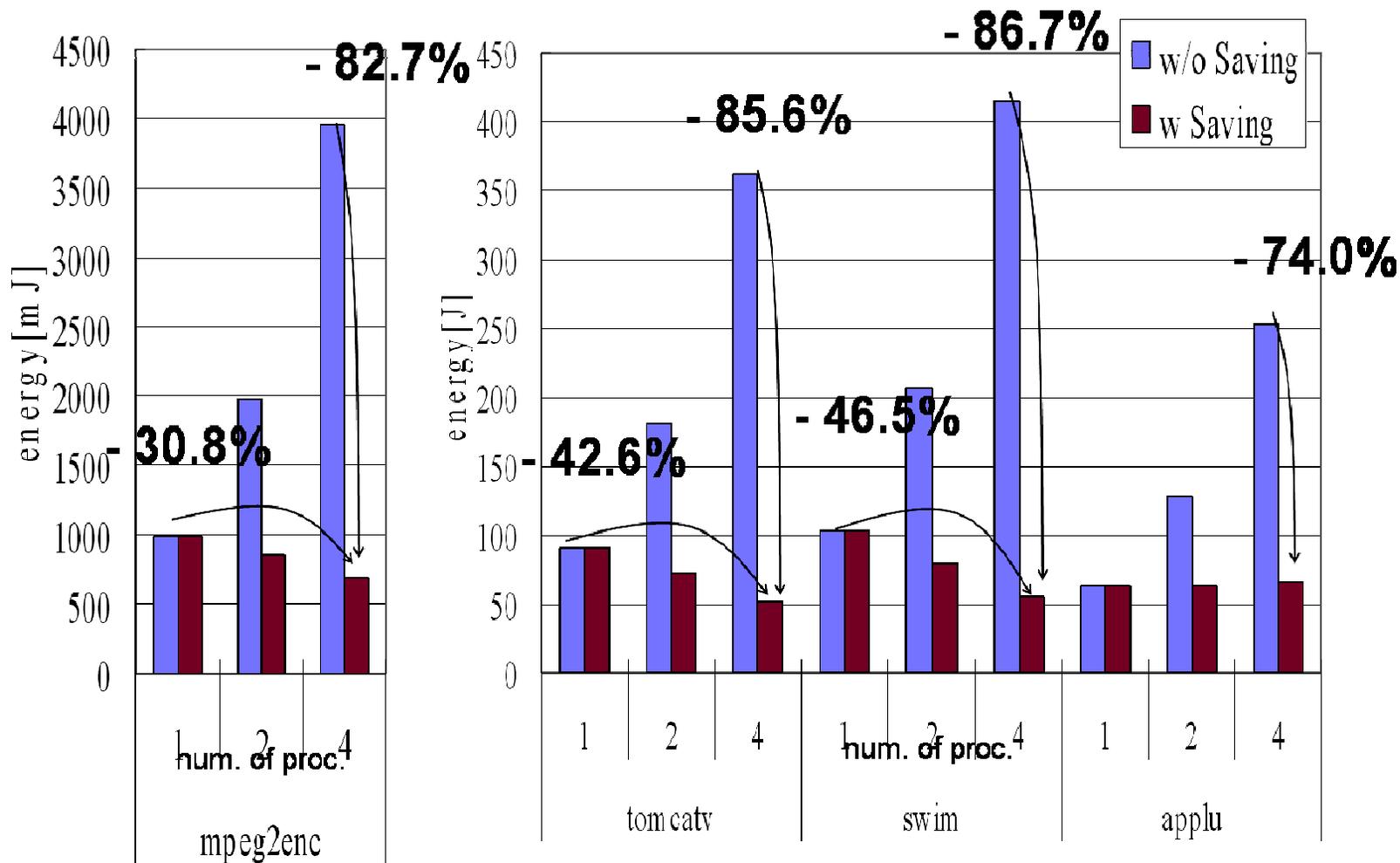
最速実行モードの速度向上率



最速実行時モード時のコンパイラ制御による消費エネルギー削減

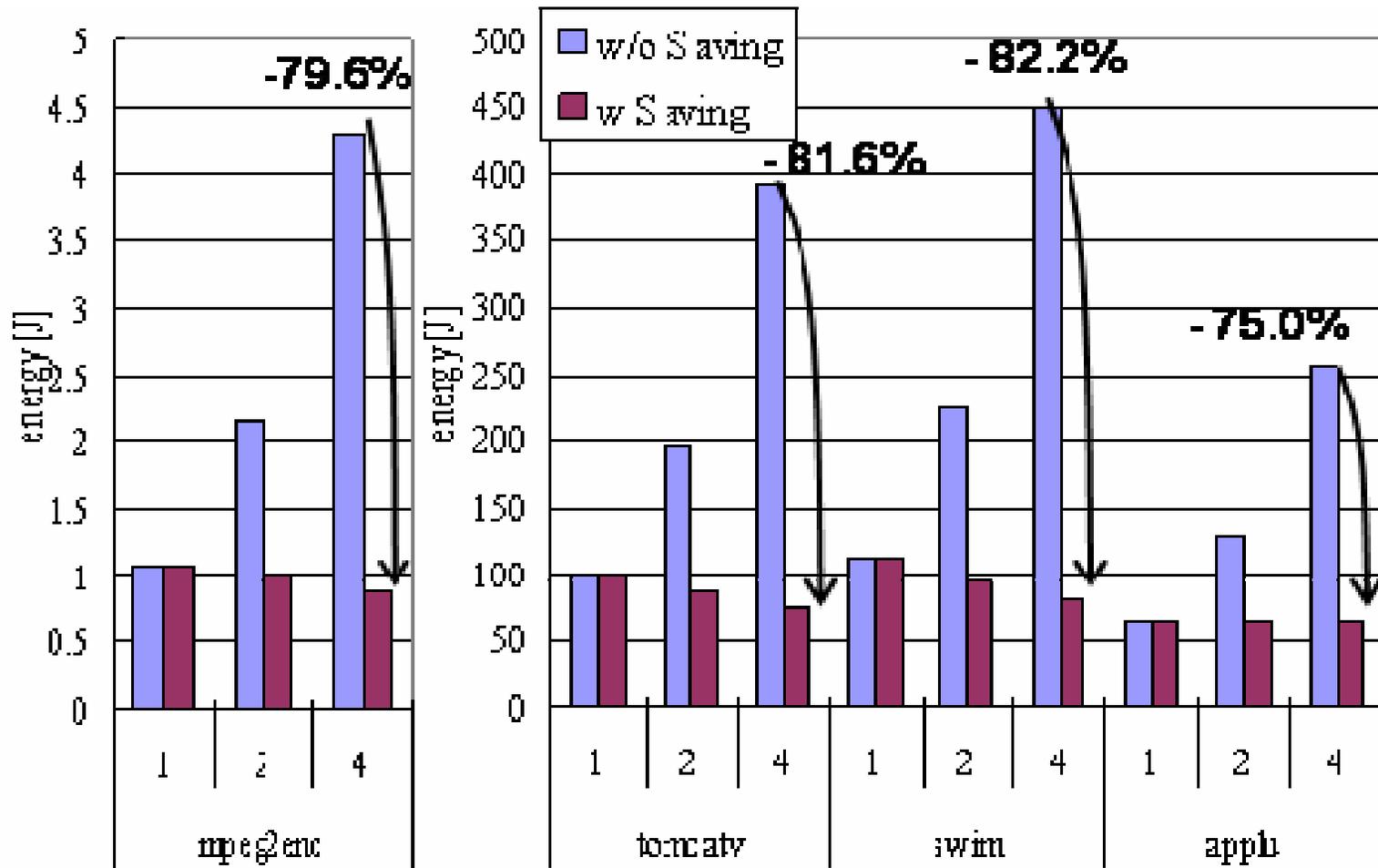


リアルタイム実行時のコンパイラ制御による消費エネルギーの削減



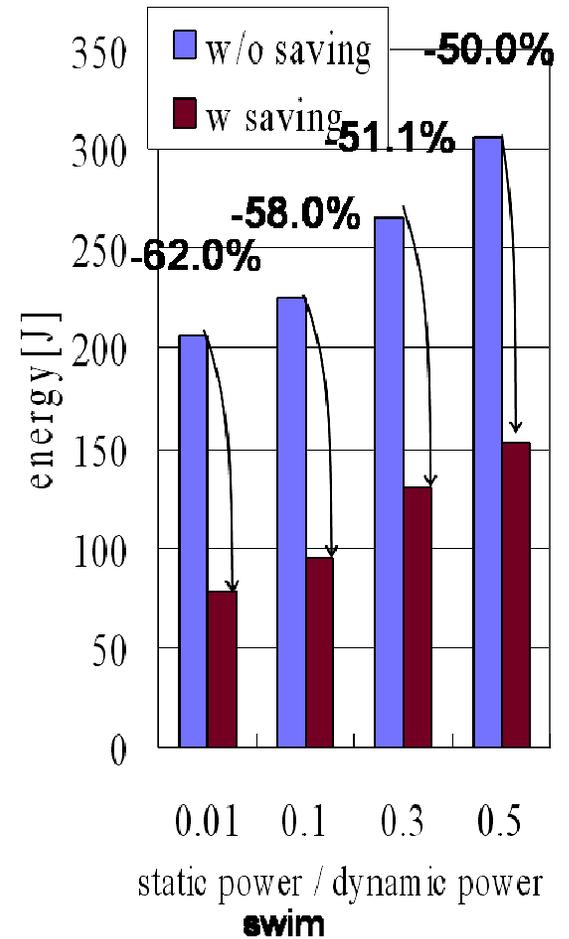
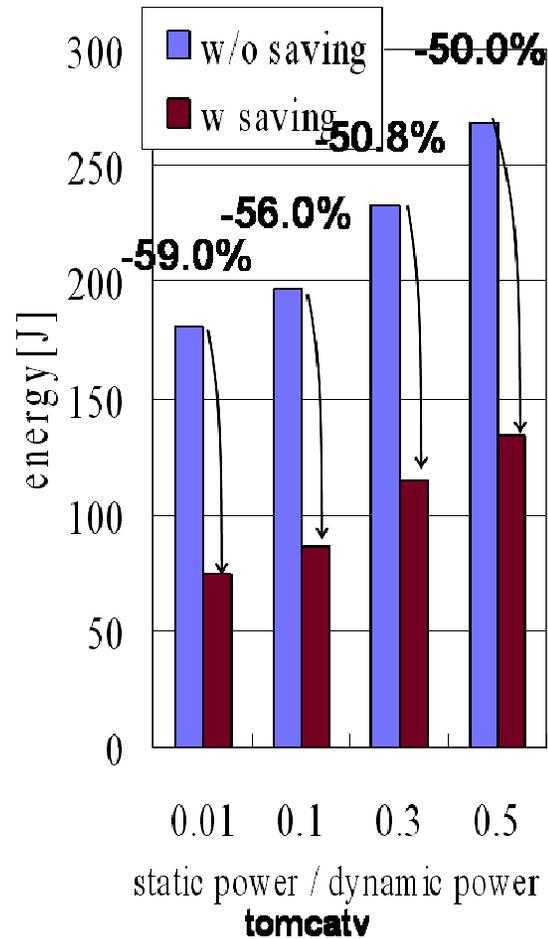
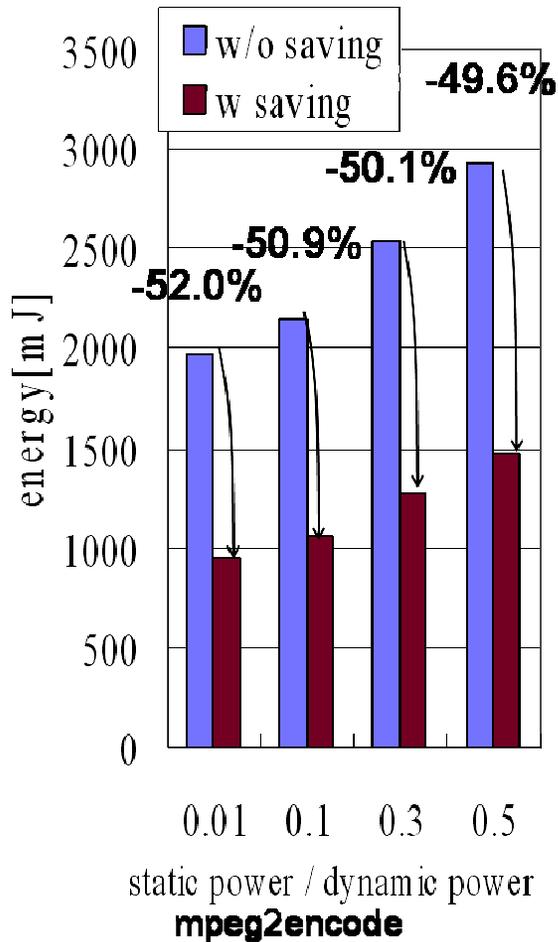
・ デッドライン = 逐次処理時間 × 1.0 リーク電力1%

リアルタイム実行時のコンパイラ制御による消費エネルギー削減



コンパイラ制御によるリアルタイム処理時の低消費電力化(4core, リーク10%)

リーク電力を変化させたコンパイラ 消費電力制御手法の効果



・ デッドライン = 逐次処理時間 × 0.5

・ 4 プロセッサコア

まとめ

- 今後、ゲーム、カーナビ、デジタルTV、DVDなどの情報家電から、自動車、スーパーコンピュータまでの幅広い分野でコンパイラ協調型・低消費電力・高実効性能マルチコアプロセッサの重要度が高まる。
- **自動並列化コンパイラは下記実現のために必須**
 - 優れた価格性能、短ハード・ソフト開発期間、低消費電力
 - 高ソフトウェア生産性、集積度向上にスケーラブルな性能向上
- **コンパイラによる低消費電力制御**
 - MPEG2エンコードにおいて逐次処理時間をデッドラインとした場合、4コア使用時に82.7%消費エネルギーを削減 (リーク電力1%時)
 - MPEG2エンコード、SPC95CFP TOMCATV、SWIM、APPLU において逐次処理時間の1/2をデッドラインとし、リーク電力を1%から50%まで変化させた場合、4コア時で62.0~49.6%消費エネルギーを削減
- **MPCore上でのマルチグレイン並列処理**
 - SPEC95CFPベンチマーク(データサイズ縮小版)7本を用いた場合逐次処理に対して平均3.48倍の速度向上