

メニーコアプロセッサのための 自動並列化・電力制御コンパイラとAPI

早稲田大学

理工学術院基幹理工学部情報理工学科 教授
アドバンスト・マルチコア・プロセッサ研究所 所長

IEEE Computer Society理事

笠原博徳

1985年 早稲田大学博士課程了 工学博士
カリフォルニア大学バークレー客員研究員
1986年 早大理工専任講師, 1988年 助教授
1997年 教授、現在 理工学術院情報理工学科
1989年～1990年 イリノイ大学Center for
Supercomputing R&D客員研究員
2009年 IEEE Computer Society 理事

1987年 IFAC World Congress Young Author Prize
1997年 情報処理学会坂井記念特別賞
2005年 STARC(半導体理工学研究センタ)共同研究賞
2008年 LSI・オブ・ザ・イヤー 2008 準グランプリ
2008年 Intel Asia Academic Forum Best Research Award
2010年IEEE Computer Society Golden Core Member

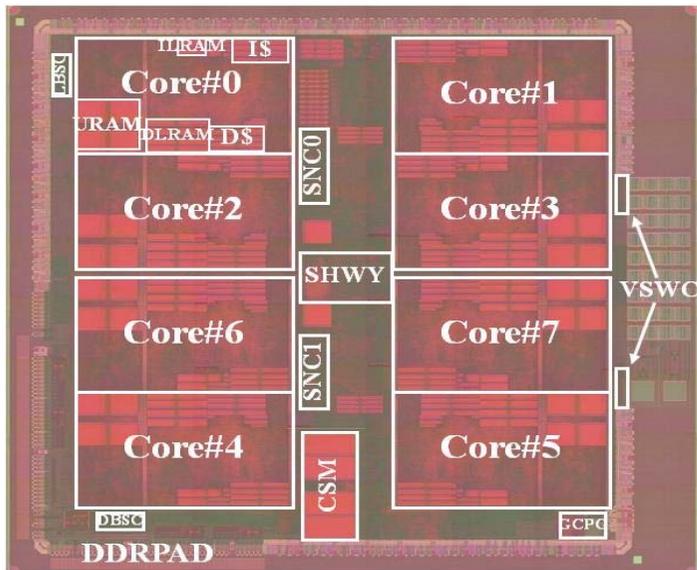
査読付論文 189件, 招待講演104件, シンポジウム論文 29件,
研究会論文 134件, 全国大会論文 154件, 特許 32件
新聞・Web記事・TV等メディア掲載 443件

政府・学会委員等歴任数 226件

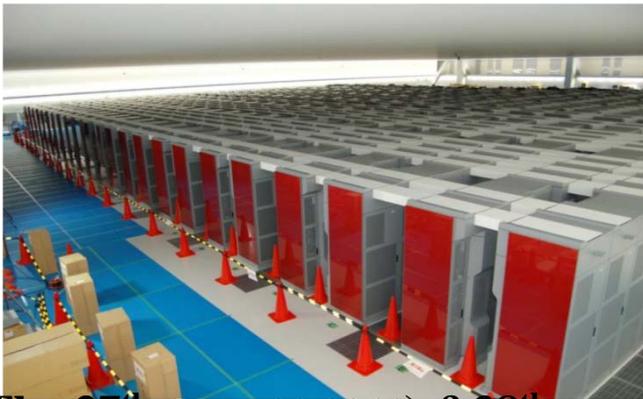
【経済産業省・NEDO】 情報家電用マルチコア及びコンパイラ等国家プロジェクトリーダー、NEDOコンピュータ戦略(ロードマップ)委員長、「グリーンネットワーク・システムプロジェクト(グリーンITプロジェクト)」技術委員長 **【内閣府】** スーパーコンピュータ戦略委員会、政府調達苦情検討委員、**【文部科学省・JST・JSPS・JAXA・原子力機構・海洋研】**地球シミュレータ(ES)評価委員、情報科学技術委員、HPCI計画推進委員、次世代スパコン(京)中間評価委員・概念設計評価委員、ES2導入技術アドバイザー委員、IEEE、情報処理学会、ACM Conf.PC、高校生科学技術チャレンジ審査委員

Multi/Many-core Everywhere

Multi-core from embedded to supercomputers



OSCAR Type Multi-core Chip by Renesas in METI/NEDO Multicore for Real-time Consumer Electronics Project (Leader: Prof.Kasahara)



The 37th (Nov. 20,2011) & 38th (Nov.14.2011) **Top 500 No.1**, Riken Fujitsu “K” **705,024 cores**
Peak **11.28 PFLOPS**, (88,128procs)
LINPACK **10.510 PFLOPS** (93.2%)

➤ Consumer Electronics (Embedded)

Mobile Phone, Game, TV, Car Navigation, Camera,

IBM/ Sony/ Toshiba Cell, Fujitsu FR1000,

Panasonic Uniphier, NEC/ARM MPCore/MP211/NaviEngine,

Renesas 4 core RP1, 8 core RP2, 15core Hetero RP-X,

Plurality HAL 64(Marvell), Tiler Tile64/ -Gx100(->1000cores),

DARPA UHPC (2017: 80GFLOPS/W)

➤ PCs, Servers

Intel Quad Xeon, Core 2 Quad, Montvale, Nehalem(8cores),

Larrabee(32cores), SCC(48cores), Night Corner(50 core+:22nm),

AMD Quad Core Opteron (8, 12 cores)

➤ WSs, Deskside & Highend Servers

IBM(Power4,5,6,7), Sun (SparcT1,T2), Fujitsu SPARC64fx8

➤ Supercomputers

Earth Simulator:**40TFLOPS**, 2002, 5120 vector proc.

BG/Q (A2:16cores) Water Cooled20PFLOPS, 3-4MW (2011-12),

BlueWaters(HPCS) Power7, 10 PFLOP+(2011.07),

Tianhe-1A (4.7PFLOPS,6coreX5670+ Nvidia Tesla M2050),

Godson-3B (1GHz40W 8core128GFLOPS) -T (64 core,192GFLOPS:2011)

RIKEN Fujitsu “K” 10PFLOPS(8core SPARC64VIIIx, 128GFLOPS)

High quality application software, Productivity, Cost performance, Low power consumption are important

Ex, Mobile phones, Games

Compiler cooperated multi-core processors are promising to realize the above futures

グリーン・コンピューティング・システム研究開発センター 概要

2011年4月13日竣工, 2011年5月13日開所(記念シンポジウム)

経済産業省「2009年度産業技術研究開発施設整備費補助金」
先端イノベーション拠点整備事業

＜目標＞

太陽電池で駆動可能で
冷却ファンが不要な

超低消費電力・高性能マルチコア/
メニーコアプロセッサ*のハードウェア、
ソフトウェア、応用技術の研究開発

*1チップ上に多数のプロセッサコアを
集積する次世代マルチコアプロセッサ

＜産学連携＞

日立,富士通,ルネサス,NEC,トヨタ,
デンソー,オリンパス,
三菱電機(重粒子線ガン治療)等

＜波及効果＞

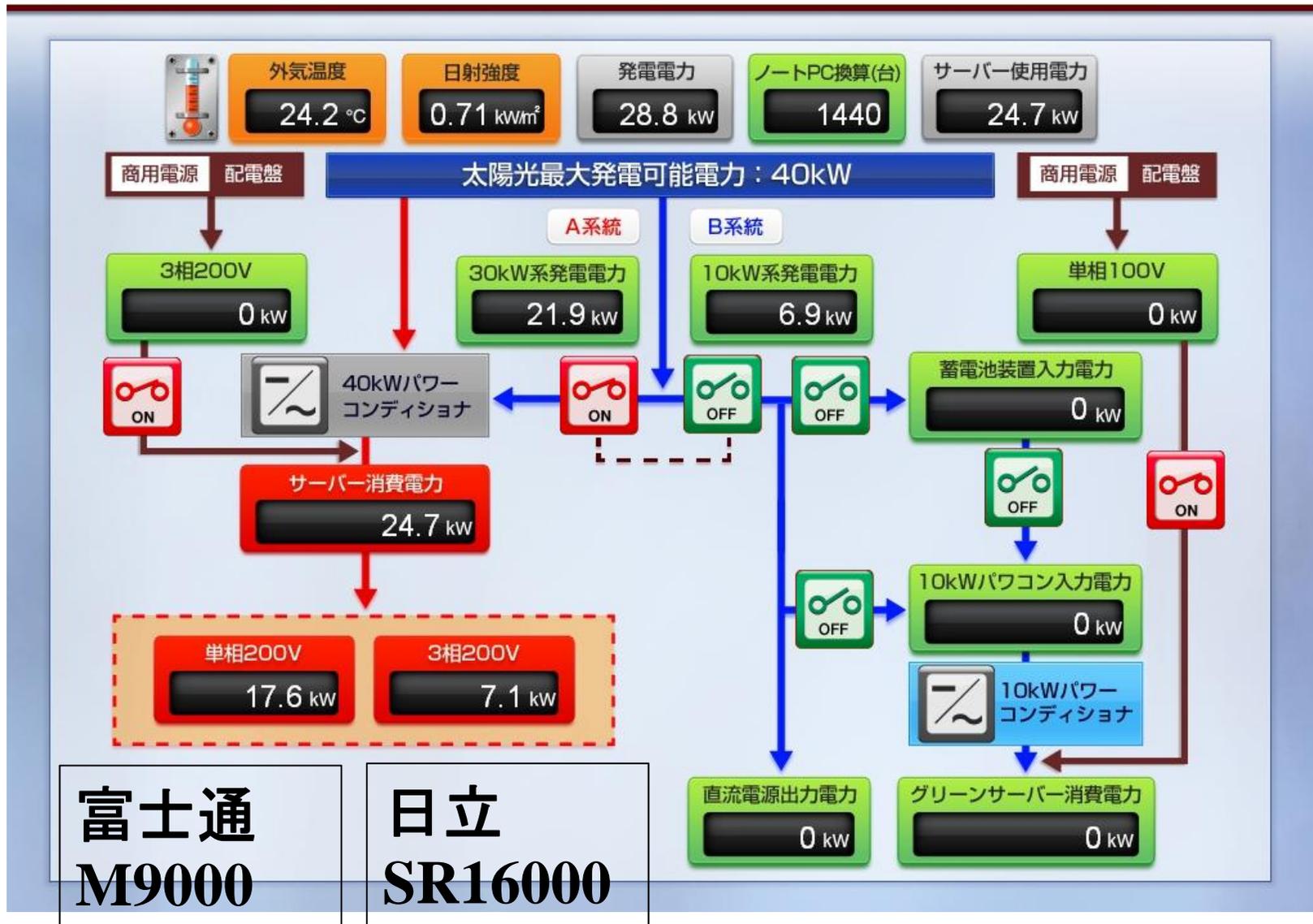
超低消費電力メニーコア

- CO₂排出量削減
- サーバ国際競争力強化
- 我が国の産業利益を支える
情報家電,自動車等の高付加価値化



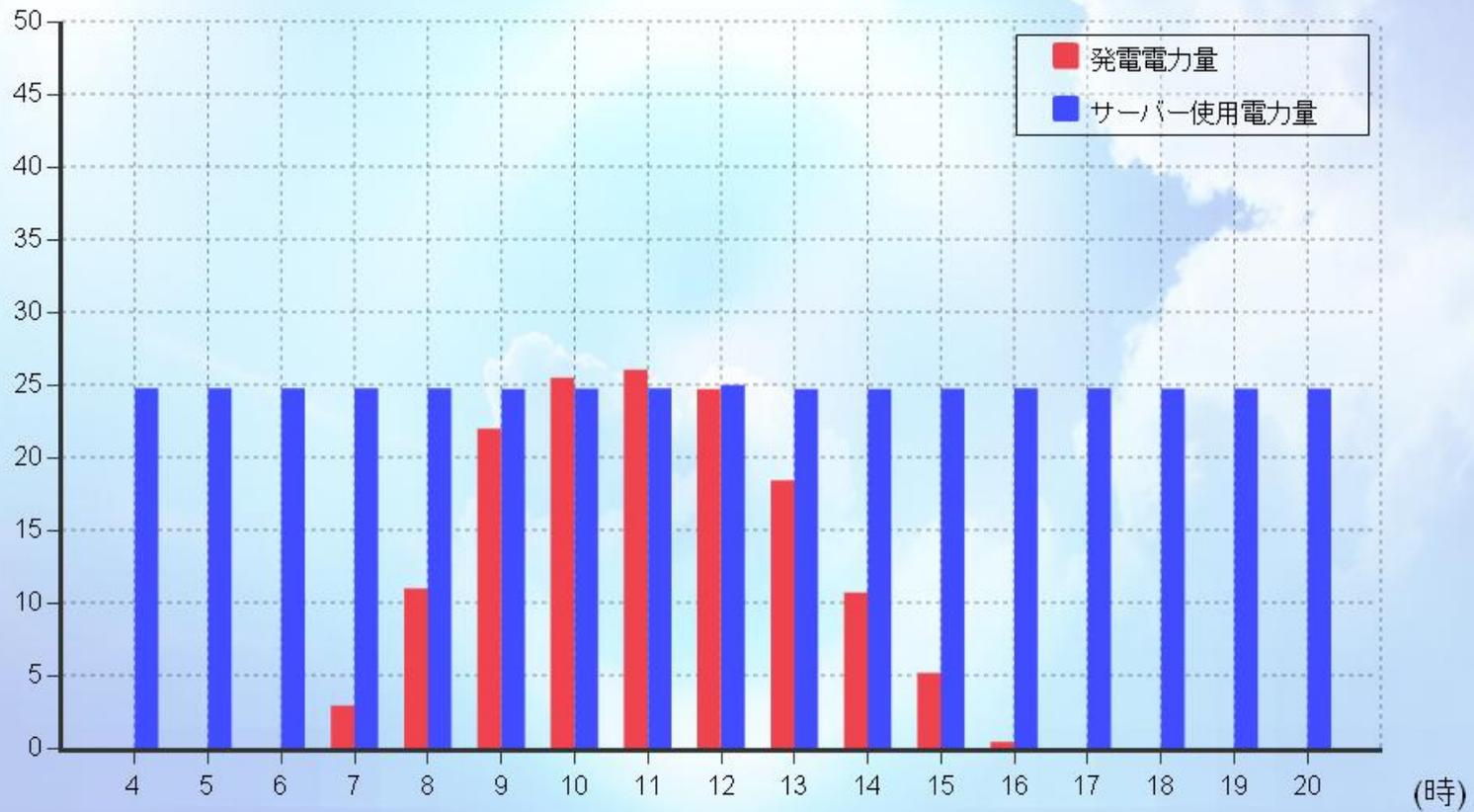
2011グッドデザイン賞受賞

グリーンコンピューティングシステム研究開発センター2011.11.1(晴れ)太陽光電力とサーバ消費電力



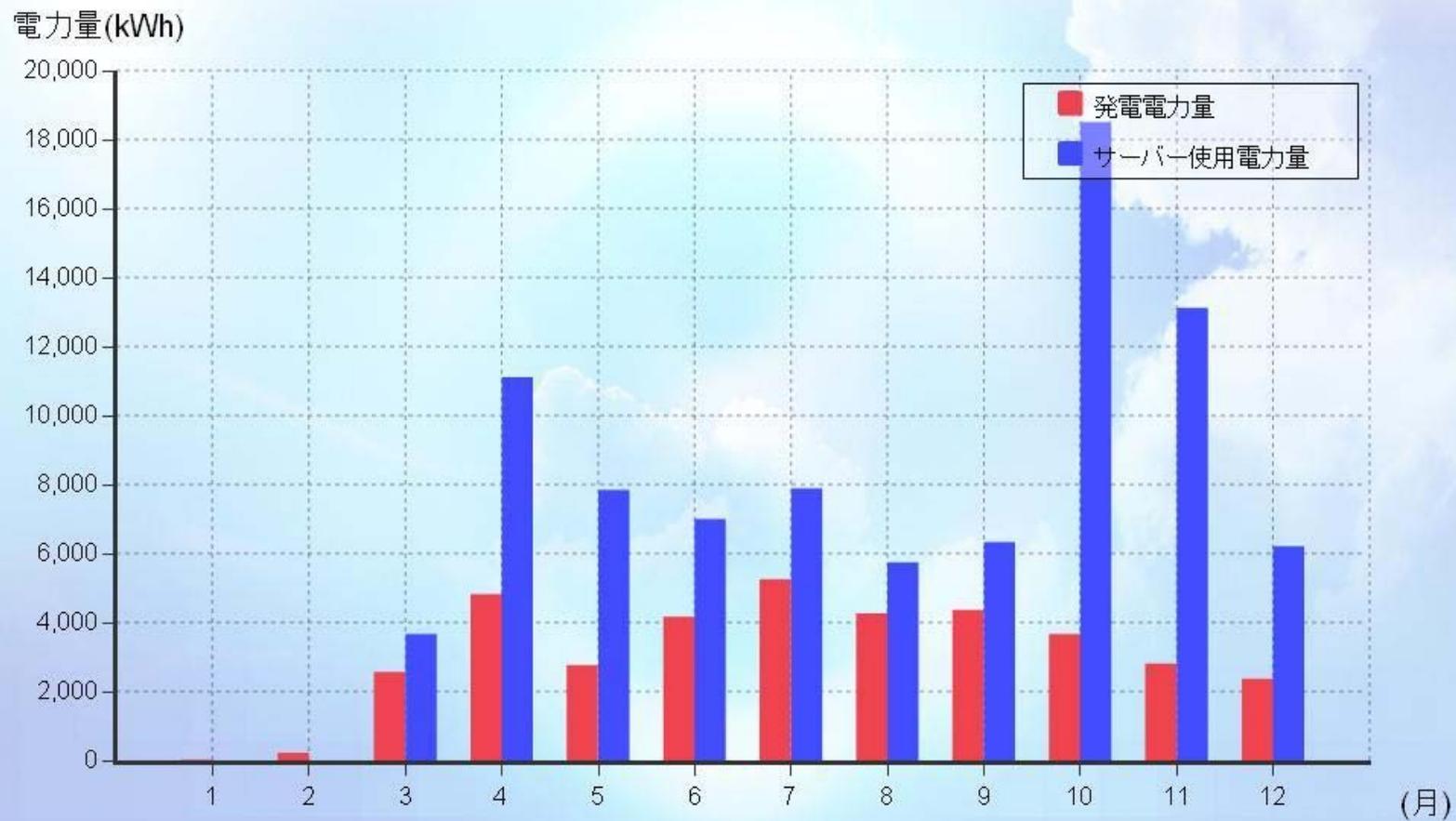
電力量の1日の変化

電力量(kWh)



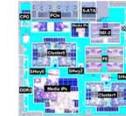
サーバ用太陽電力発電装置の稼働状況

電力量の1年の変化



組込マルチコアRPX利用低消費電力Webサーバ

8コア動作時1W



早稲田大学 基幹理工学部 情報理工学科
笠原研究室

現在のサーバの消費電力
1.01 W

| Japanese | English |

研究室用



Contents
▶ 教授紹介
▶ 准教授紹介
▶ 発表論文
▶ メンバー
▶ 授業情報
▶ 所在地
▶ 訪問者一覧
▶ 関連サイト

- ### News
- 2011.10.07 笠原博徳教授がIEEE Computer Society 理事(2012-2014)に再選されました。ご支援ありがとうございました。
 - 2011.9.6 25周年記念 LCPC2012 (グリーンコンピューティングシステム研究開発センターにて2012年9月11日から13日開催) の情報を掲載しました
 - 2011.5.24 グリーン・コンピューティング・システム研究機構 --低炭素社会を支えるグリーンITで日本の競争優位を確立する-- が読売オンライン_研究力「WASEDA研究特区」と WASEDA研究特区-プロジェクト研究最前線 に掲載されました
 - 2011.5.13 早稲田大学グリーンコンピューティングシステム研究開発センターでの産官学連携研究開始記念シンポジウム "未来を拓くグリーンコンピューティング" を開催いたします。
 - 2011.5.10 早稲田大学グリーンコンピューティングシステム研究開発センターのパフレット (施設紹介&教員・研究紹介) を掲載致します。
 - 2011.3.3 早稲田大学グリーンコンピューティングシステム研究開発センターに 日立SR16000 モデルVM1 (Power7ベース128コアSMP)システム が先行導入されました

NEDOリアルタイム情報家電用マルチコア技術

＜目的＞ DVD,デジタルTV,カーナビ,携帯電話等リアルタイム情報家電における優位化製品創出を目指したプロセッサ技術の国際競争力強化

＜研究期間＞平成17年7月～平成20年3月

＜内容＞ 下記特徴をもつマルチコア・アーキテクチャ及びコンパイラ技術の確立

- ・優れた価格性能
- ・短ハードウェア・ソフトウェア開発期間
- ・低消費電力
- ・同一アーキテクチャでローエンドからハイエンド製品まで柔軟に対応
- ・集積度向上に対するスケーラブルな性能向上(複数半導体世代に対応)
- ・異なる企業開発のマルチコア間でのアプリケーションの共用

＜API: Application Programming Interface並列化コンパイラと各マルチコアの接続＞

日立,富士通,ルネサス,東芝,松下,NEC

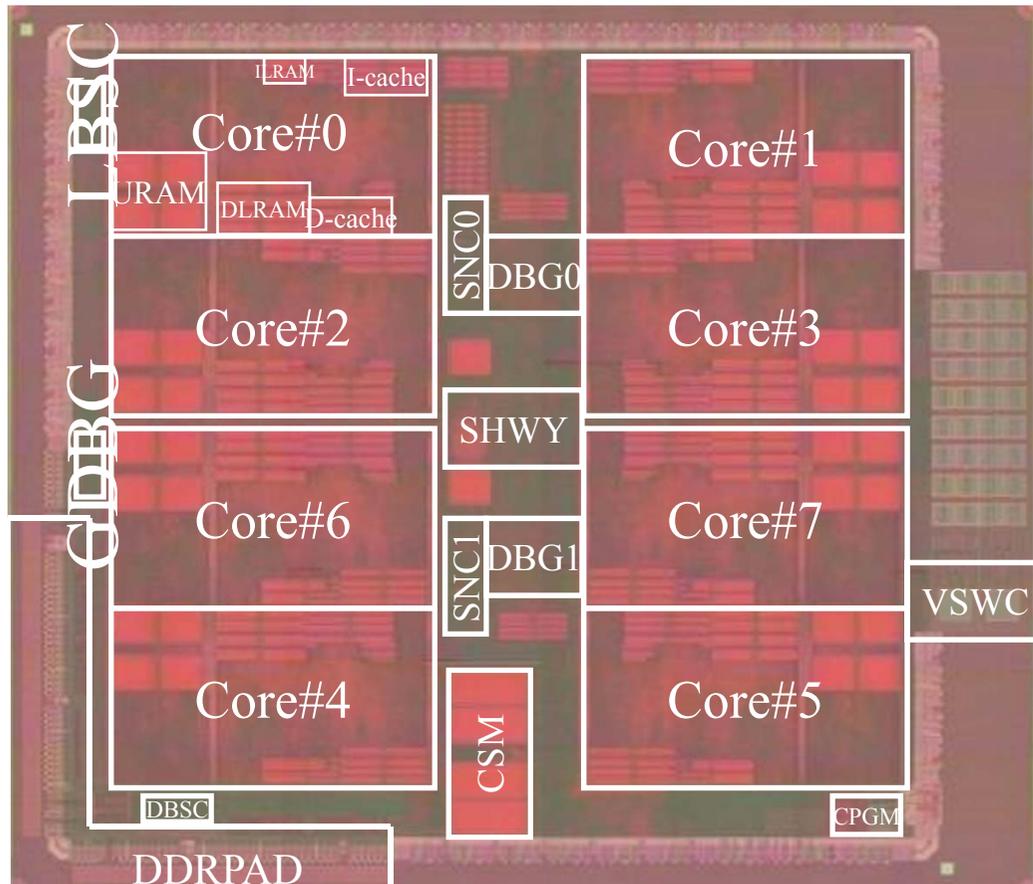
＜委託事業＞ NEDO”アドバンスド並列化コンパイラ“の成果と参加各社のプロセッサ技術を委員会及び研究により発展させ、標準的マルチコア・アーキテクチャと並列化APIを策定し、既存及び新規チップ上での性能評価を通し改良する

＜助成事業＞ 委託事業にて策定されたアーキテクチャをベースとしたチップ及びその開発環境を開発し委託研究での評価のために供与する

＜PC用プロセッサとの目的の違い＞

リアルタイム処理なアーキテクチャ・自然冷却可能な低消費電力性

早稲田OSCARコンパイラ協調型アーキテクチャ ホモジニアスマルチコアRP2 SH4A8コア搭載



プロセス	90nm CMOS, 8層メタル, 3種Vth
チップサイズ	104.8mm ² (10.61mm x 9.88mm)
電源電圧	1.0V-1.4V(コア), 1.8/3.3V(I/O)
動作周波数	600MHz
CPU性能	8640 MIPS (Dhrystone 2.1)
FPU性能	33.6 GFLOPS
低電力制御	<ul style="list-style-type: none"> ・CPU毎に独立した周波数変更 ・CPUコアのクロックを停止するスリープモード ・CPUコアの一部のクロックを停止するがキャッシュコヒーレンシ維持可能なライトスリープモード ・CPUコアの電源供給を停止するフル電源遮断モード ・URAM以外のCPUコアの電源供給を停止するレジューム電源遮断モード

8コア集積マルチコアLSIチップ写真

ISSCC08発表: ISSCC08 論文番号4.5, M.ITO, et al., “An 8640 MIPS SoC with Independent Power-off Control of 8 CPUs and 8 RAMs by an Automatic Parallelizing Compiler”

NEDOリアルタイム情報家電用マルチコアチップ・デモの様子

<http://www8.cao.go.jp/cstp/gaiyo/honkaigi/74index.html>

第74回総合科学技術会議【平成20年4月10日】



第74回総合科学技術会議の様子(1)



第74回総合科学技術会議の様子(2)



第74回総合科学技術会議の様子(3)



第74回総合科学技術会議の様子(4)

世界をリードするマルチコア用コンパイラ技術

プロセッサ高速化における3大技術課題の解消

1. 半導体集積度向上(使用可能トランジスタ数増大)に対する速度向上率の鈍化

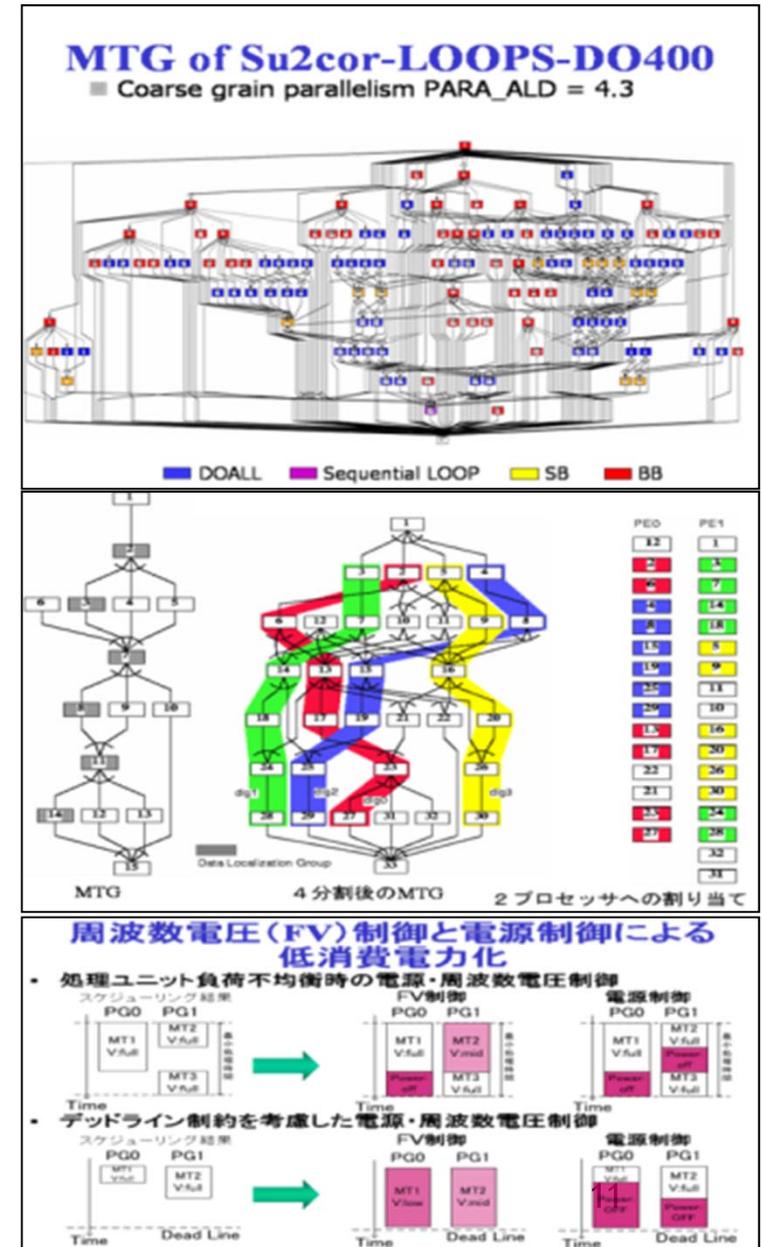
➤ 粗粒度タスク並列化、ループ並列化、近細粒度並列化によりプログラム全域の並列性を利用するマルチグ레인並列化機能により、従来の命令レベル並列性より大きな並列性を抽出し、複数マルチコアで速度向上

2. メモリウォール問題

➤ コンパイラによるローカルメモリへのデータ分割配置、DMAコントローラによるタスク実行とオーバーラップしたデータ転送によりメモリアクセス・データ転送オーバーヘッド最小化

3. 消費電力増大による速度向上の鈍化

➤ コンパイラによる低消費電力制御機能を用いたアプリケーション内でのきめ細かい周波数・電圧制御・電源遮断により消費電力低減



粗粒度タスク並列

ループ並列の限界を越えるために

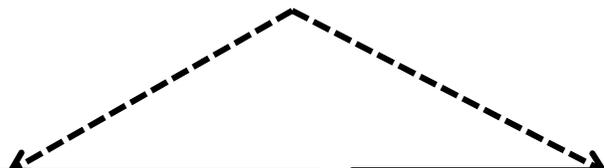
従来のループ並列化

並列化可能ループ
実行時間の95%



逐次ループ
実行時間の5%

粗粒度タスク並列化



並列化可能ループ
実行時間の95%

19プロセッサ

逐次ループ
実行時間の5%

1プロセッサ

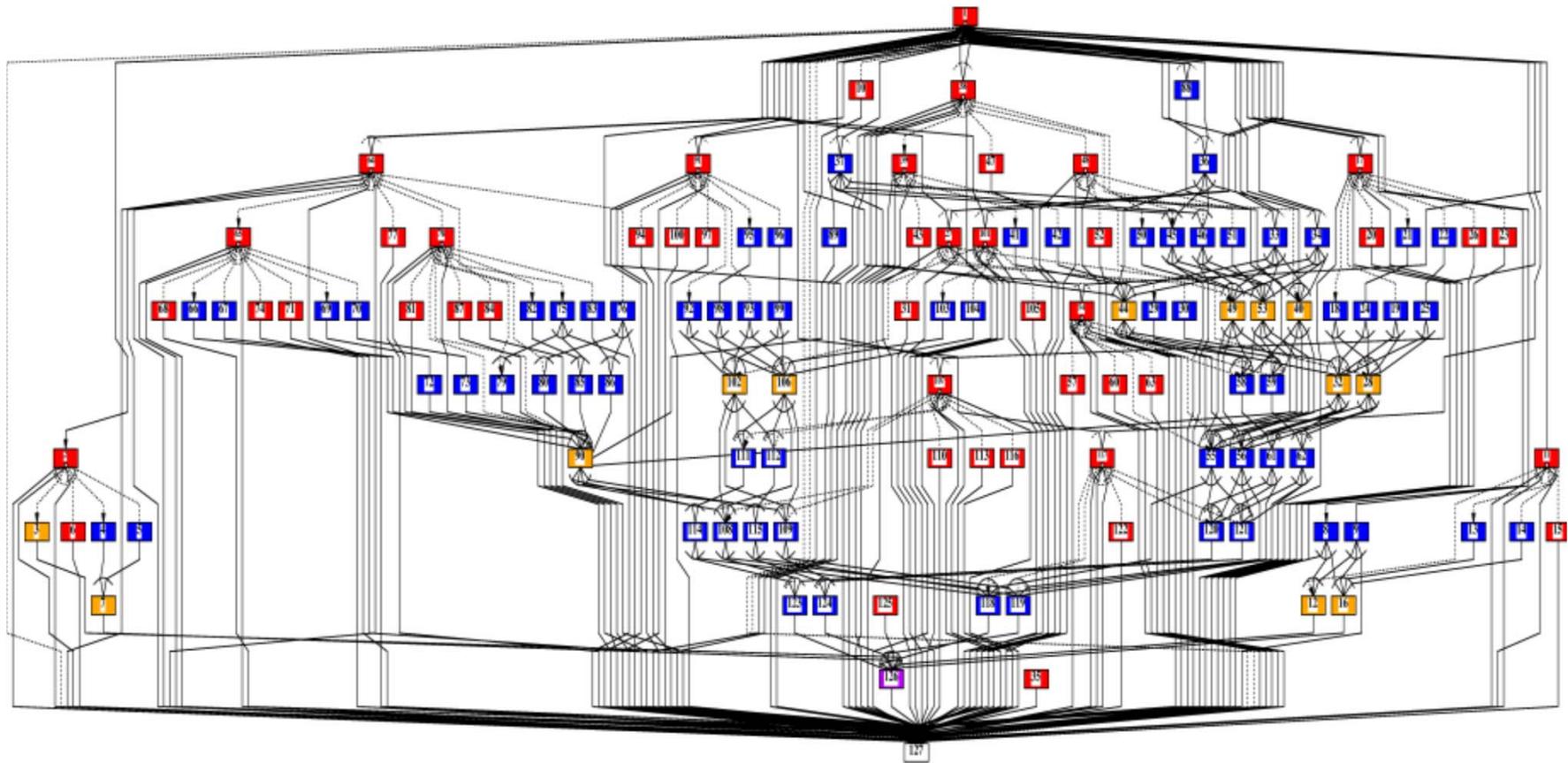
20プロセッサで並列処理

$$\text{速度向上率} = 100 / (95/20 + 5) \\ = 100 / (4.75 + 5) = 10.26 \text{ 倍}$$

$$\text{速度向上率} = 100 / \max(95/19, 5) \\ = 100 / 5 = 20 \text{ 倍}$$

MTG of Su2cor-LOOPS-DO400

- Coarse grain parallelism $\text{PARA_ALD} = 4.3$



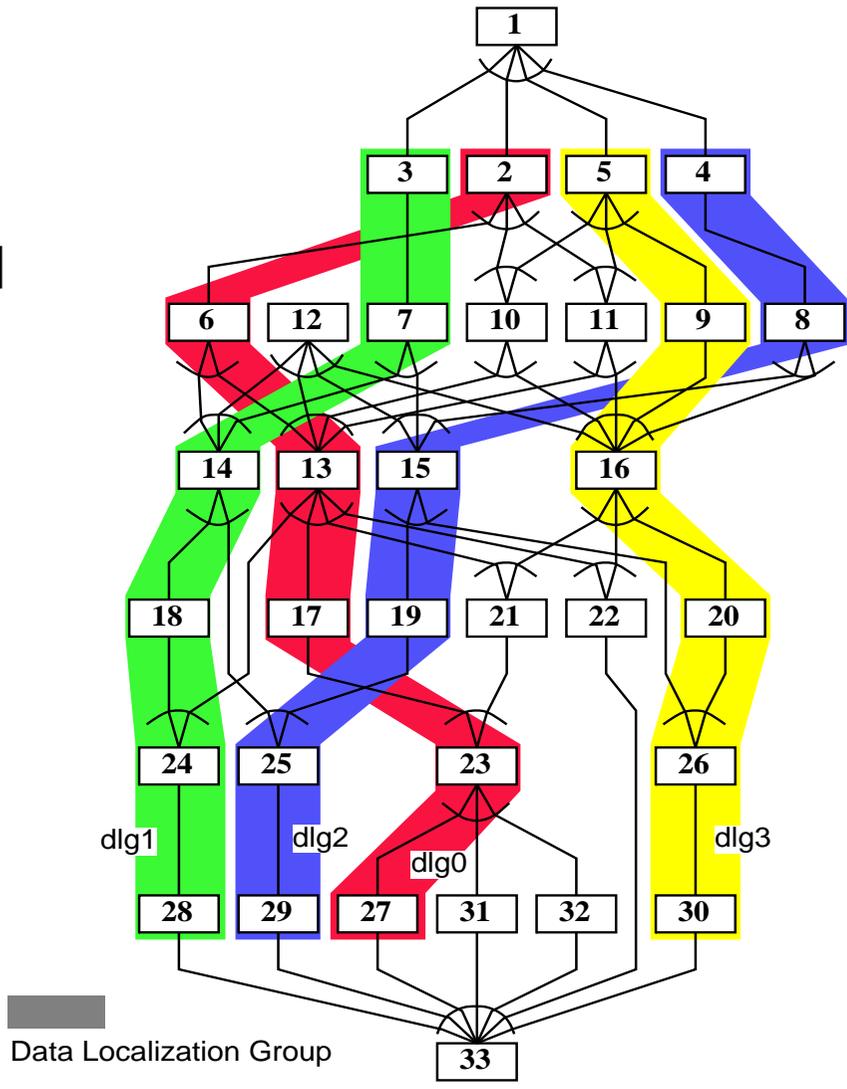
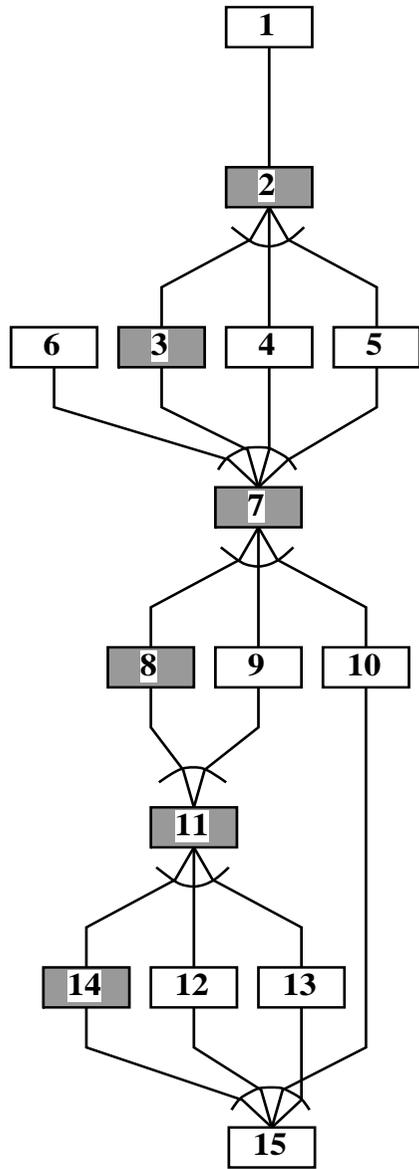
■ DOALL

■ Sequential LOOP

■ SB

■ BB

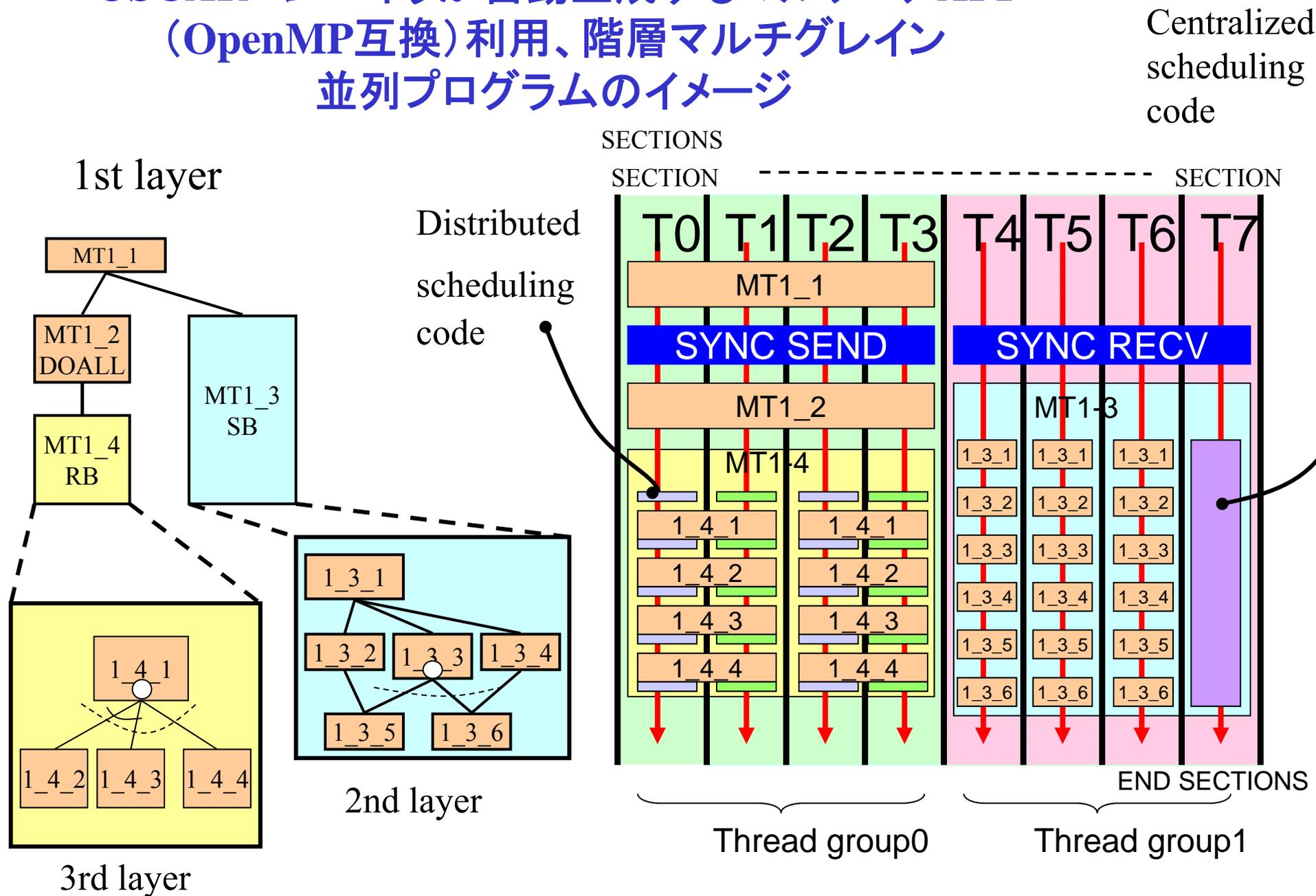
Data Localization



PE0	PE1
12	1
2	3
6	7
4	14
8	18
15	5
19	9
25	11
29	10
13	16
17	20
22	26
21	30
23	24
27	28
	32
	31

A schedule for two processors

OSCARコンパイラが自動生成するマルチコアAPI (OpenMP互換)利用、階層マルチグレイン 並列プログラムのイメージ



(ホモジニアス/ヘテロジニアス)マルチコア・メニーコア用プログラム開発

API: Application Programming Interface

逐次C or Fortran
アプリケーションプログラム
(情報家電,自動車,医療,科学技術計算)

**ホモジニアス/ヘテロジニアス
マルチコア及びメニーコア用OSCAR API**
タスク生成・変数のメモリ割当て・キャッシュ一貫性制御・
データ転送・同期・電力制御を指示する指示文(コメント文)集

ホモジニアス

ヘテロ

ユーザによる
手動並列化

アクセラータ用コンパイラ
あるいはユーザ指示

- アクセラータあるいはユーザが、アクセラータで実行可能プログラム部分あるいはライブラリとその実行時間等ヒント指示文として逐次プログラム中に追加

**早稲田大学OSCAR
自動並列化コンパイラ**

- プログラム全域からマルチグレイン並列性を抽出(粗粒度タスク並列含む)
- データ配置の最適化(分散共有・ローカルメモリ利用の自動最適化)
- DMAを用いたデータ転送
- 周波数/電圧/電源制御低消費電力化

**並列化API
C or Fプログラム**

**Proc0
指示文
用プログラム**

**Proc1
指示文
用プログラム**

⋮

**アクセラレータA
用プログラム**

**アクセラレータB
用プログラム**

⋮

ホモジニアス用低電力
並列マシンコード生成

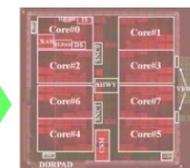
API 解釈系	既存逐次コンパイラ
--------------------	-----------

ヘテロジニアス用低電力
並列マシンコード生成

API 解釈系 (早稲田大学より無料配布)	既存逐次コンパイラ アクセラレータ用コンパイラ/ライブラリ
--------------------------------------	----------------------------------

サーバ用コード生成

**市販OpenMP
コンパイラ**



ホモジニアス
マルチコア/
メニーコアチップ
(共有メモリサーバ)



ヘテロジニアス
マルチ
コアチップ



共有メモリマルチ
プロセッササーバ

逐次コンパイラで各社チップ用並列コード作成可能

公開OSCAR API v1.0の指示文 (ver.1.0:ホモジニアスマルチコア用)

- ▶ 並列実行API
 - ▶ `parallel sections (*)`
 - ▶ `flush (*)`
 - ▶ `critical (*)`
 - ▶ `execution`
- ▶ メモリ配置API
 - ▶ `threadprivate (*)`
 - ▶ `distributedshared`
 - ▶ `onchipshared`
- ▶ 同期API
 - ▶ `groupbarrier`
- ▶ データ転送API
 - ▶ `dma_transfer`
 - ▶ `dma_contiguous_parameter`
 - ▶ `dma_stride_parameter`
 - ▶ `dma_flag_check`
 - ▶ `dma_flag_send`
- ▶ 電力制御API
 - ▶ `fvcontrol`
 - ▶ `get_fvstatus`
- ▶ タイマーAPI
 - ▶ `get_current_time`

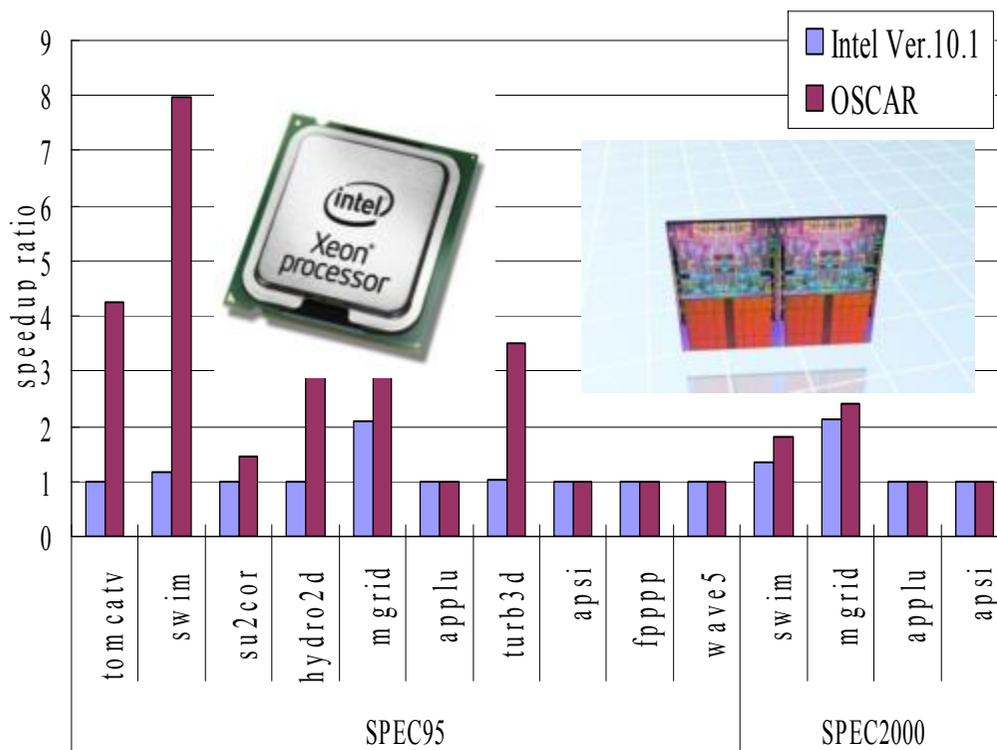
(* OpenMPからの指示文)

現状：世界最高性能のOSCARコンパイラの性能

インテル・IBMマルチコアサーバ上でそれぞれ2倍・3倍以上の高速化

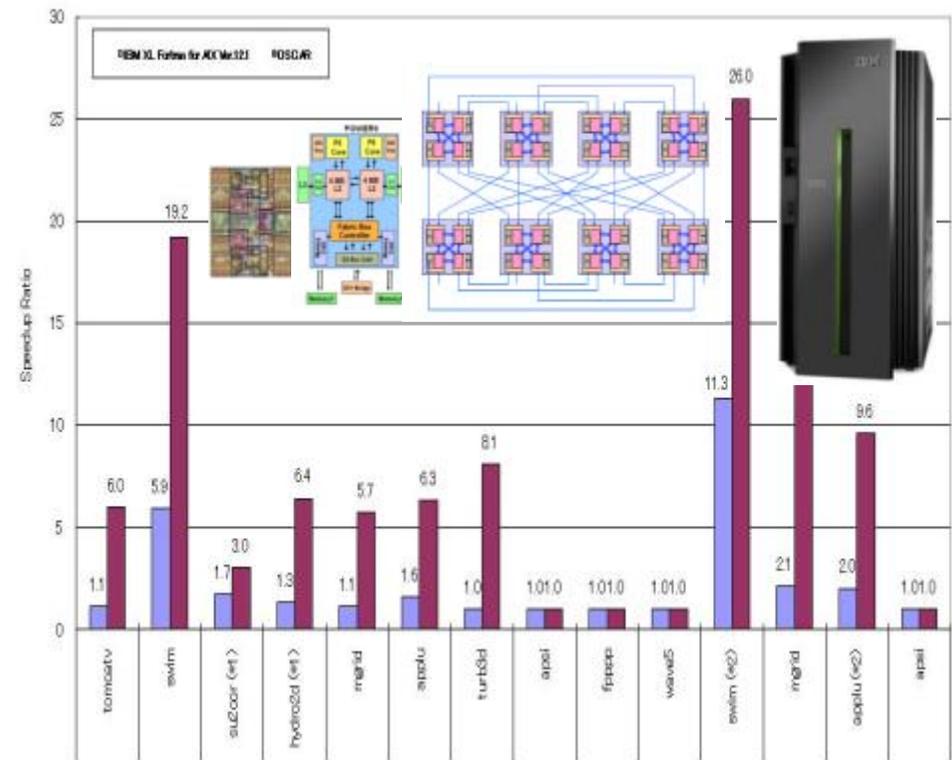
インテル クアッドコアXeonプロセッサ上での 早稲田大学 OSCARコンパイラの性能

インテル・マルチコア上で
インテルコンパイラに比べ **2.1** 倍速度向上



IBM p6 595 Power6 (4.2GHz) ベース 32コア SMP サーバ上での早稲田大学OSCARコンパイラの性能

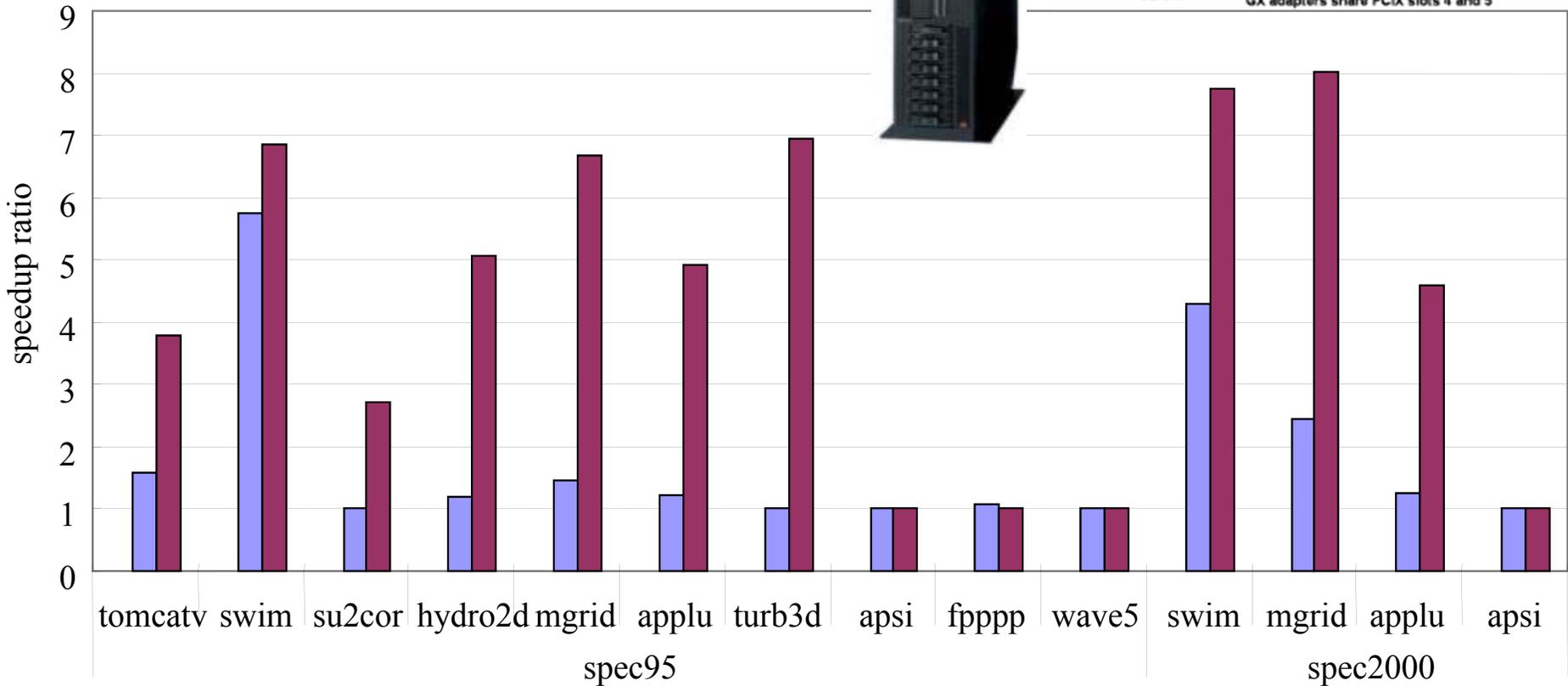
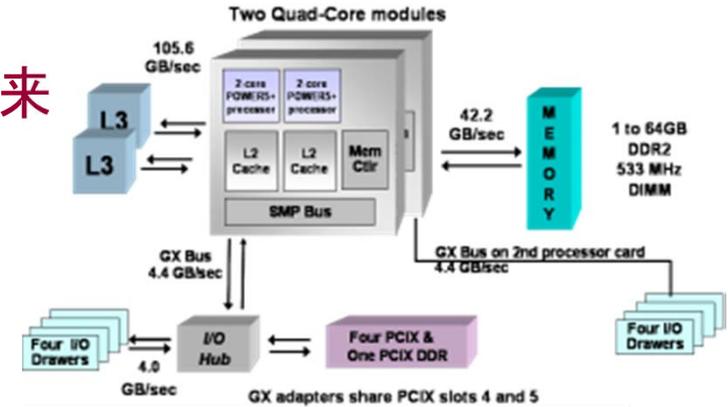
IBM最新サーバ上で
IBMコンパイラに比べ **3.3** 倍速度向上



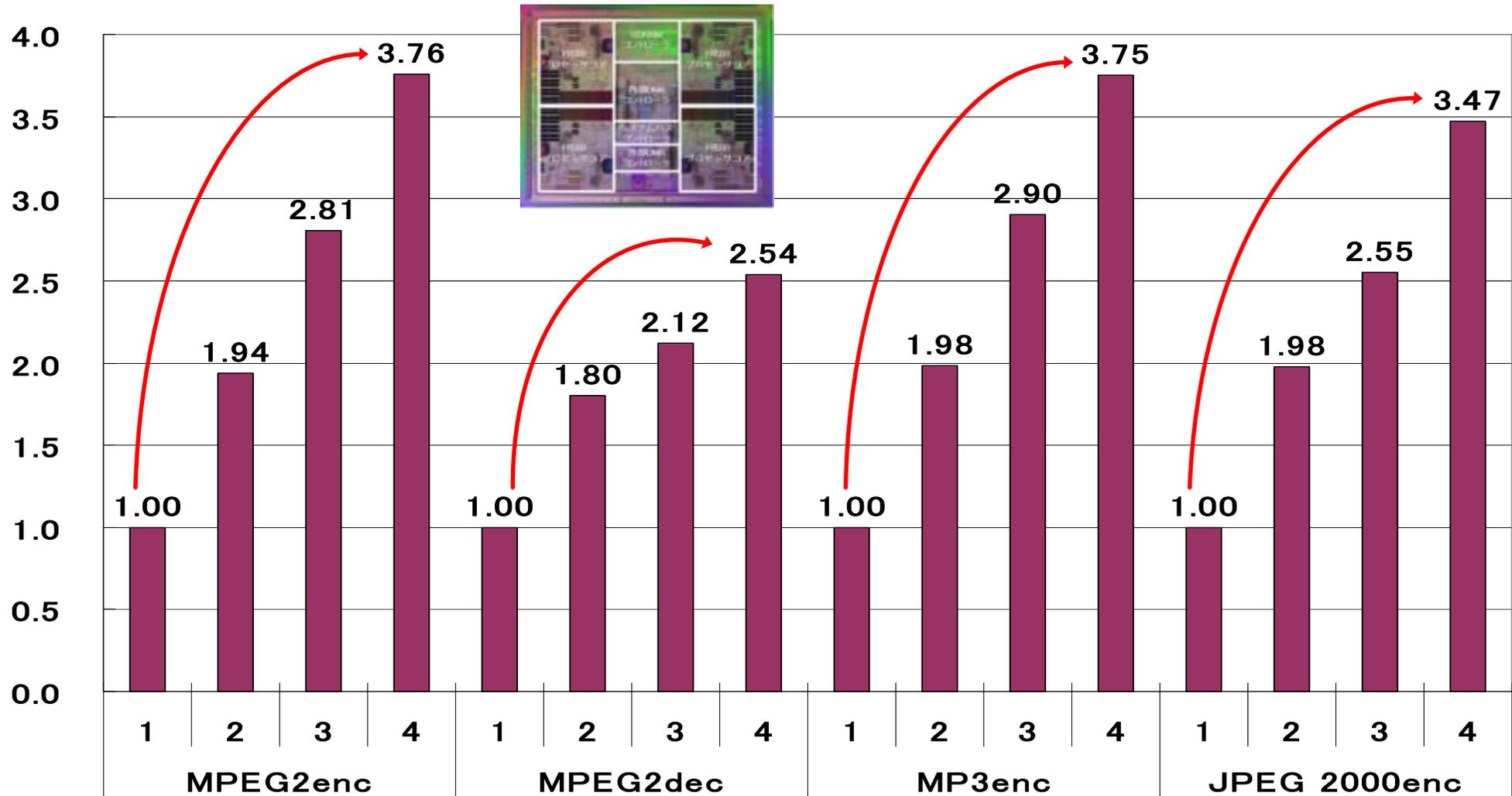
IBMサーバp550q上でのOSCAR並列化コンパイラの性能

8プロセッサコア・マルチプロセッサシステム上で従来の
ループ並列化に対し、2.7倍の高速化

- ループ並列化
- マルチグレイン並列化

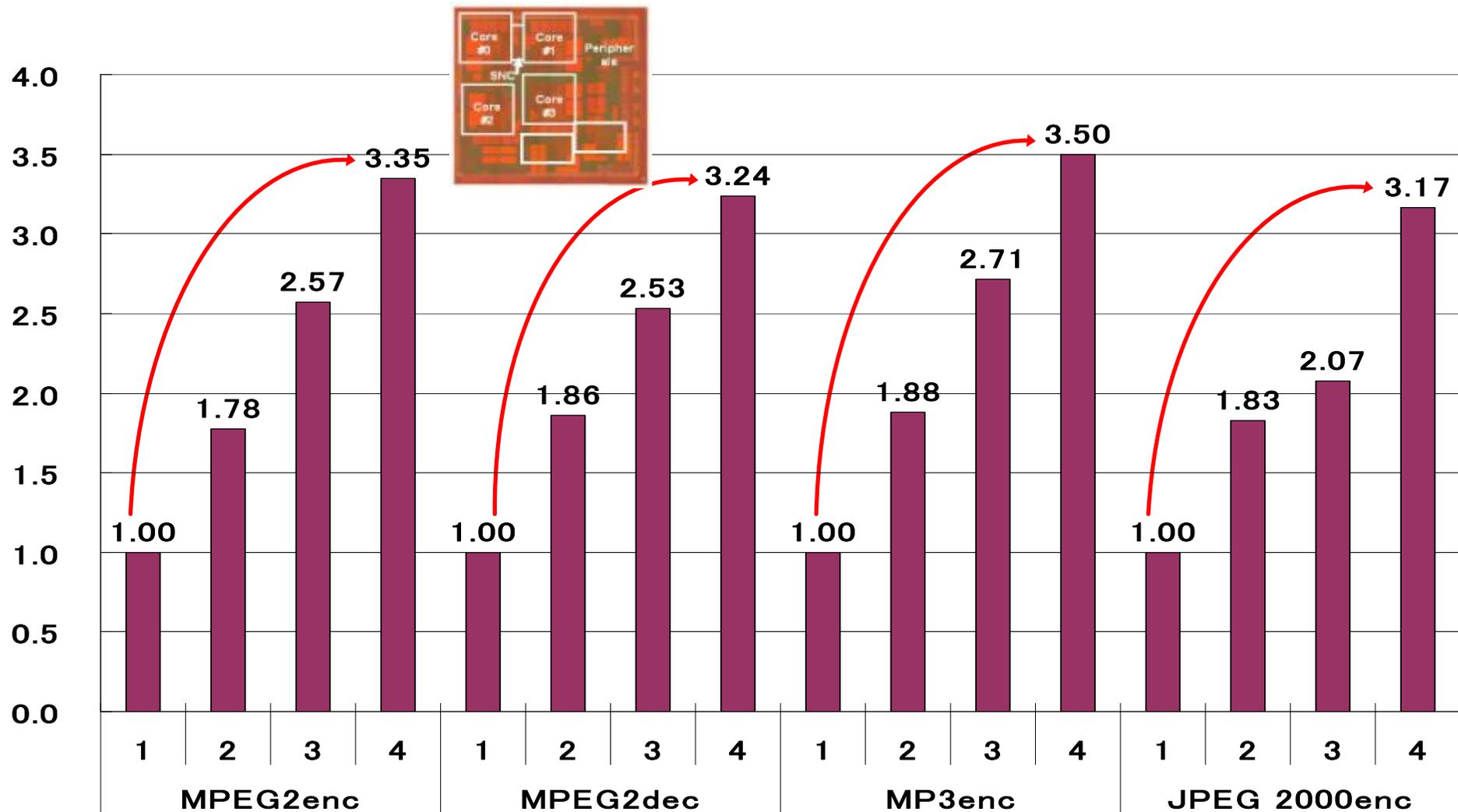


Performance of OSCAR Compiler Using the multicore API on Fujitsu FR1000 Multicore



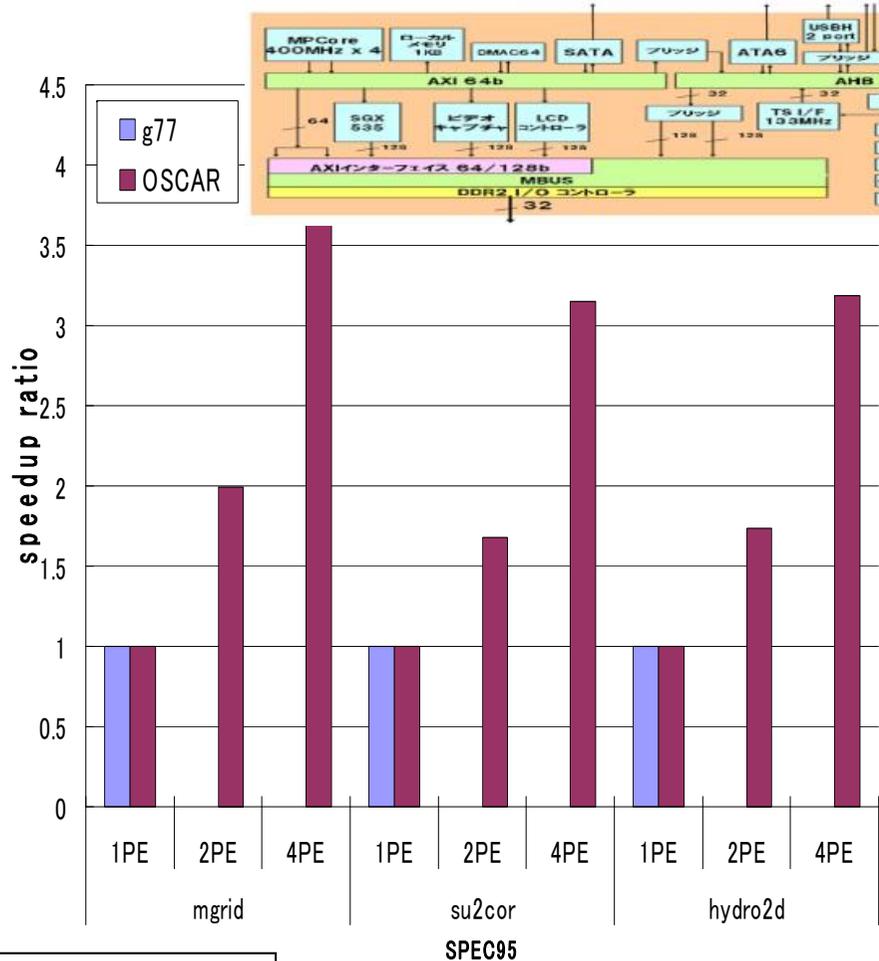
3.38 times speedup on the average for 4 cores against a single core execution

Performance of OSCAR Compiler Using the Developed API on 4 core (SH4A) OSCAR Type Multicore

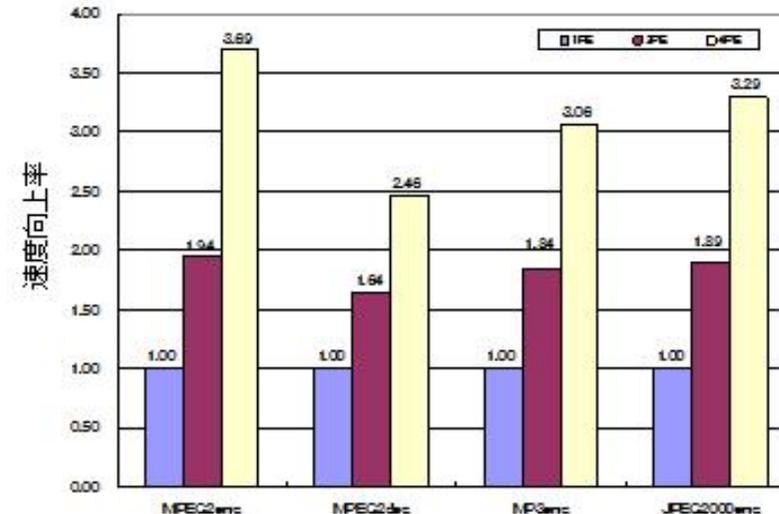


3.31 times speedup on the average for 4cores against 1core

Performance of OSCAR compiler on NEC NaviEngine(ARM-NEC MPcore)



NaviEngine上での
メディアアプリケーションによる
OSCARコンパイラ評価



•4プロセッサで、平均3.13倍の速度向上率

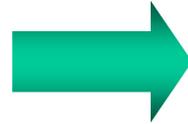
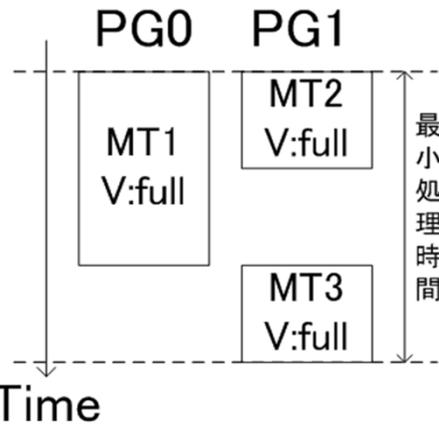
Compile Option : -O3

- OSCAR compiler gave us 3.43 times speedup against 1 core for Fortran and 3.13 for C on ARM/NEC MPCore with 4 ARM 400MHz cores

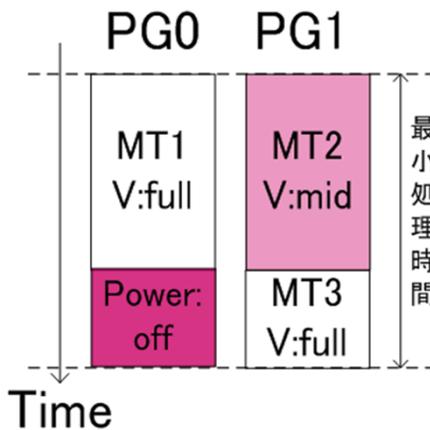
周波数電圧 (FV) 制御と電源制御による低消費電力化

処理ユニット負荷不均衡時の電源・周波数電圧制御

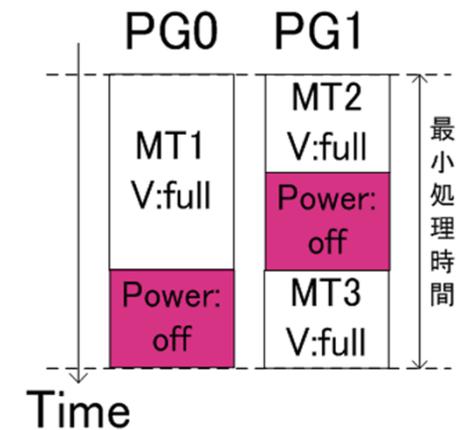
スケジューリング結果



FV制御

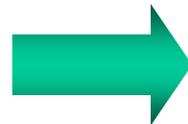
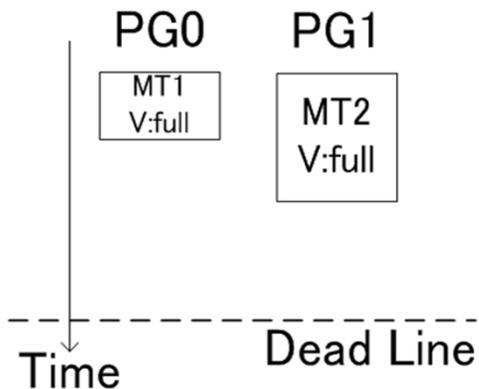


電源制御

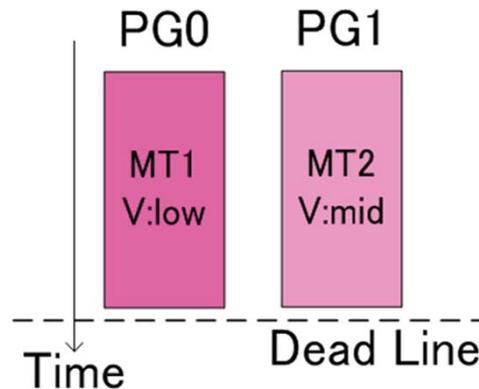


デッドライン制約を考慮した電源・周波数電圧制御

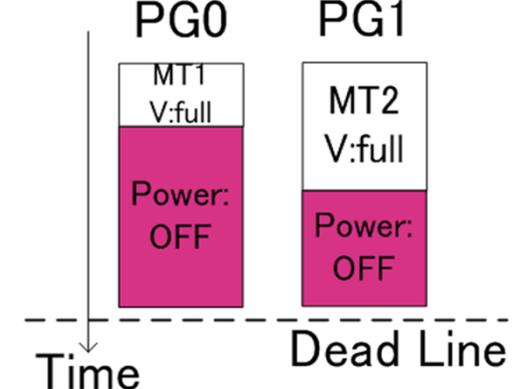
スケジューリング結果



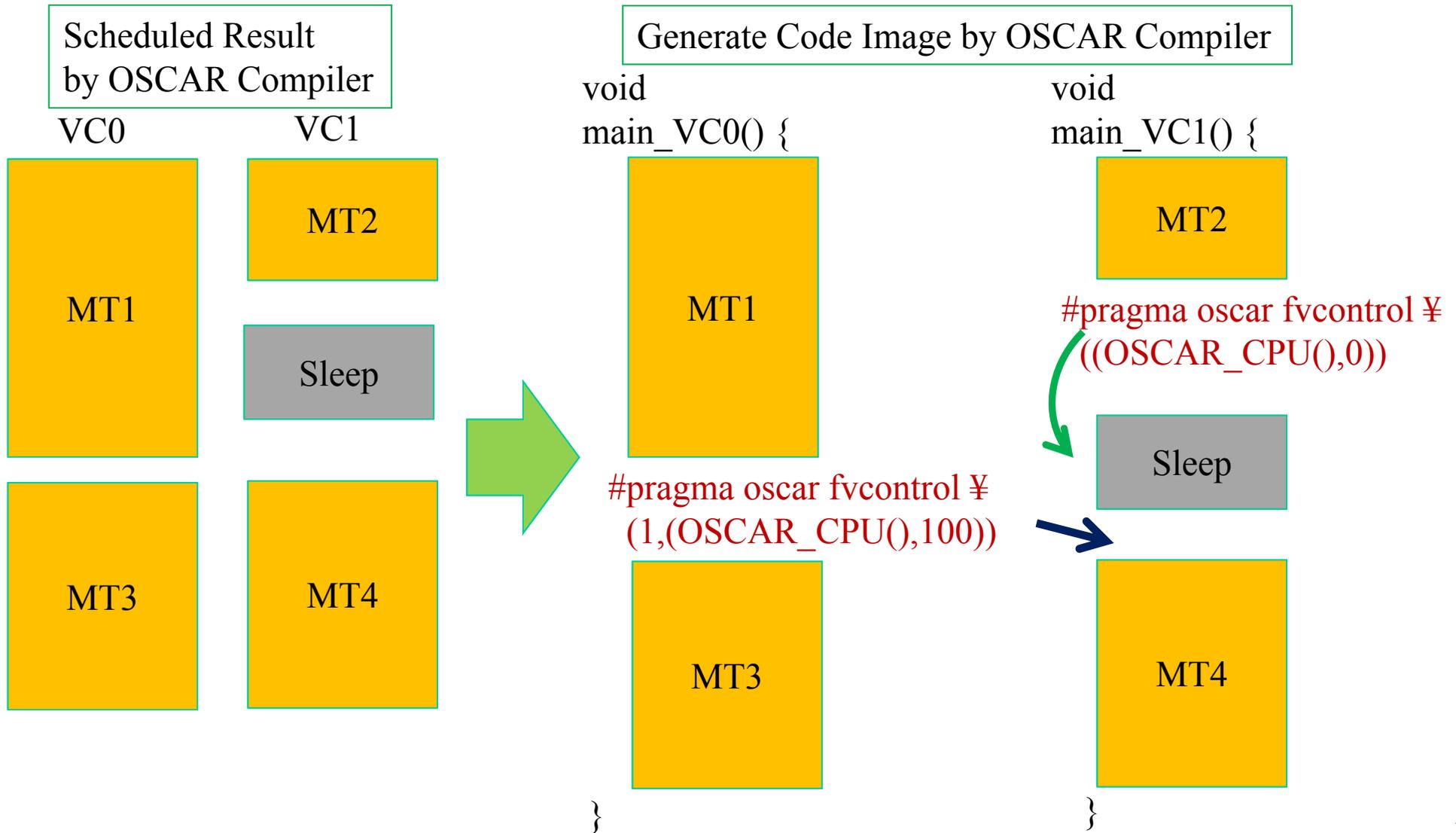
FV制御



電源制御

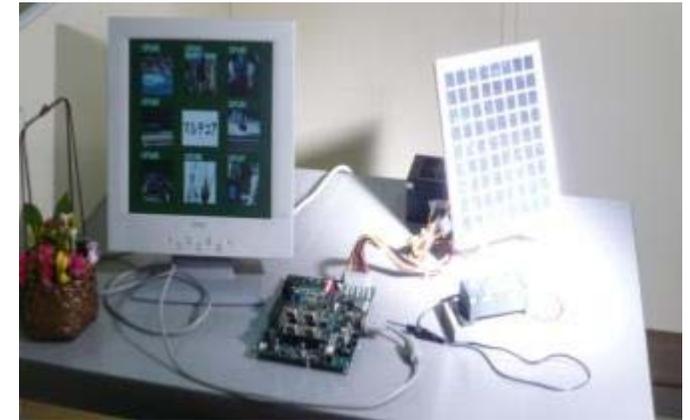
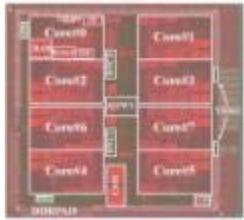


Low-Power Optimization with OSCAR API



現状:世界唯一コンパイラによる消費電力削減に成功

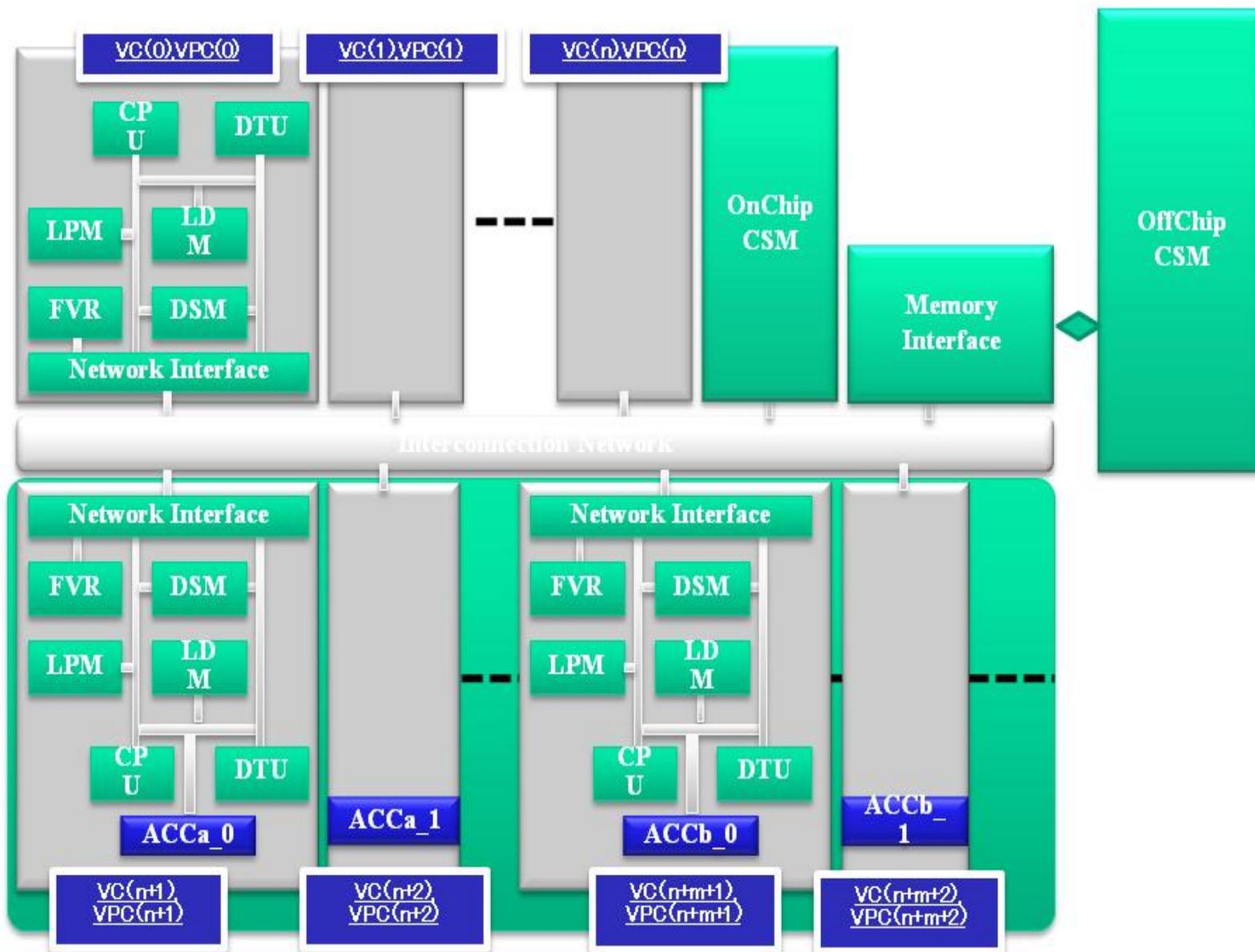
NEDOプロジェクトで開発した低消費電力
マルチコア(8コア)上でのマルチメディア処理



太陽電池で駆動可

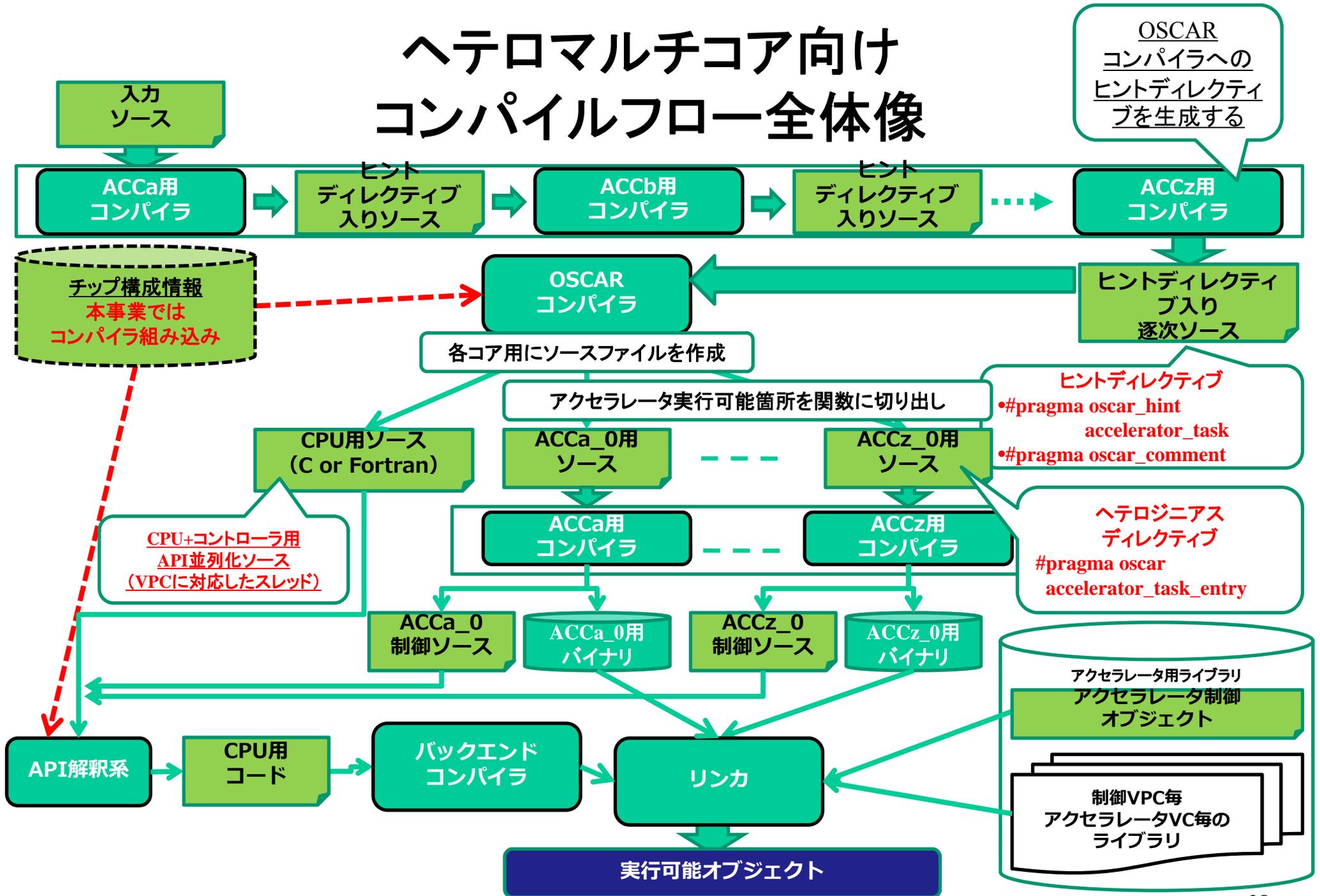


OSCAR Heterogeneous Multicore



- DTU
 - Data Transfer Unit
- LPM
 - Local Program Memory
- LDM
 - Local Data Memory
- DSM
 - Distributed Shared Memory
- CSM
 - Centralized Shared Memory
- FVR
 - Frequency/Voltage Control Register

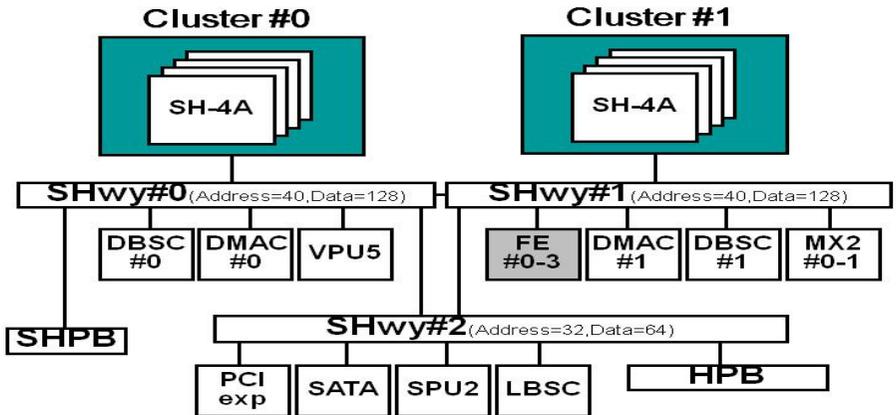
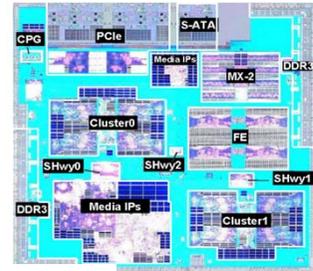
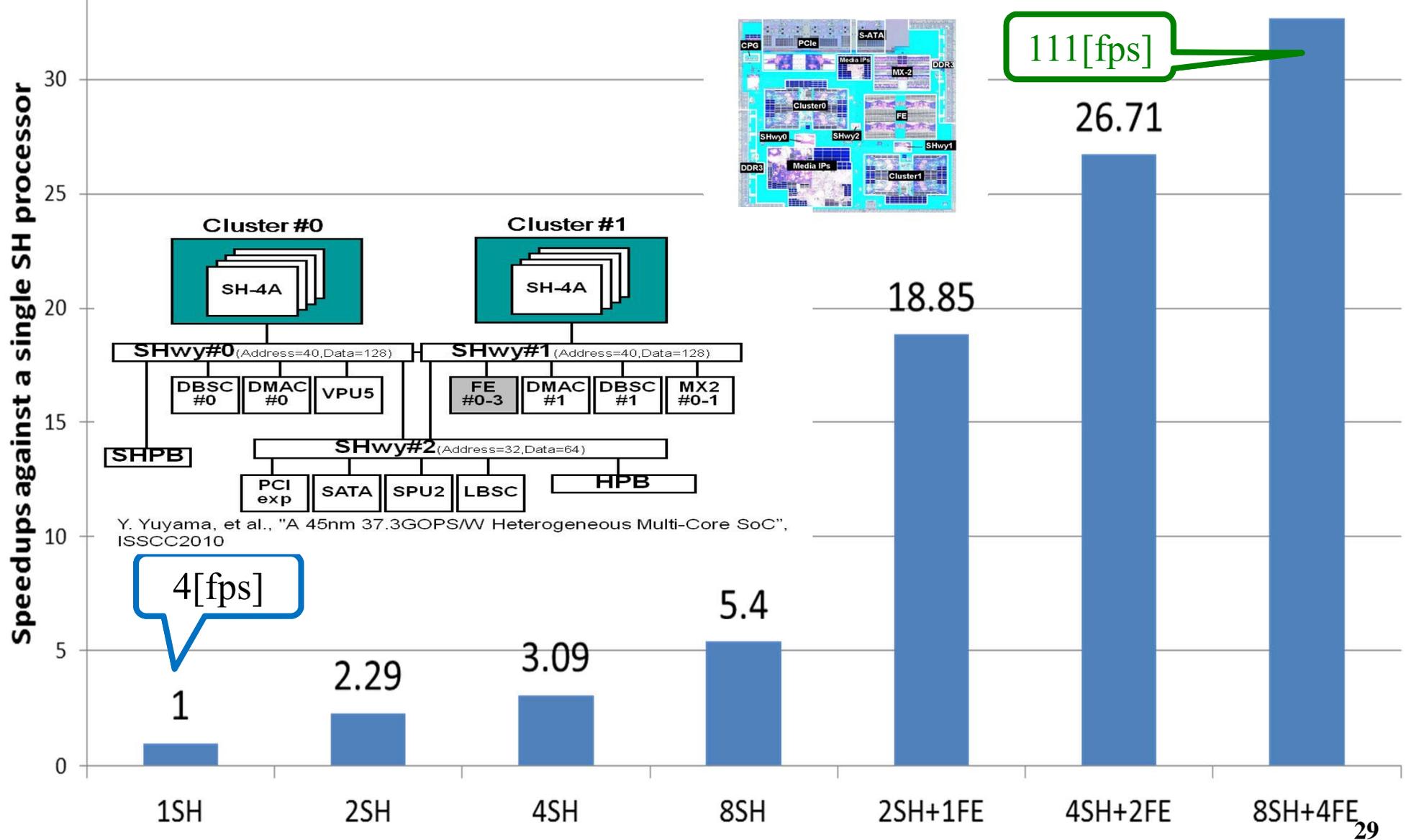
ヘテロマルチコア向け コンパイルフロー全体像



ヘテロジニアスマルチコアRP-X上での処理性能

NEDO情報家電用ヘテロジニアスマルチコアプロジェクト(2006-09)

-画像動作追従のためのオプティカルフロー演算のコンパイラ自動並列化(世界初)- 32.65



Y. Yuyama, et al., "A 45nm 37.3GOPS/W Heterogeneous Multi-Core SoC", ISSCC2010

オプティカルフロー(ライブラリ利用)に対するリアルタイム処理時の消費電力制御

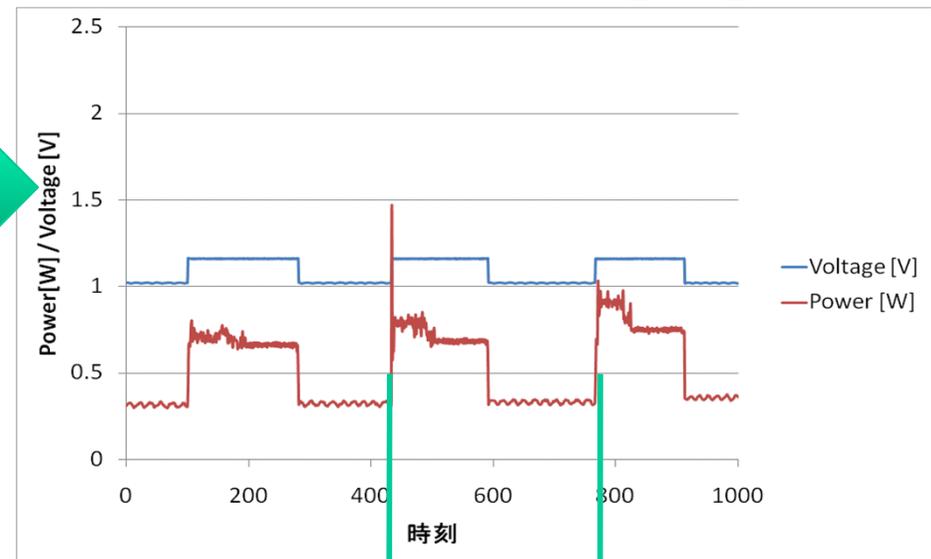
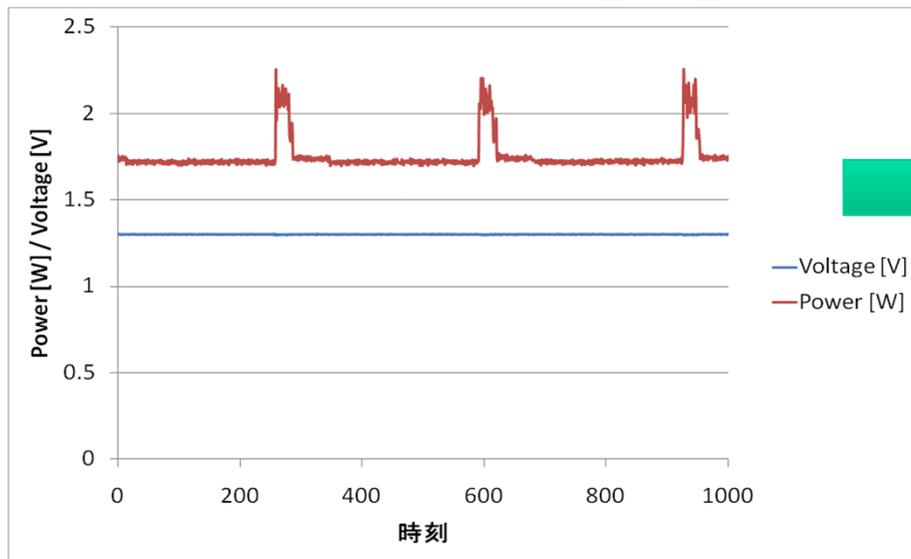
コンパイラ制御なし

コンパイラ制御適用

およそ70[%]の電力削減

平均1.76[W]

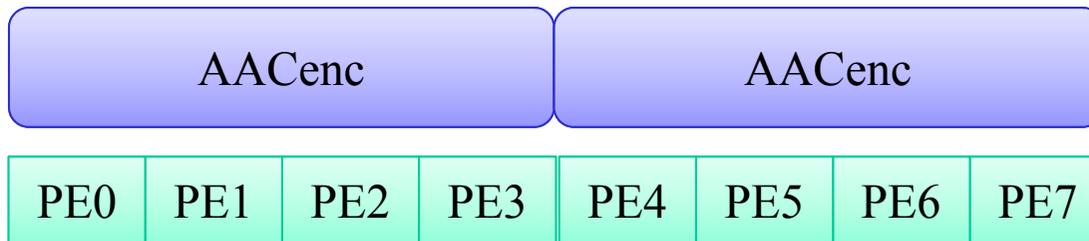
平均0.54[W]



1周期 : 33[ms]
→30[fps]

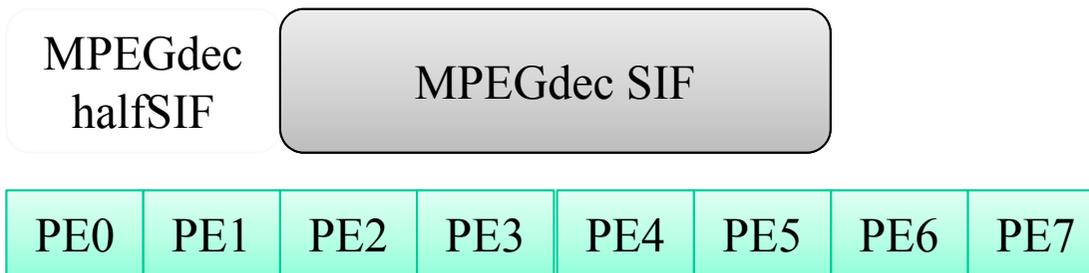
RP2上での複数アプリケーション実行時の割り当てイメージ

実行時間 ↑



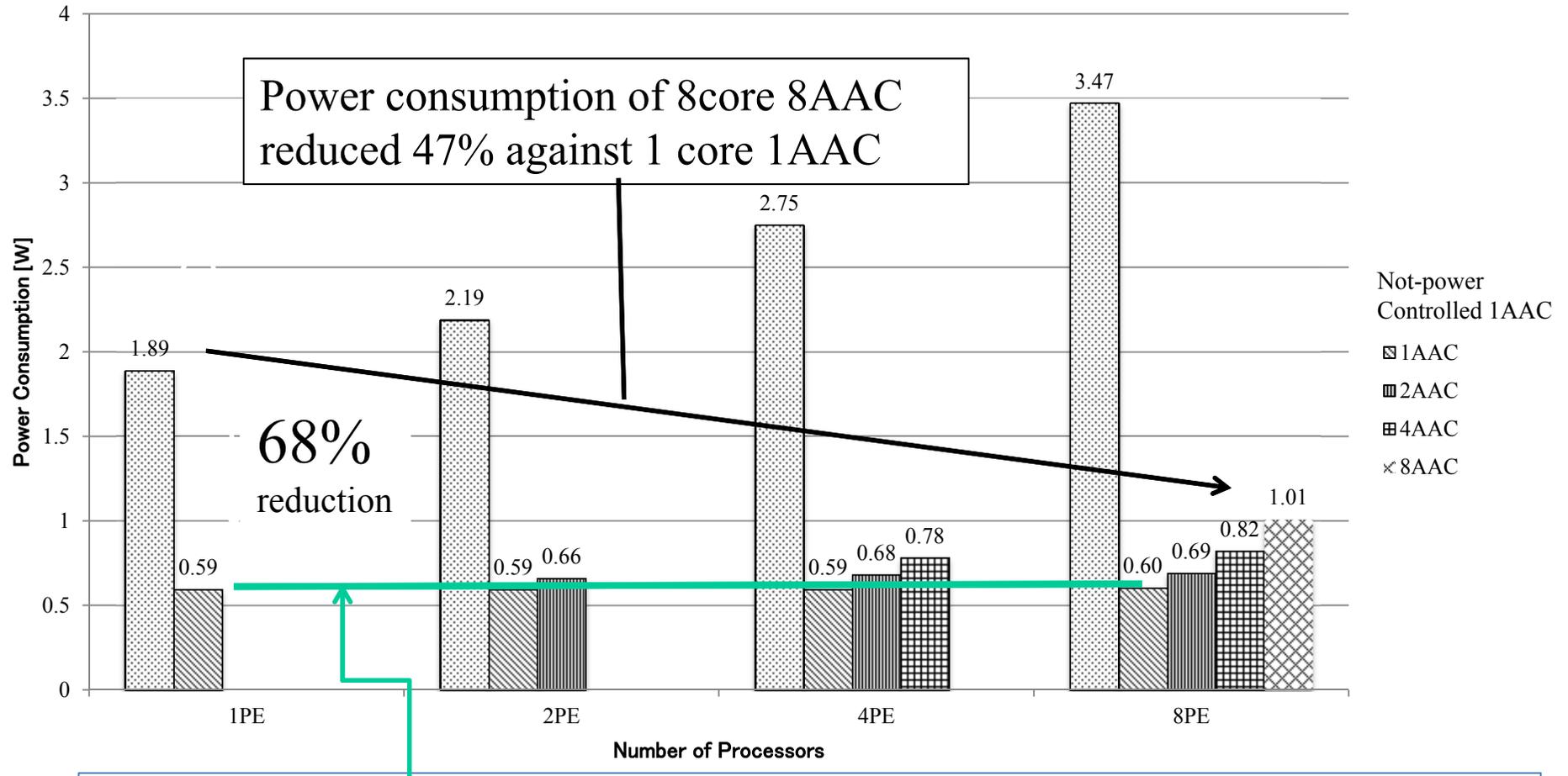
《リアルタイム制御》
AACenc + AACenc

実行時間 ↑



《リアルタイム制御》
MPEG2dec(SIF)
+ MPEG2dec(halfSIF)

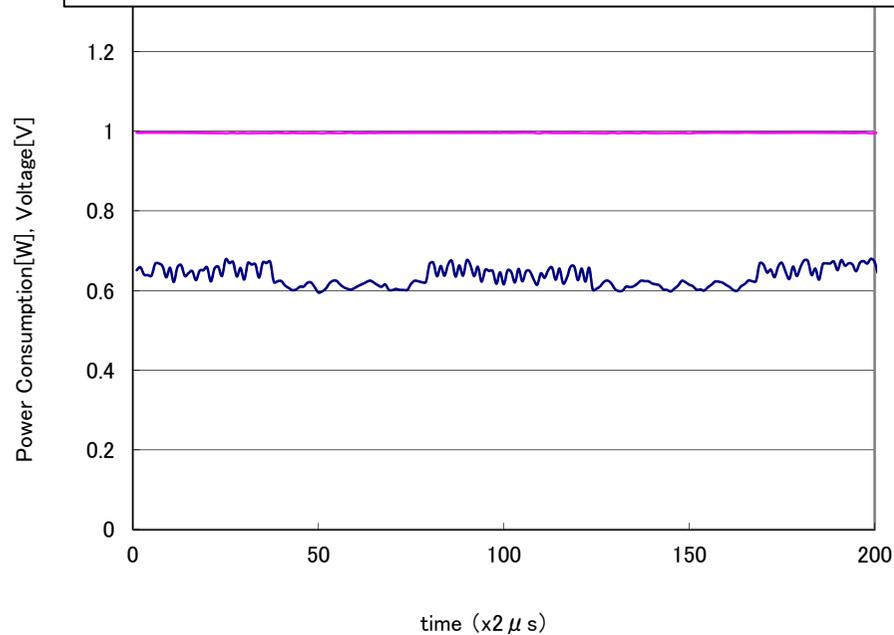
Whole Chip Power Consumption executing Multiple Light Computational Load Applications (2, 4, 8AAC Encoders) on RP2



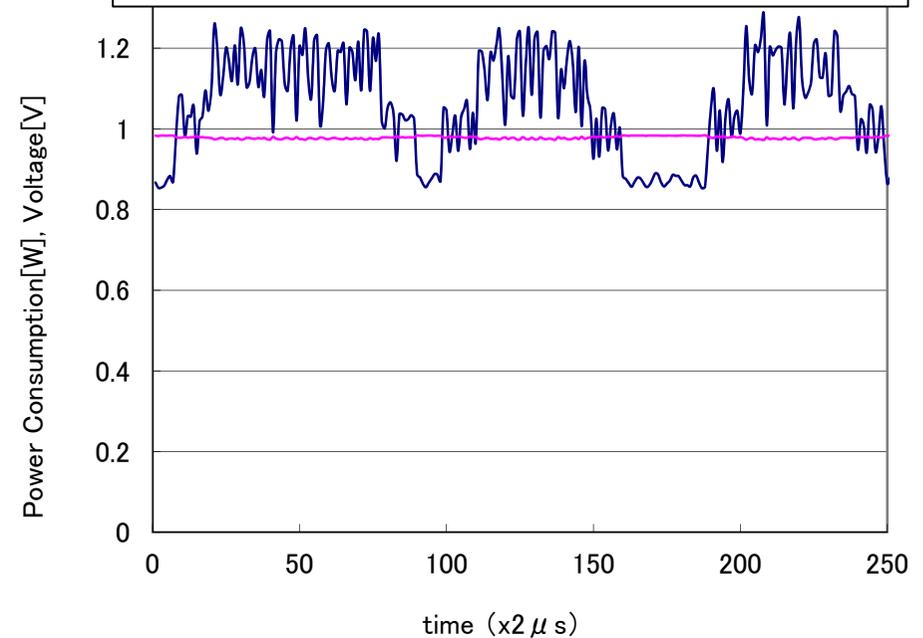
With 1 AAC, power consumption is invariable (0.60W) even if number of processors are increased to 2, 4, 8. ³²

Waveform of Power Consumption when executing Multiple Light Computational Load Applications (8 AAC Encoders) on RP2

Waveform of 1PE 1AAC
Average Power: 0.59W



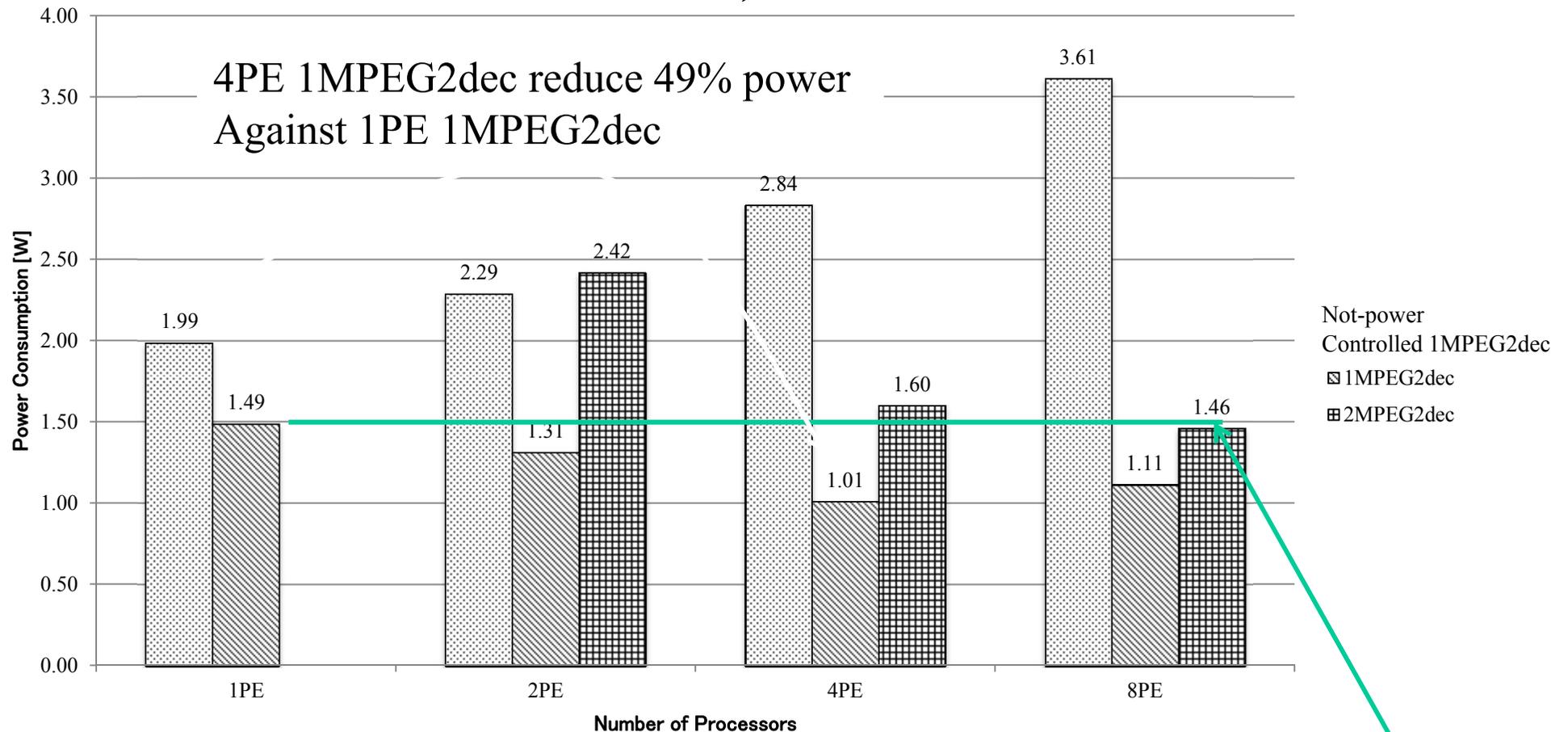
Waveform of 8PE 8AAC
Average Power: 1.01W



Supply Voltage is change from 1.4V to 1.0V by power control.

Power Consumption increase only 29% by 8 AAC Encoders against 1 AAC Encoder.

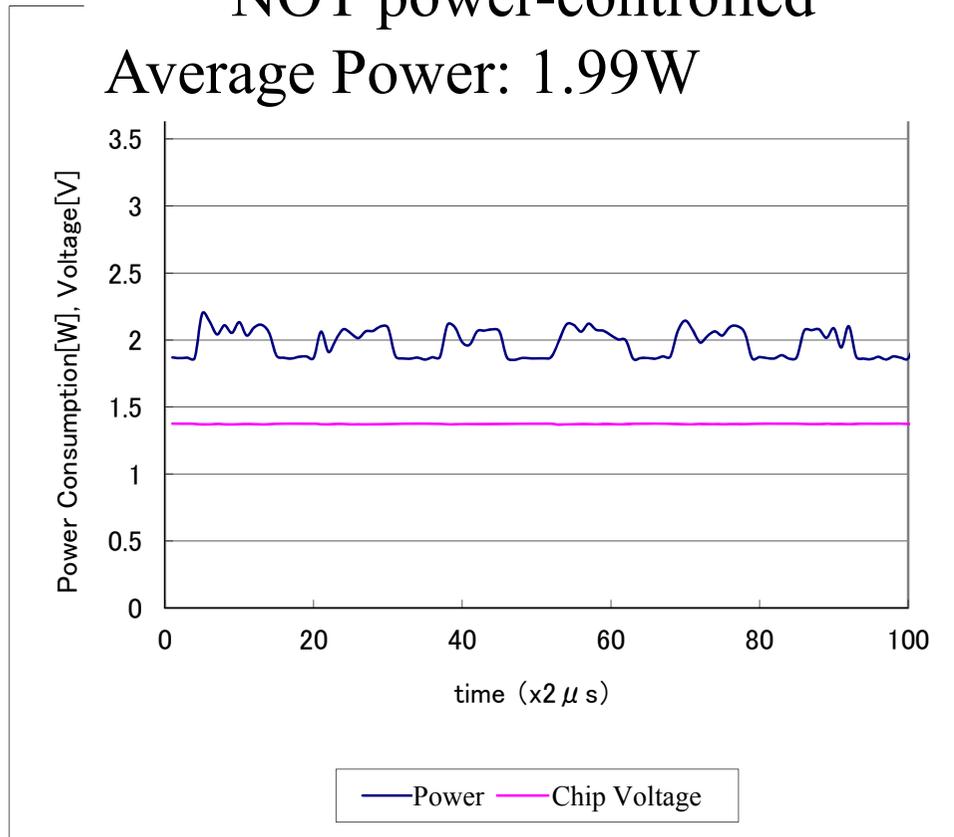
Whole Chip Power Consumption executing Multiple Middle Computational Load Applications (2MPEG Decoders) on RP2



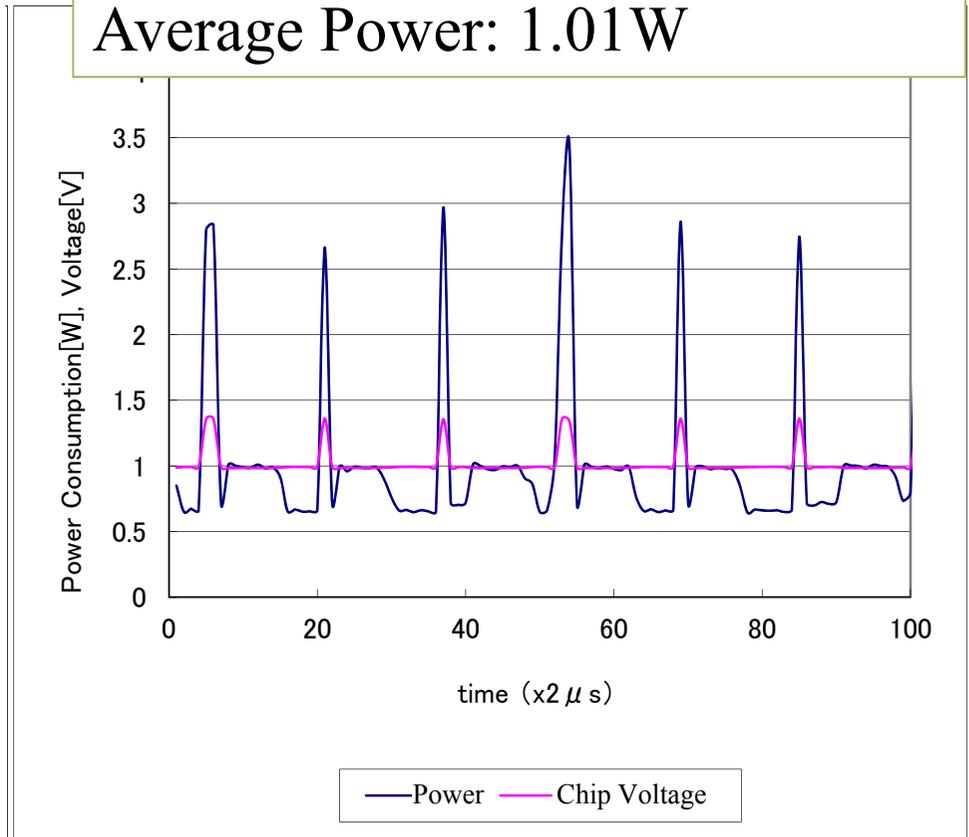
Power consumption of (4PE 1MPEG2dec) x2 is lower than 1PE 1MPEG2dec. At this time, 51% power reduction for one MPEG2dec.

Waveform of Power Consumption when executing Multiple Middle Computational Load Applications (1MPEG2 Decoder) on RP2

Waveform of 1PE 1MPEG2dec
NOT power-controlled
Average Power: 1.99W

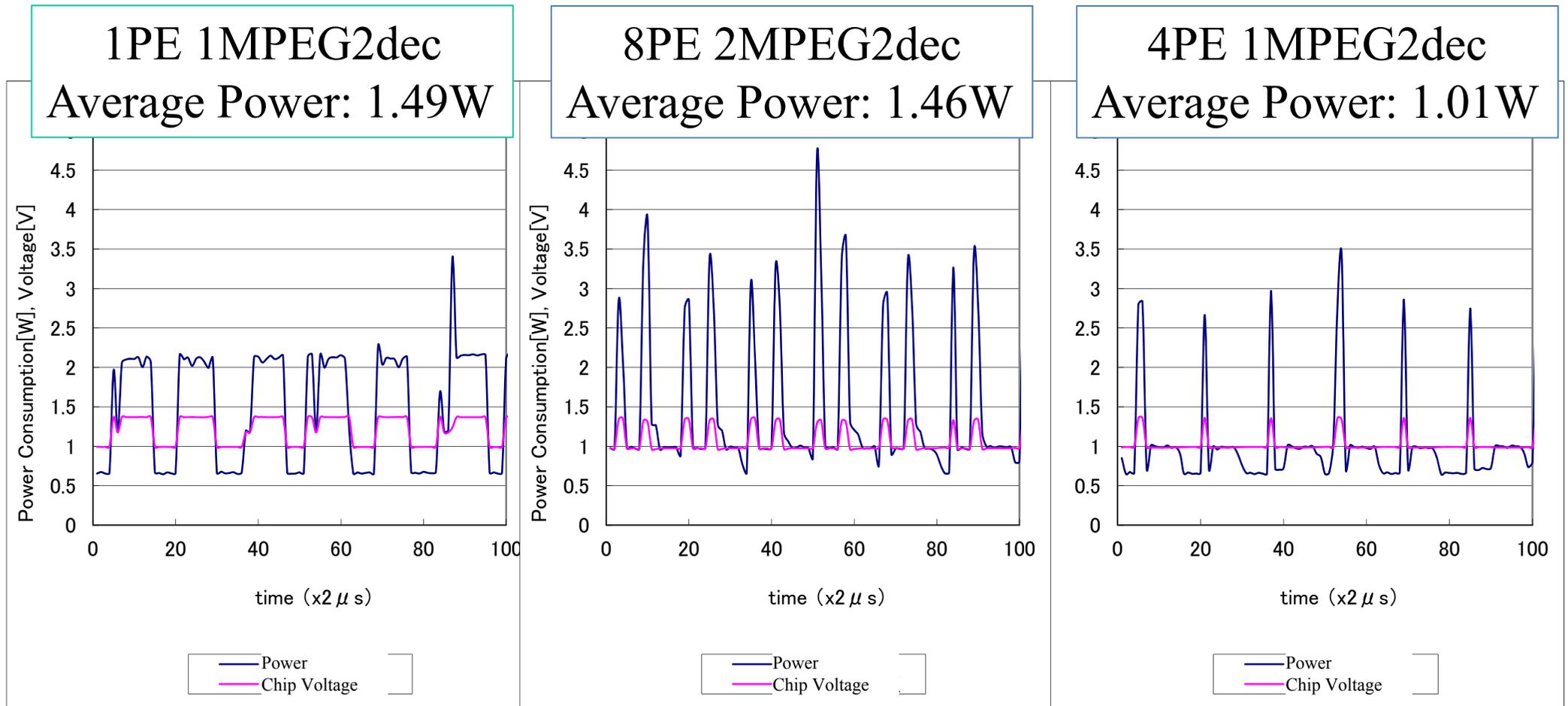


Waveform of 4PE 1MPEG2dec
Average Power: 1.01W



49% power reduction against 4PE 1MPEG2dec

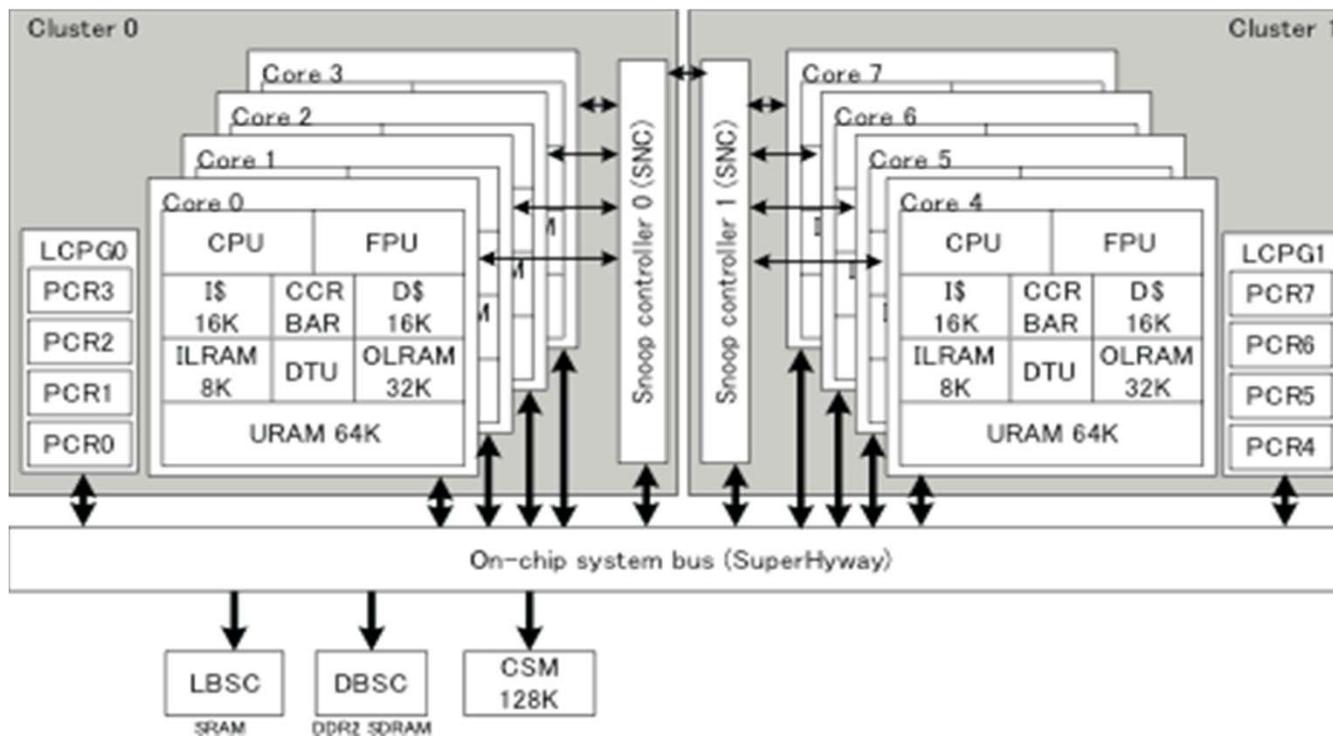
Waveform of Power Consumption when executing Multiple Middle Computational Load Applications (1MPEG2 Decoder) on RP2



49% power reduction by using 4x cores is almost same as power consumption of 1MPEG2dec

メニーコアに向けたソフトウェアキャッシュコヒーレンス制御 評価環境

ルネサス/日立/早大 RP2 (SH-4Aコアを8コア集積)



Process Technology	90nm, 8-layer, triple-Vth, CMOS
Chip Size	104.8mm ² (10.61mm x 9.88mm)
CPU Core Size	6.6mm ² (3.36mm x 1.96mm)
Supply Voltage	1.0V–1.4V (internal), 1.8/3.3V (I/O)
Clock frequency	600MHz, 300MHz, 150MHz, 75MHz
Power Domains	17 (8 CPUs, 8 URAMs, common)

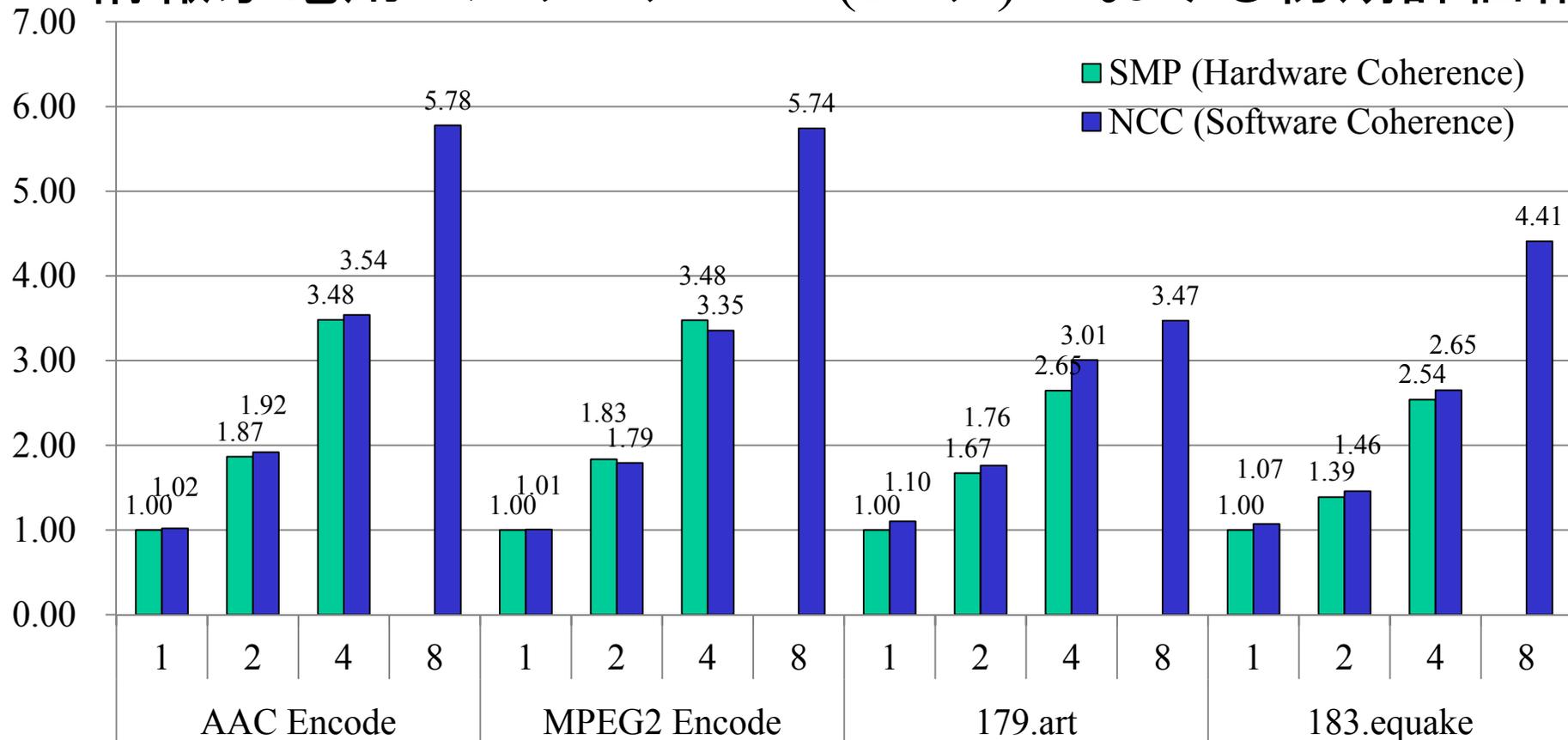
M. Ito, et al., "An 8640 MIPS SoC with Independent Power-off Control of 8 CPU and 8 RAMS by an Automatic Parallelizing Compiler", ISSCC2008

低コスト化のため5コア以上のハード・コヒーレンス制御機能無し

➡ ソフトウェアによるコヒーレンス制御が必要

メニーコアへ向けたソフトウェアコヒーレンス制御の性能

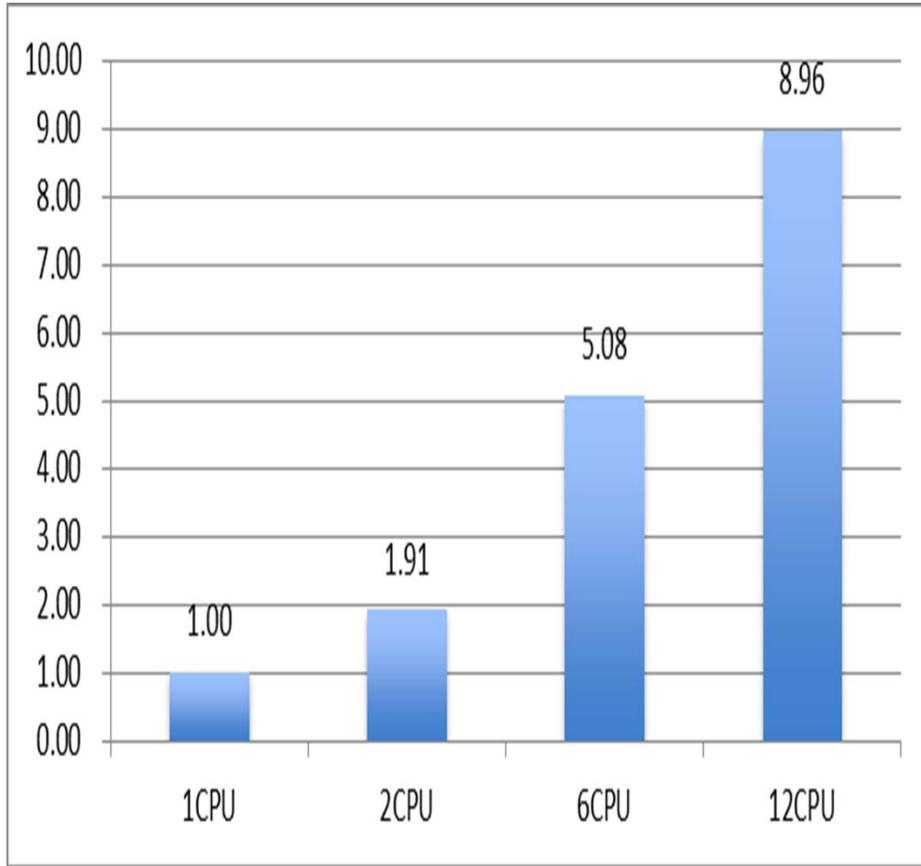
情報家電用マルチコア RP2 (8コア) における初期評価結果



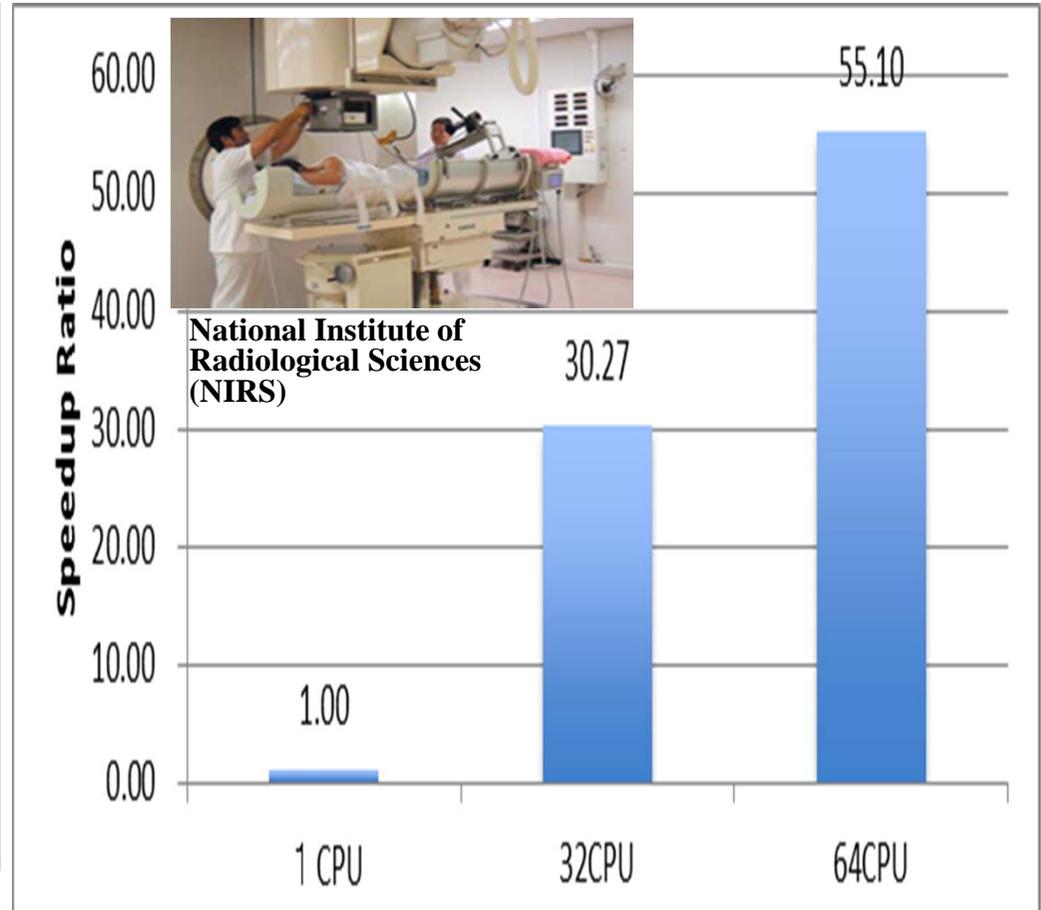
- キャッシュ操作は全てキャッシュ全体に対するキャッシュフラッシュとして実装
- 部分的なキャッシュ操作を実装することでさらに性能向上が得られる可能性あり

重粒子線ガン治療装置

線量計算自動並列化性能 (従来手動で16コアで2.5倍)



8.9times speedup by 12 processors
Intel Xeon X5670 2.93GHz 12 core SMP
(Hitachi HA8000)



55 times speedup by 64 processors
IBM Power 7 64 core SMP
(Hitachi SR16000)

まとめ

グリーン・コンピューティング・システム研究開発センターでのマルチコア/メニーコア産官学連携研究開発(持続的強化のための人材育成含む)

1.環境を守るコンピューティング・システム

太陽光電力等クリーンエネルギーで動作し、自然冷却可能な超低消費電力(マルチコア・メニーコア)プロセッサ・システムのハードウェア・ソフトウェア・応用技術

2.命を守るコンピューティング・システム

災害(地震・津波・溶岩流)スーパーリアルタイムシミュレーション技術、医療(重粒子線ガン治療、内視鏡、脳梗塞診断補助)等並列ソフトウェア技術・アーキテクチャ技術

3.産業競争力を守るコンピューティング・システム

我が国の主要産業である自動車、情報家電、ロボット等の安全、安心、快適、省エネ、高機能、高生産性を実現し高付加価値化に貢献するソフトウェア・ハードウェア・API技術