

NEDOメニーコア・プロセッサ技術 (グリーンITプロジェクト)の先導研究概要

低消費電力メニーコアプロセッサ・システム
技術の先導研究

早稲田大学

理工学術院 基幹理工学部 情報理工学科 教授
IT研究機構アドバンス・マルチコア・プロセッサ研究所 所長
笠原博徳

URL: <http://www.kasahara.cs.waseda.ac.jp/>

マルチコアからメニーコアへ

■ 組込からスパコンまで高性能・低消費電力化

➤ 情報家電用マルチコア

カーナビ, 携帯電話, ゲーム, デジタルTV, DVD
 IBM/ Sony/ Toshiba Cell, Fujitsu FR1000, P
 anasonic Uniphier, NEC/ARM MPCore/MP211/NaviEngine
 Renesas 4 core RP1, 8 core RP2, 15core Hetero RP-X
 Tileria Tile64, SPI Storm-1(16 VLIW cores),
Plurality HAL (64-256 cores)

➤ PC,サーバ

Intel Quad Xeon, Core 2 Quad, Nehalem(8core), 80 core,
Larrabee(32core), SCC (48 core)
 AMD Quad Core Opteron, Phenom

➤ WSs, Deskside & Highend Servers

IBM Power 7(8cores): BlueWaters(HPCS)16 PFLOP(2011)
Cycrops64 (160 cores), Sun Rock (16 cores), Rainbow
Falls (16 cores), Fujitsu SPARC64 VIII fx (8 cores)

➤ スーパーコンピュータ

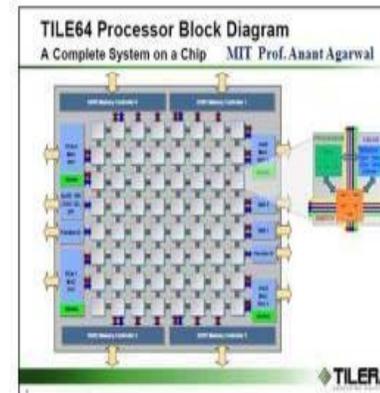
IBM 低消費電力マルチコアベースBG/P PowerPC450 (4
 cores), BG/Q (8-16cores) 20PFLOPS, 6MW (2011-12)

■ 低消費電力,アプリケーションソフトの充実,短期間システム 開発,低コスト, 高機能化が市場競争力決定

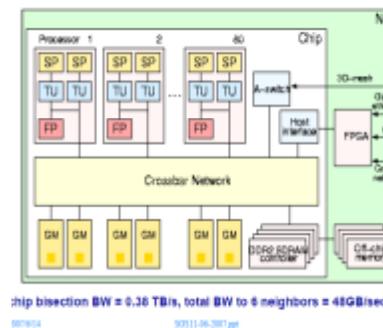
<例>携帯電話,ゲーム,自動車,サーバ

■ 自動並列化コンパイラ協調型メニーコアプロセッサ必要

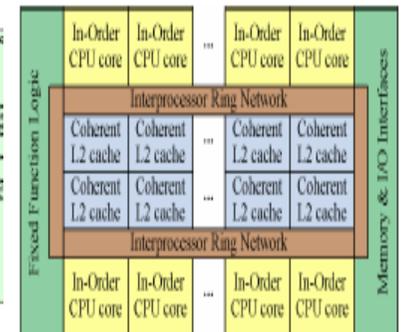
ルネサス, 日立, 東工大
早大 RP-X



C-64 Chip Architecture



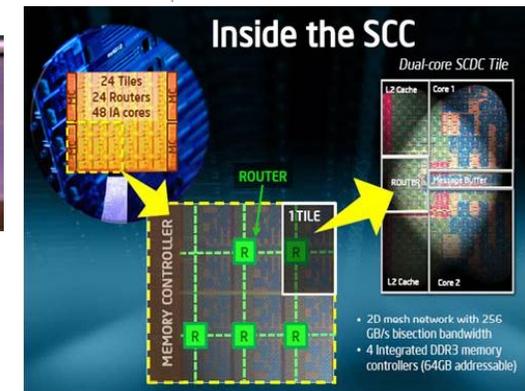
CAPSL



Intel Larrabee



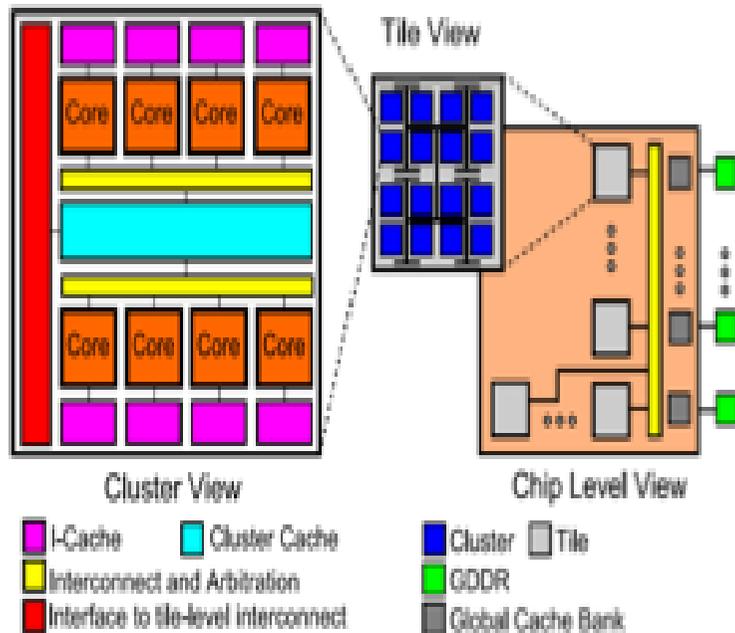
IBM Power7
1TFLOPS
Module



米国大学メニーコアプロジェクト

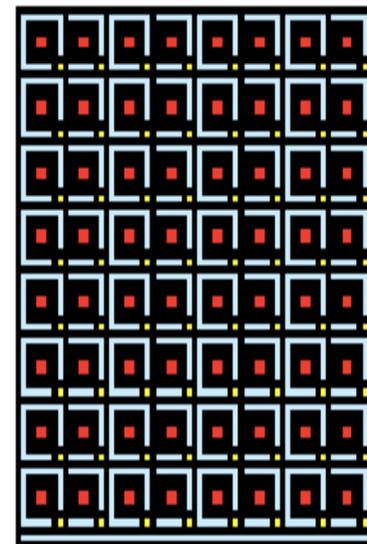
Rigel (イリノイ大学 UPCRC* Prof. Sanjay Patel)

- 1000コア以上の集積を目標
- メディア及び科学技術計算等広範囲なアプリを目指す
- 現在のところ、手動並列化
- 台湾 Ministry of Economic Affairs (MOEA), ITRIとの連携も検討中



Bulk (イリノイ大学 UPCRC* Prof. Josep Torrellas)

- ハードウェアにより処理の記録・再生や、データアクセスの競合検出をサポートすることにより並列プログラム生産性の向上をねらう。
- ターゲットアプリ: 科学技術計算
- 並列化コンパイラの開発も目指す



The Bulk
Multicore

* UPCRC:
インテルとマイクロソフトにより設立されたマルチコアハードウェア、ソフトウェア、応用に関する研究センター



DARPA-SN-09-46
Request for Information (RFI)
Ubiquitous High Performance Computing (UHPC)

for

Information Processing Techniques Office (IPTO)
Defense Advanced Research Projects Agency (DARPA)

UHPC
Processor
80GFLOPS/W

Table 1: Hardware Goals and Targets

System Element	Design Goals	Design Target
Cabinet		
Energy Efficiency	50 GFLOPS/W	
Form Factor	Standard 19" rack such as EIA 310-D standard	
Maximum Cabinet Power	57 kW including cooling	
Cooling	Air cooled	
Address Space		Globally shared
I/O Capability	Support of massive streaming sensor data	
Processor Module		
Energy Efficiency		80 GFLOPS/W
Numeric Format – Floating Point	IEEE754 single and double precision	5 - 10 TFLOPS double precision floating point
Numeric Format – Fixed Point	16, 32, and 64-bit	5- 10 TOPS 64-bit fixed point
Internal Memory		> 32 GB
On-Module Memory Bandwidth		1 B/FLOP
Off-Module Memory Bandwidth		> 1 TB/s
System Node Memory		
Other	Sufficient to support the specified application domains	> 512 GB per Processor Module
Interconnection Network		
Description	High performance computational environment supporting a shared global address space and overall system performance.	
Other	Support high performance interconnects at all levels of the system: inter-module, intra-module on a node, within a cabinet, and between cabinets.	
Storage		
Description	Sufficient to support the specified application domains, including check-pointing, scratch-space, and archival. This system could be comprised of non-volatile memory and/or disk drives.	10 B/FLOP

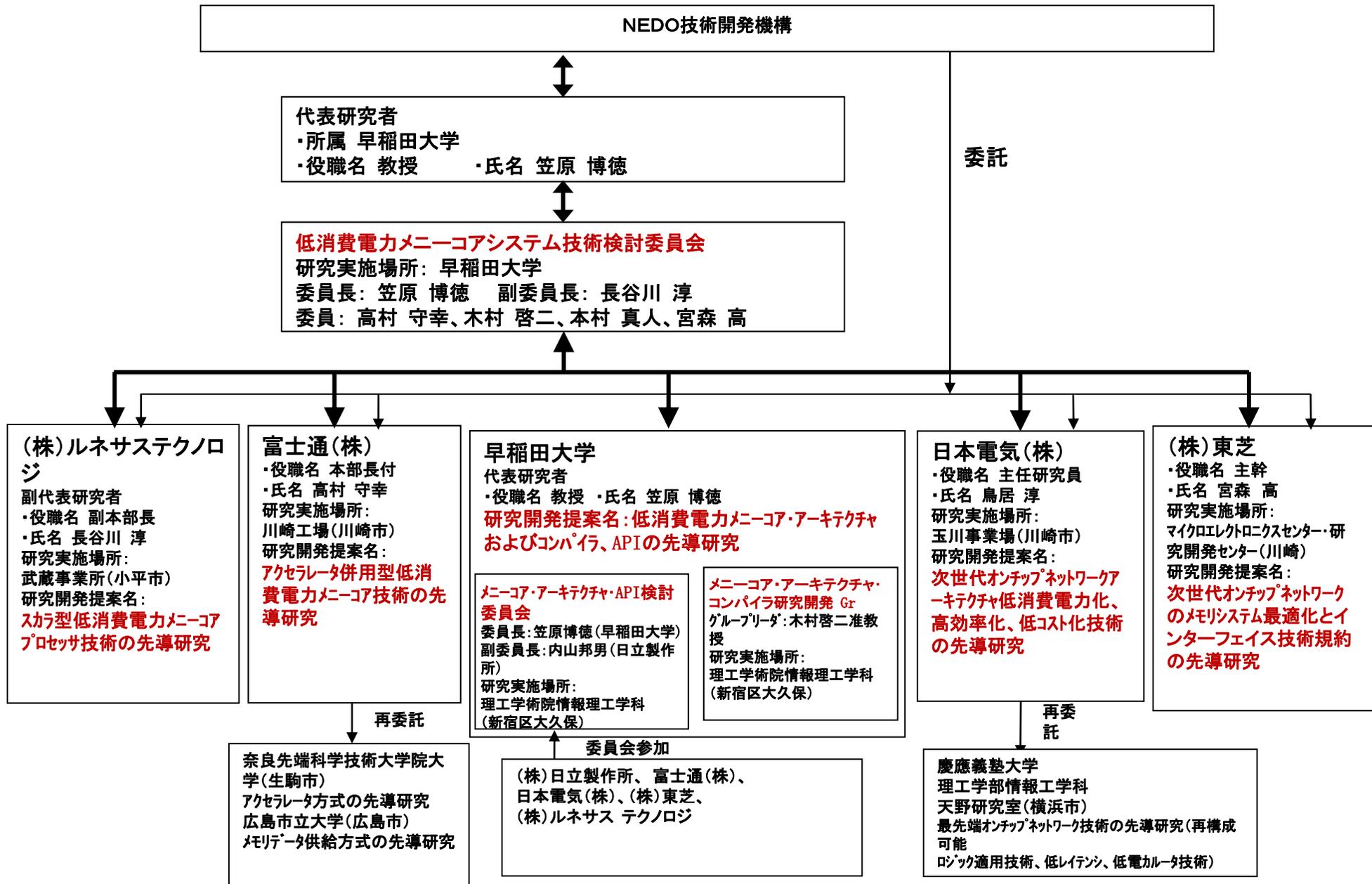
UHPC Goals

The goals of the UHPC system are as follows:

- one PFLOPS, air-cooled, single 19-inch cabinet ExtremeScale system. The power budget for the cabinet is 57 kW, including cooling.
- achieve 50 GFLOPS/W for the High-Performance Linpack (HPL)³ benchmark.
- The system design should provide high performance for scientific and engineering applications.
- The processor node should be capable of being used within terascale embedded and multiple cabinet systems.
- The system should be a highly programmable system that does not require the application developer to directly manage the complexity of the system to achieve high performance.
- The system must explicitly show a high degree of innovation and software and hardware co-design throughout the life of the program.
- Additional program goals and targets are provided in Table 1 below.

The scope of the UHPC software effort spans the spectrum of operating systems; runtimes for scheduling, memory management, communication, performance monitoring, power management, and resiliency; computational libraries; and compilers. The three key challenges for ExtremeScale software are concurrency, energy efficiency, and resiliency.

「メニーコア・プロセッサ技術(グリーンITプロジェクト)の先導研究」実施体制



超低消費電力メニーコア・システム用コンパイラ技術

1. マルチグレイン並列化

➤ より多いコア数に対応するために階層的粗粒度タスク並列化、ループ並列化によりプログラム全域の並列性を利用する マルチグレイン並列化

2. メモリ及びデータ転送最適化

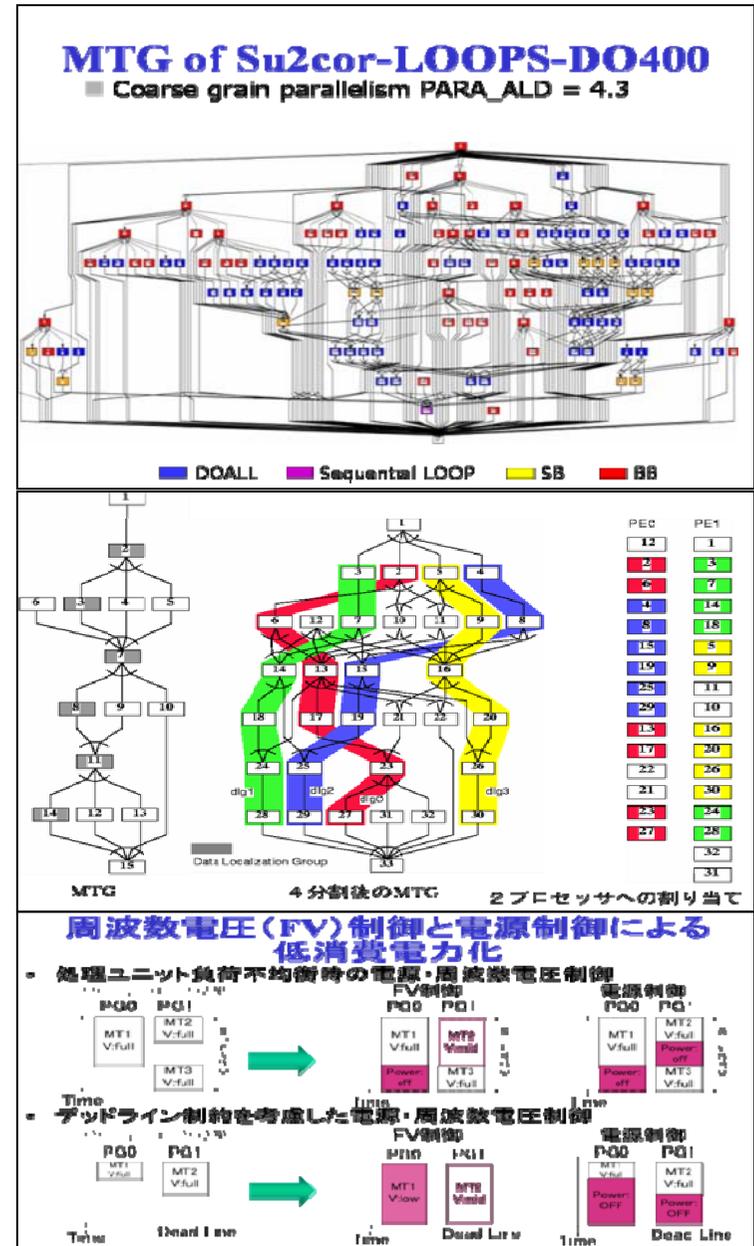
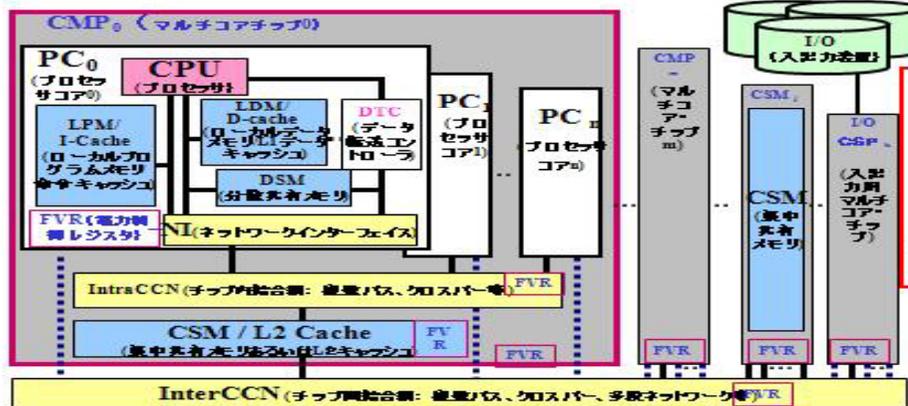
➤ コンパイラによる ノンヒーレントキャッシュ制御、ローカルメモリへのデータ分割配置、DMAコントローラによる タスク実行とオーバーラップしたデータ転送 によりオーバーヘッド最小化

3. 消費電力制御

➤ コンパイラによるアプリケーション内での各コアの 周波数・電圧制御 (DVFS・クロックゲーティング) ・ 電源遮断 (パワーゲーティング) を用いた 低消費電力制御

コンパイラ協調型OSCAR
マルチコアアーキテクチャ

- ・ローカルメモリ
- ・分散共有メモリ
- ・集中共有メモリ(チップ内・外)
- ・DTC(高精度DMAC)
- ・電力制御用FVR



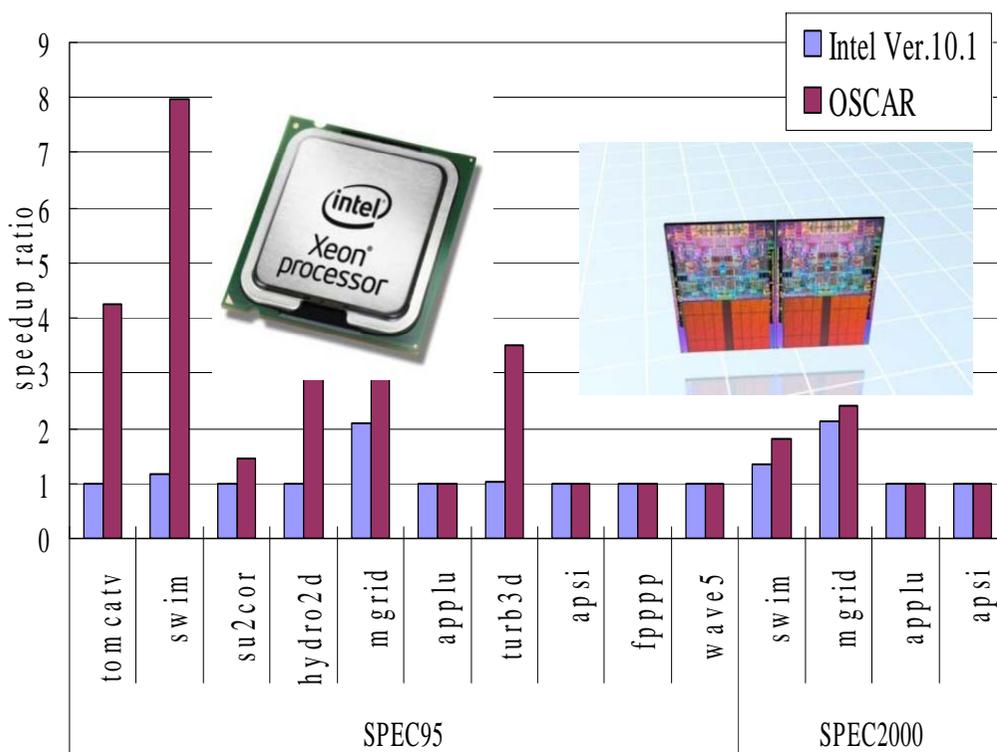
現状：世界最高性能のOSCARコンパイラの性能

インテル・IBMマルチコアサーバ上でそれぞれ2倍・3倍以上の高速化

インテル クアッドコアXeonプロセッサ上での 早稲田大学 OSCARコンパイラの性能

インテル・マルチコア上で
インテルコンパイラに比べ

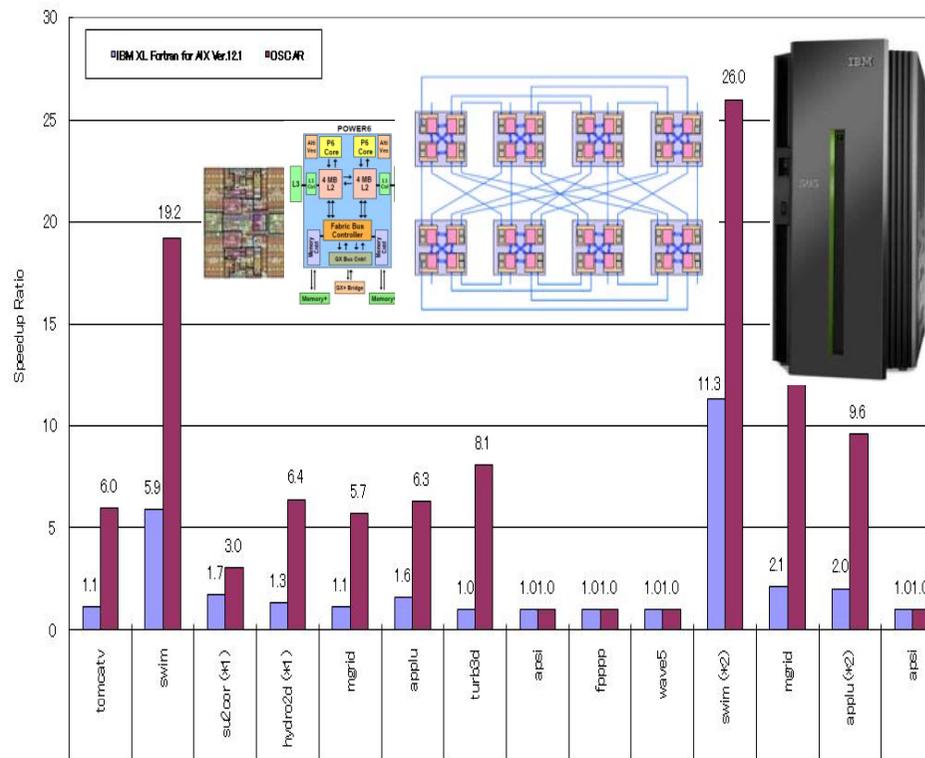
2.1 倍速度向上



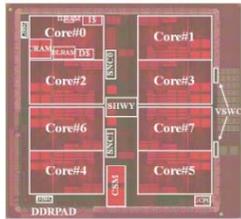
IBM p6 595 Power6 (4.2GHz) ベース 32コア SMP サーバ上での早稲田大学OSCARコンパイラの性能

IBM最新サーバ上で
IBMコンパイラに比べ

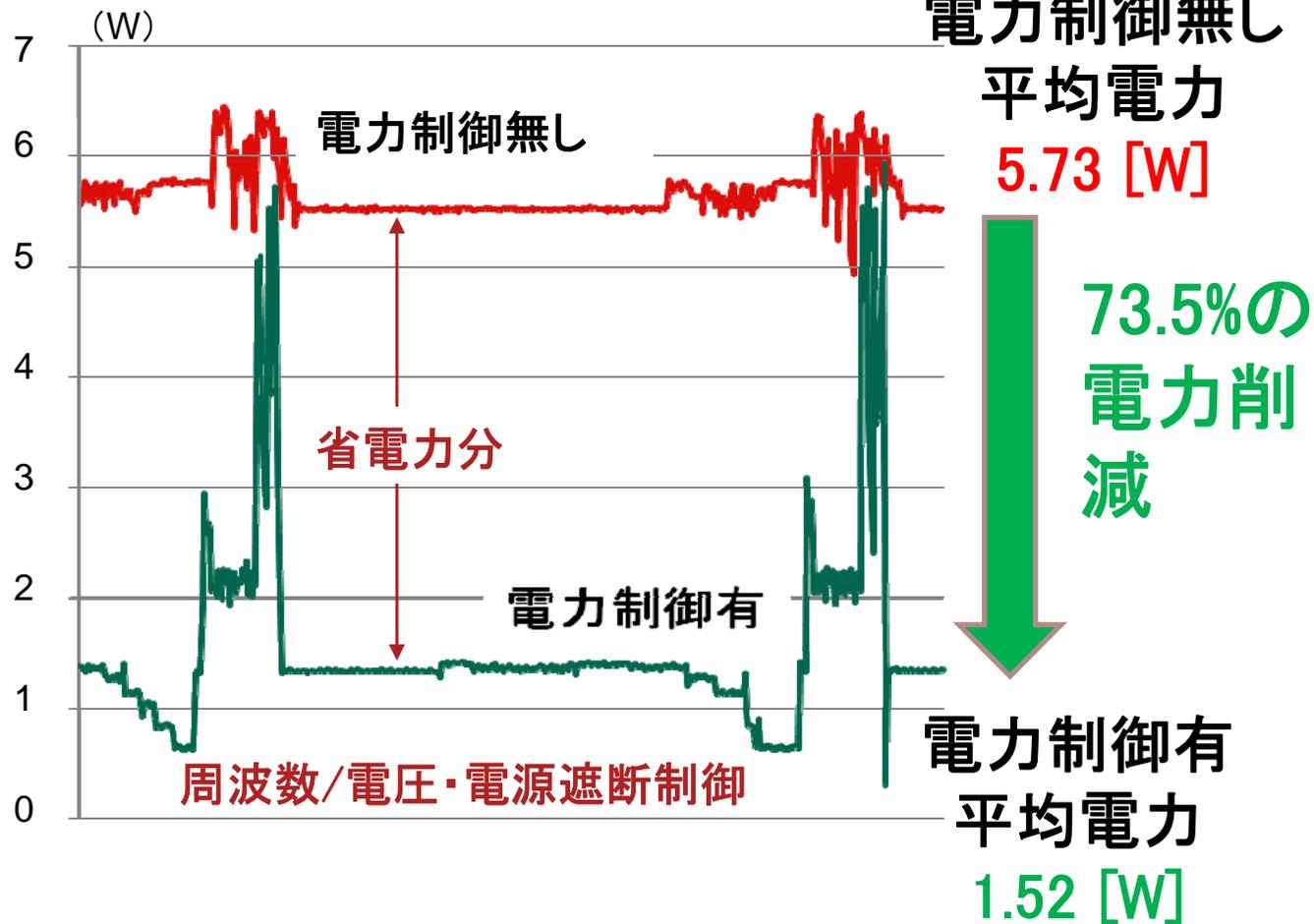
3.3 倍速度向上



現状：世界唯一コンパイラによる消費電力削減に成功



NEDOプロジェクトで開発した低消費電力
マルチコア(8コア)上でのマルチメディア処理
(MPEG2デコード)

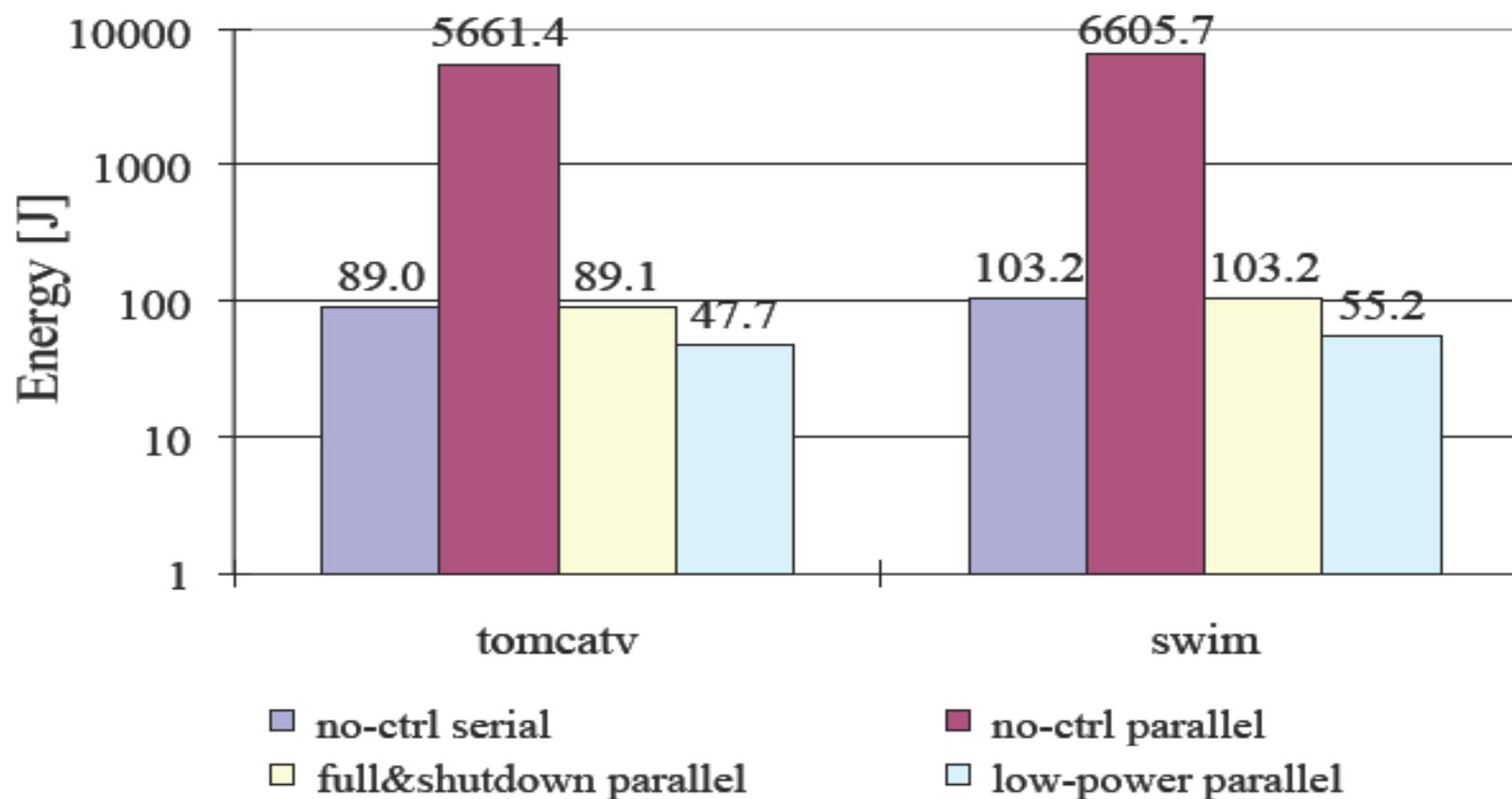


太陽電池で駆動可



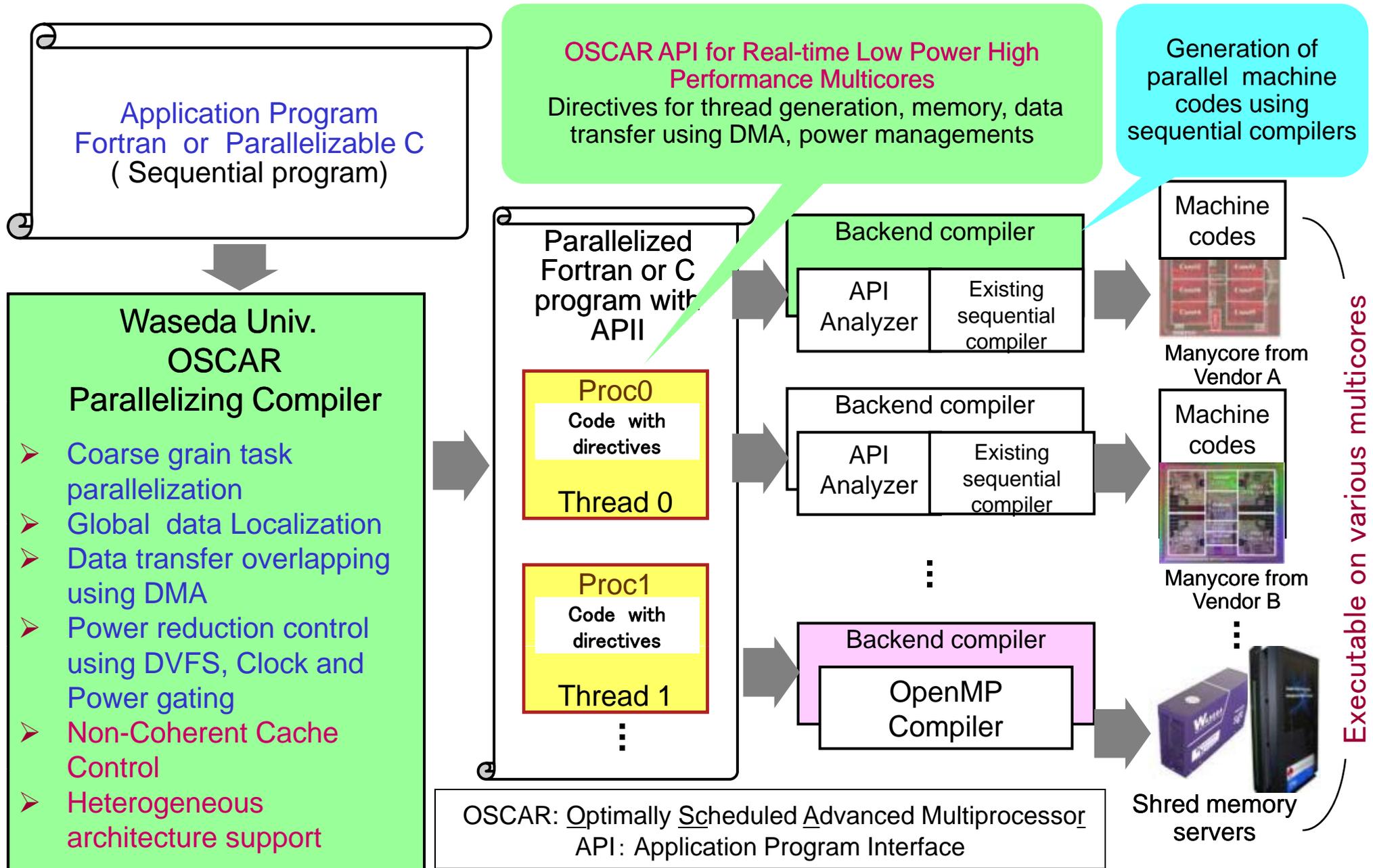
SPEC 95 TOMCATV, SWIMのプログラムの64コア・リアルタイム処理を仮定した場合の消費電力推定値

Estimated Energy Consumption on 64-core OSCAR



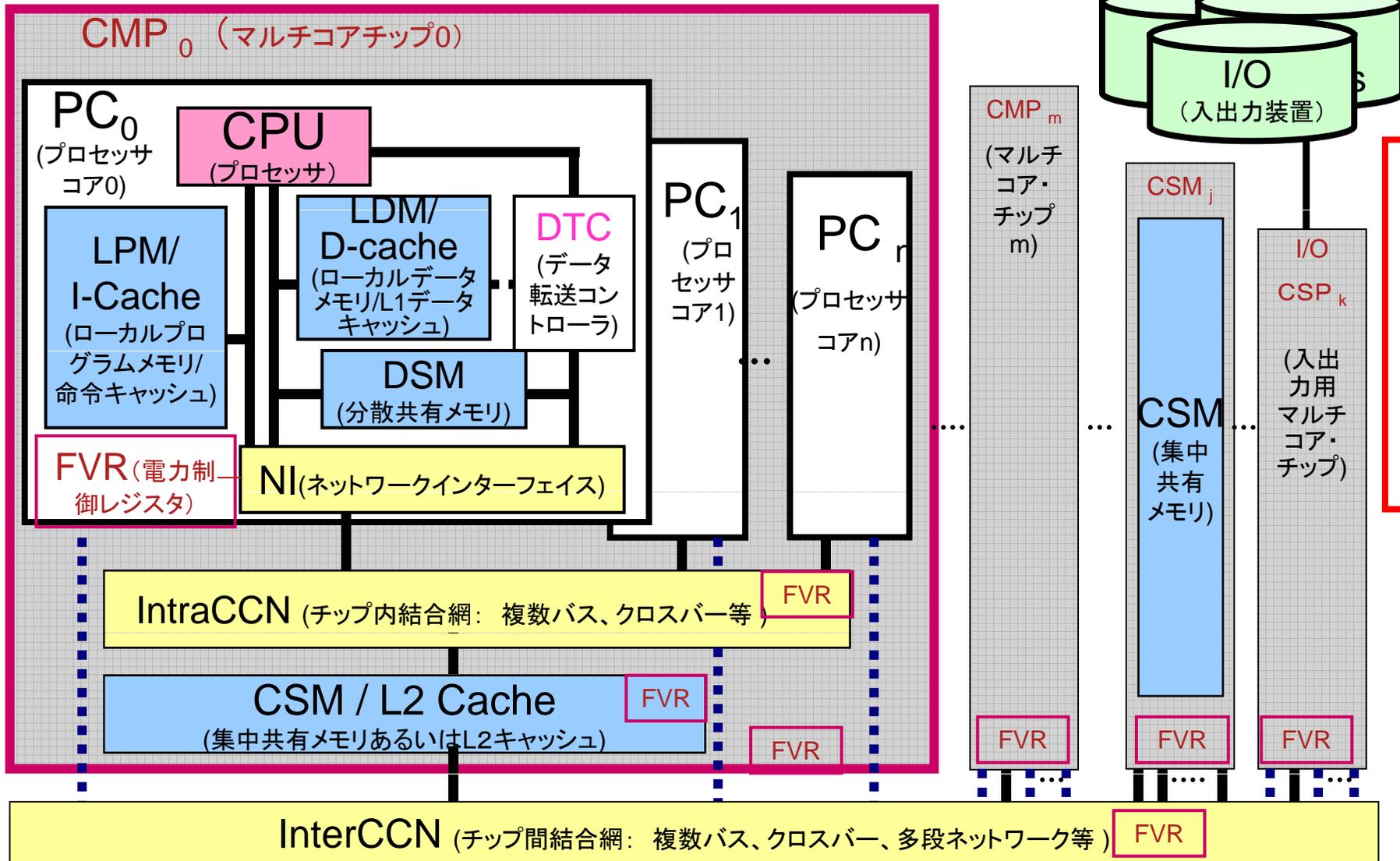
- Energy reduction vs. single core
 - 46.4 % for tomcatv and 46.5 % for swim
- Energy reduction vs. 128 cores w/o low power control
 - More than 99 % for tomcatv and swim

OSCAR API for Manycores



標準的メモリアーキテクチャとAPI委員会にて承認されたOSCARマルチコアメモリアーキテクチャ

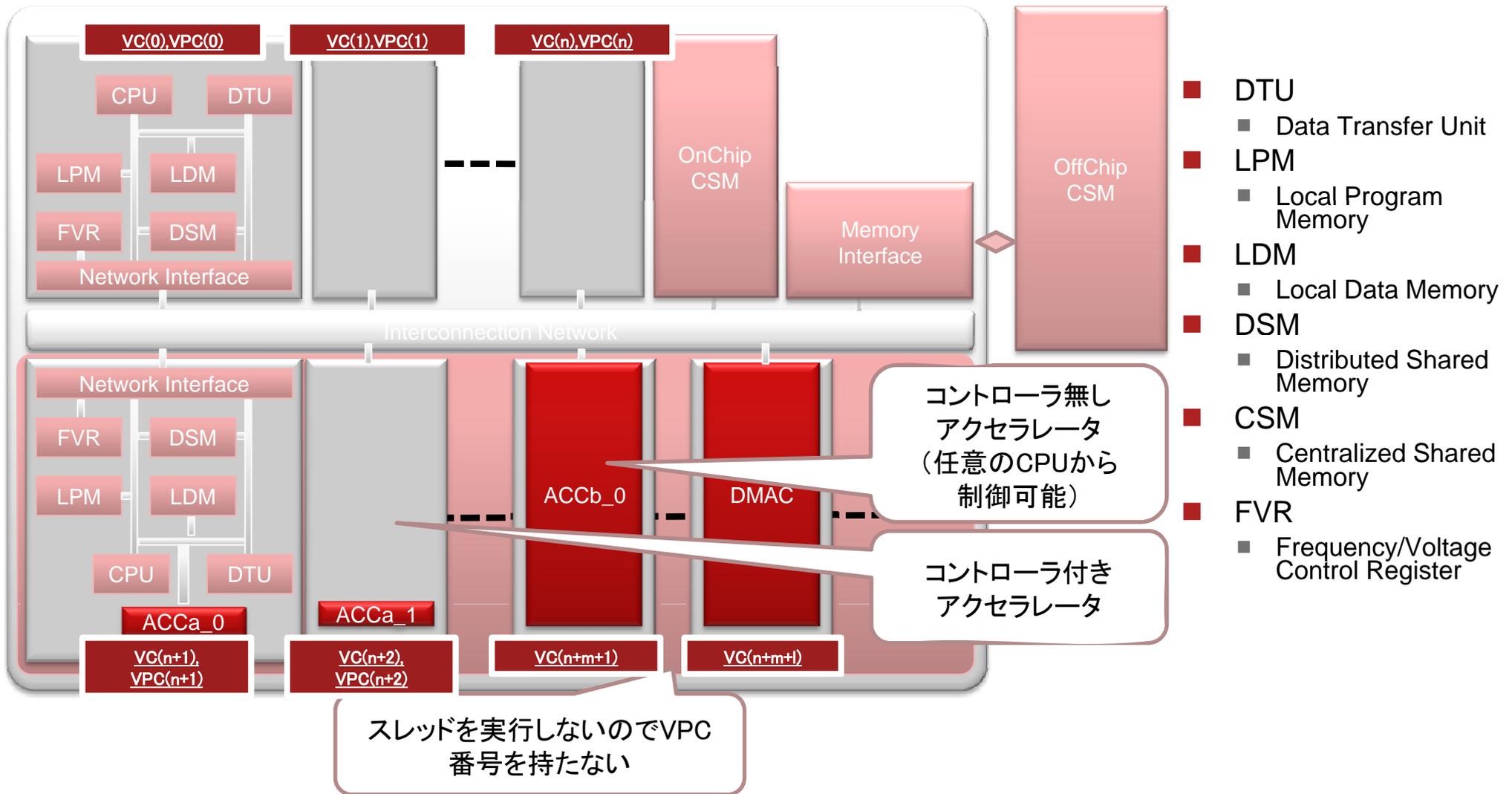
- ・ローカルメモリ
- ・分散共有メモリ
- ・集中共有メモリ(チップ内・外)
- ・DTC(高性能DMAC)
- ・電力制御用FVR



標準メモリアーキテクチャとして6社が2005年12月16日承認

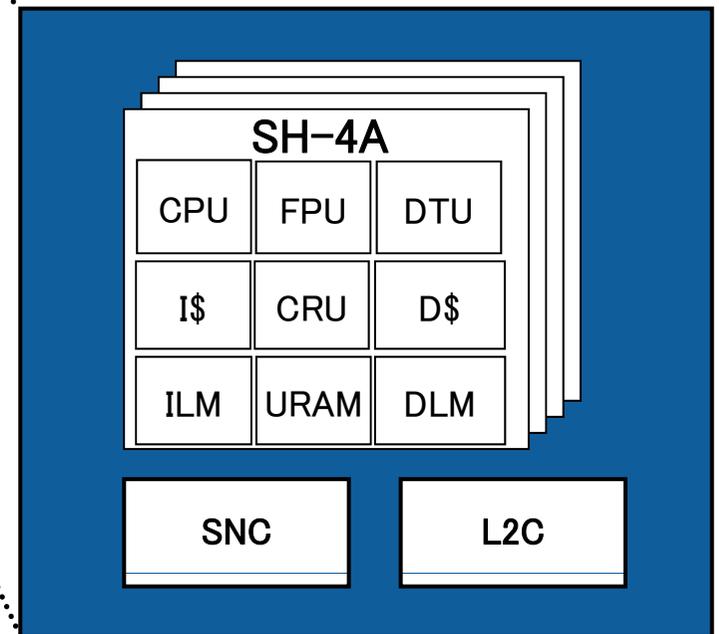
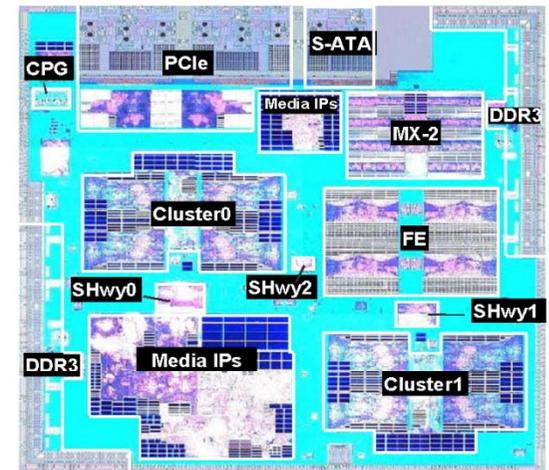
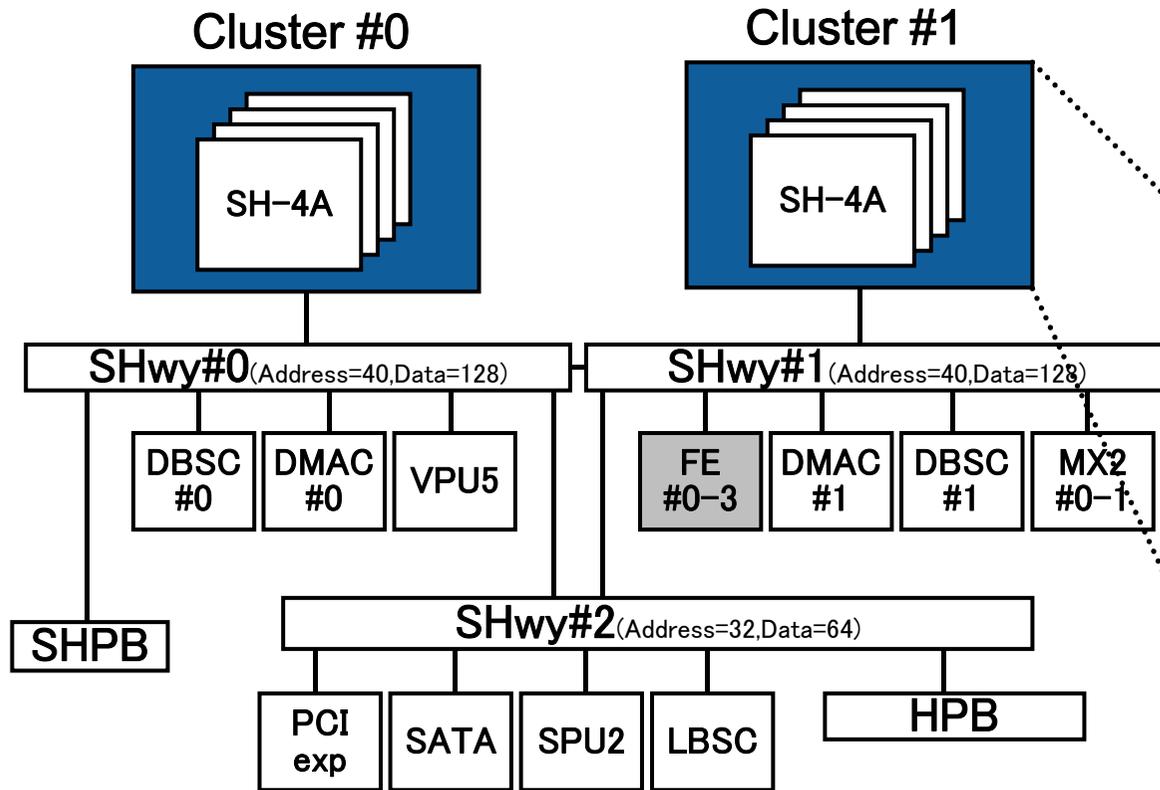
OSCAR API-Applicable

ヘテロジニアスマルチコアアーキテクチャ



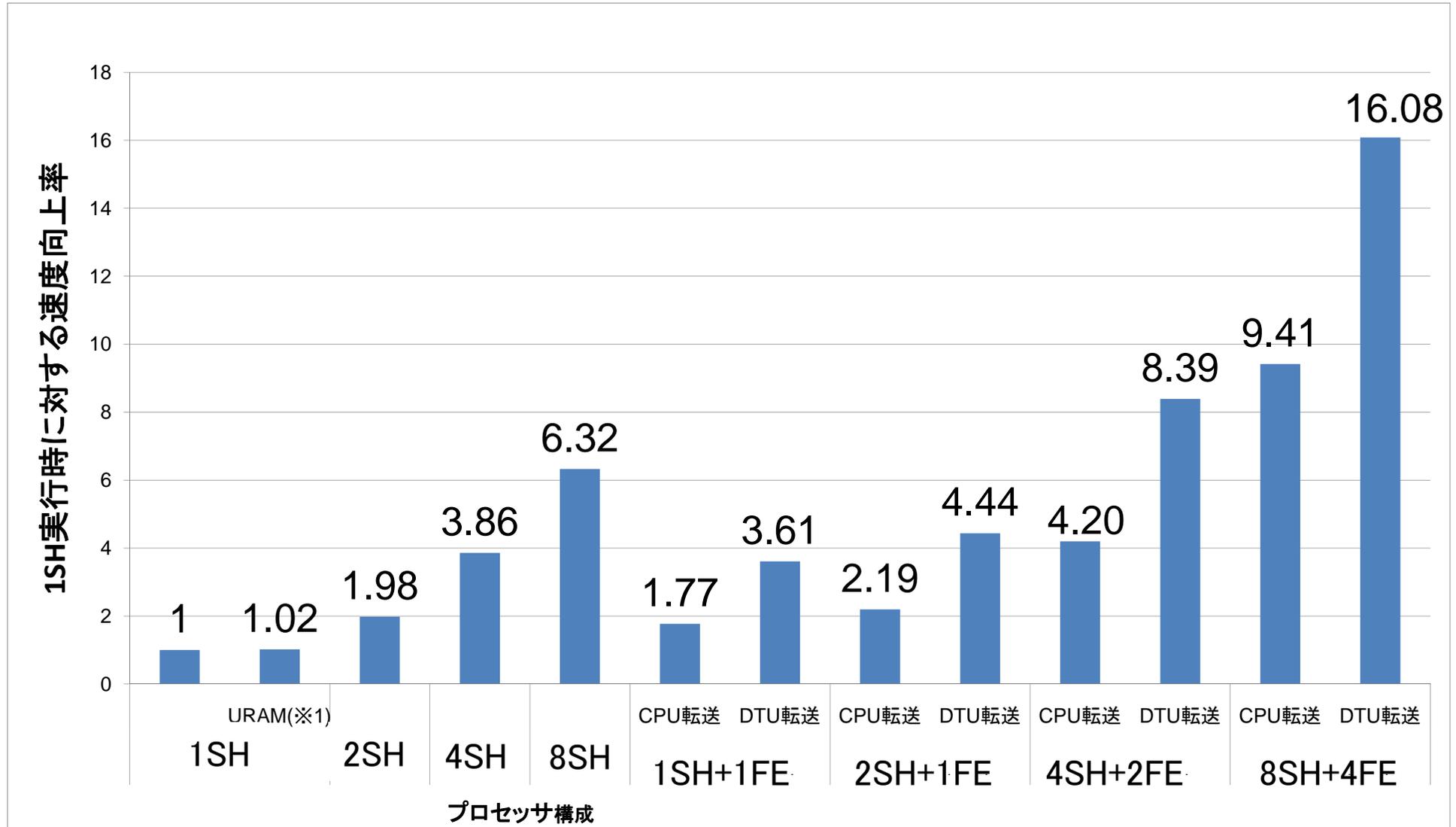
新規開発ヘテロジニアスマルチコアRP-X

ISSCC2010 Processorセッションにて発表(2010.2.8)



ルネサステクノロジ・日立・東工大・早稲田により開発

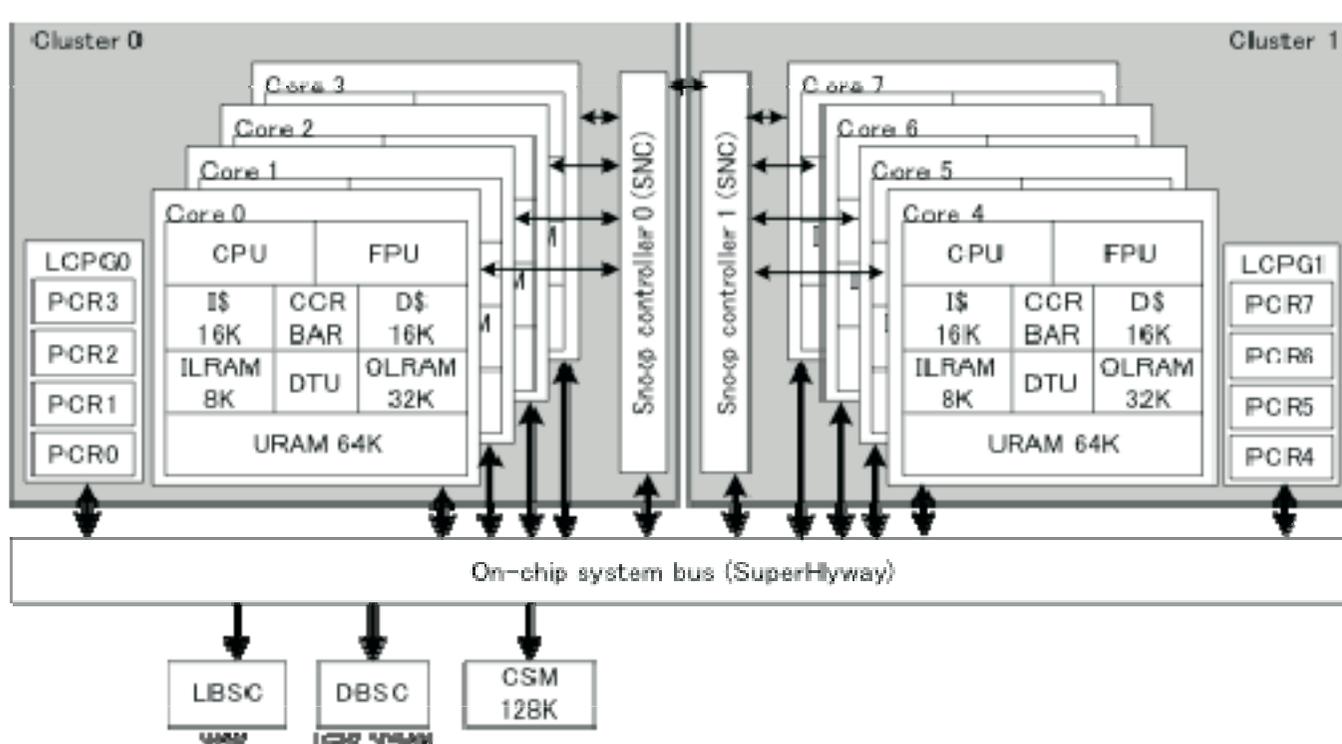
RP-XでのOSCAR コンパイラ/APIを用いた AACエンコーダを用いたヘテロジニアス並列性能



ノンキャッシュ向け OSCAR API指示文

- 新たに5つの指示文を追加
- メモリ配置指示文
 - `noncacheable`: 変数をノンキャッシュャブルにする
 - `aligncache`: 変数の先頭をキャッシュラインの境界にアラインメント
- キャッシュ操作指示文
 - `cache_writeback`: キャッシュ上のダーティラインの書き戻し
 - `cache_selfinvalidate`: キャッシュラインの無効化
- メモリ操作順序保証指示文
 - `complete_memop`: メモリ操作の完了

リアルタイム情報家電用低消費電力マルチコア RP2 (8コア) Renesas/Hitachi/Waseda



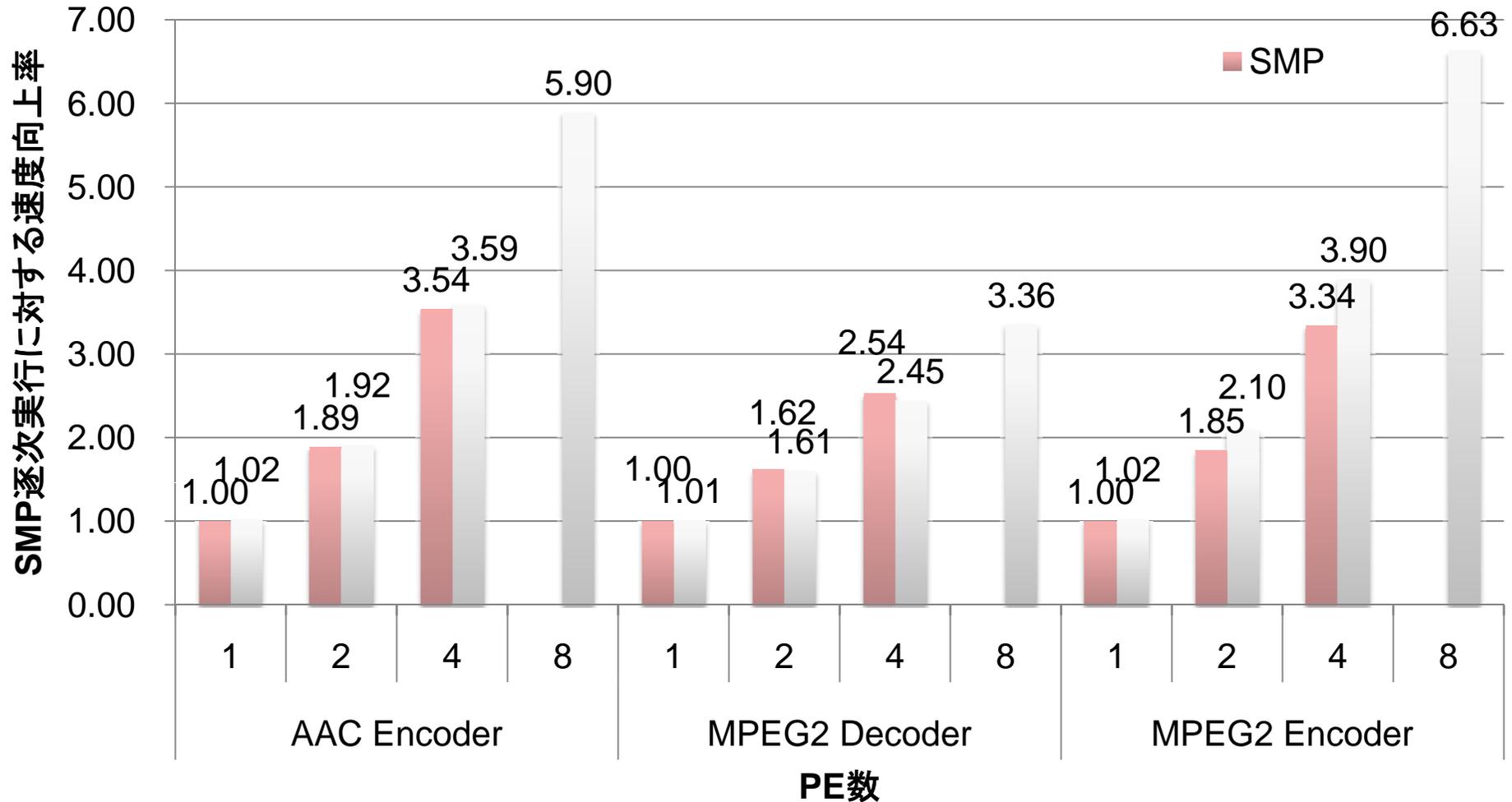
Process Technology	90nm, 8-layer, triple-Vth, CMOS
Chip Size	104.8mm ² (10.61mm x 9.88mm)
CPU Core Size	6.6mm ² (3.36mm x 1.96mm)
Supply Voltage	1.0V–1.4V (internal), 1.8/3.3V (I/O)
Clock frequency	600MHz, 300MHz, 150MHz, 75MHz
Power Domains	17 (8 CPUs, 8 URAMs, common)

M. Ito, et al., "An 8640 MIPS SoC with Independent Power-off Control of 8 CPU and 8 RAMS by an Automatic Parallelizing Compiler", ISSCC2008

クラスタ間ではハードウェアはコヒーレンスを維持しない

➡ コンパイラでソフトウェアコヒーレンス制御

RP2上でのコンパイラによるソフトウェアコヒーレンシ 制御手法及びメニーコア用APIの検討



太陽電池駆動・超低消費電力高性能コンピュータの研究開発

研究開発の目的

低炭素・安全安心社会実現への貢献

- 太陽電池駆動可能超低消費電力・高性能コンピュータ
 - 自然冷却(ファン不要) : 他国の追従不可な低消費電力
 - クラウドサーバ、スパコンの数十MWの電力消費を1/10以下へ削減
- メニーコアを用いたIT機器全体で2025年CO₂排出量1000万吨減/年
- 高度IT機器・自動車産業等の世界競争に勝つ技術の獲得**
- ソフトウェア生産性
 - 従来数ヶ月を要したプログラム並列化を、数分に短縮し生産性向上
→ 情報家電の短製品開発サイクルに対応し低コストで優位化製品を開発
- 携帯電話からスパコンまでの高付加価値化(情報家電:数十兆、サーバ:1兆円市場)
 - 産業利益を支える情報家電、自動車、クラウドサーバ、スパコン等高付加価値製品を持続的に創出するメニーコアプロセッサシステム技術の開発

研究開発技術

- 太陽電池駆動可能超低消費電力ハードウェア
 - メニーコアプロセッサ、太陽電池駆動コンパクトサーバ、消費電力を1/10以下に抑えるクラウドサーバの試作
- 高性能・低消費電力ソフトウェア
 - 世界最高性能の自動並列化・世界唯一の自動電力制御機能を実現したマルチコア用OSCARコンピュータをベースとしたメニーコア及びメニーコアを多数接続したサーバ用コンパイラの試作
 - 並列プログラム記述標準OSCAR APIの開発
- 環境・安全安心・産業競争力強化用アプリケーションソフトウェア
 - 地球環境シミュレーション、クリーンエネルギー、新デバイス、自動車設計、航空機設計、医療画像処理、情報家電

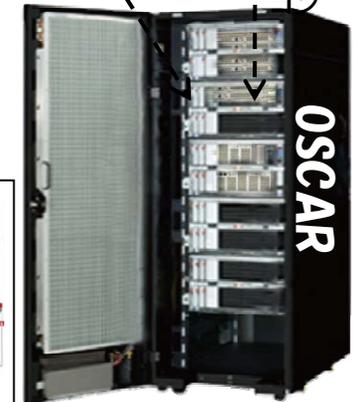
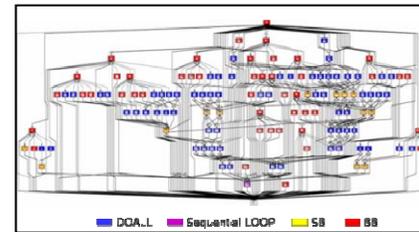
冷却ファン不要の超低消費電力メニーコアプロセッサ

OSCAR Many-core Chip

太陽電池駆動可能で医療現場でも使える静音・衛生的なコンパクトサーバ

消費電力を1/10以下に抑えるグリーン・クラウドサーバ、スパコン

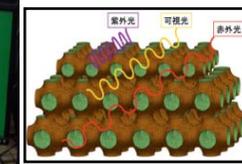
ソフトの並列化を数ヶ月から数分に短縮する世界最高性能自動並列化コンパイラ



実行時の電力を1/4以下に抑える世界初のソフト制御技術

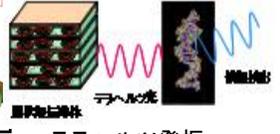


クリーンエネルギー技術



新太陽電池材料

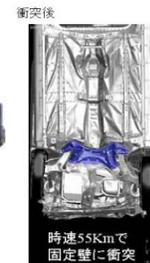
高性能デバイス開発



テラヘルツ発振超伝導素子



高付加価値情報家電創出



衝突解析(自動車安全設計)



安全安心に向けた地球環境シミュレーション



津波伝播シミュレーション

グリーン・コンピューティング・システム研究開発センター 概要

<目標>

太陽電池で駆動可能で
冷却ファンが不要な

超低消費電力・高性能

メニーコアプロセッサ*のハードウェア、
ソフトウェア、応用技術の研究開発

*1チップ上に多数のプロセッサコアを集積する
次世代マルチコアプロセッサ

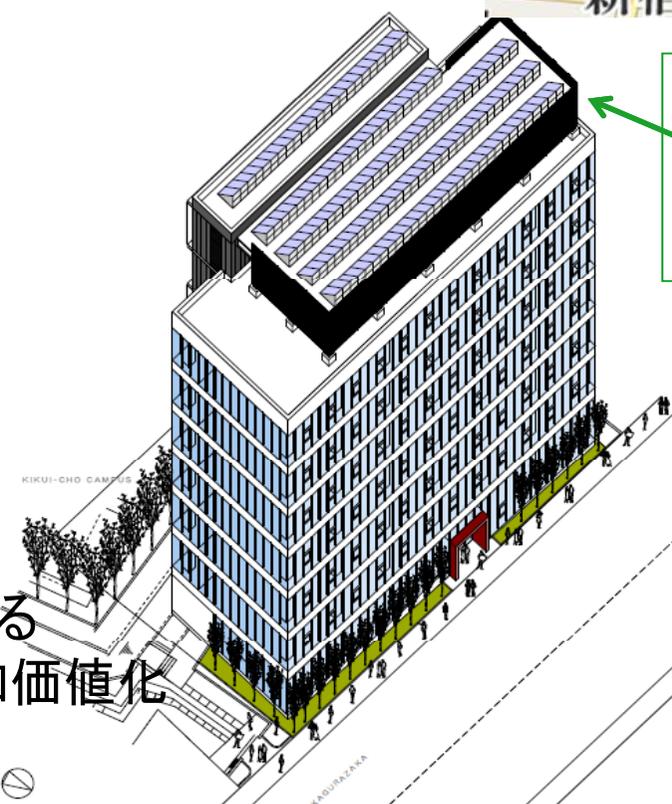
<産学連携>

富士通, 日立, ルネサス,
東芝, NEC 等

<波及効果>

超低消費電力メニーコア

- CO₂排出量削減
- サーバ国際競争力強化
- 我が国の産業利益を支える
情報家電, 自動車の高付加価値化



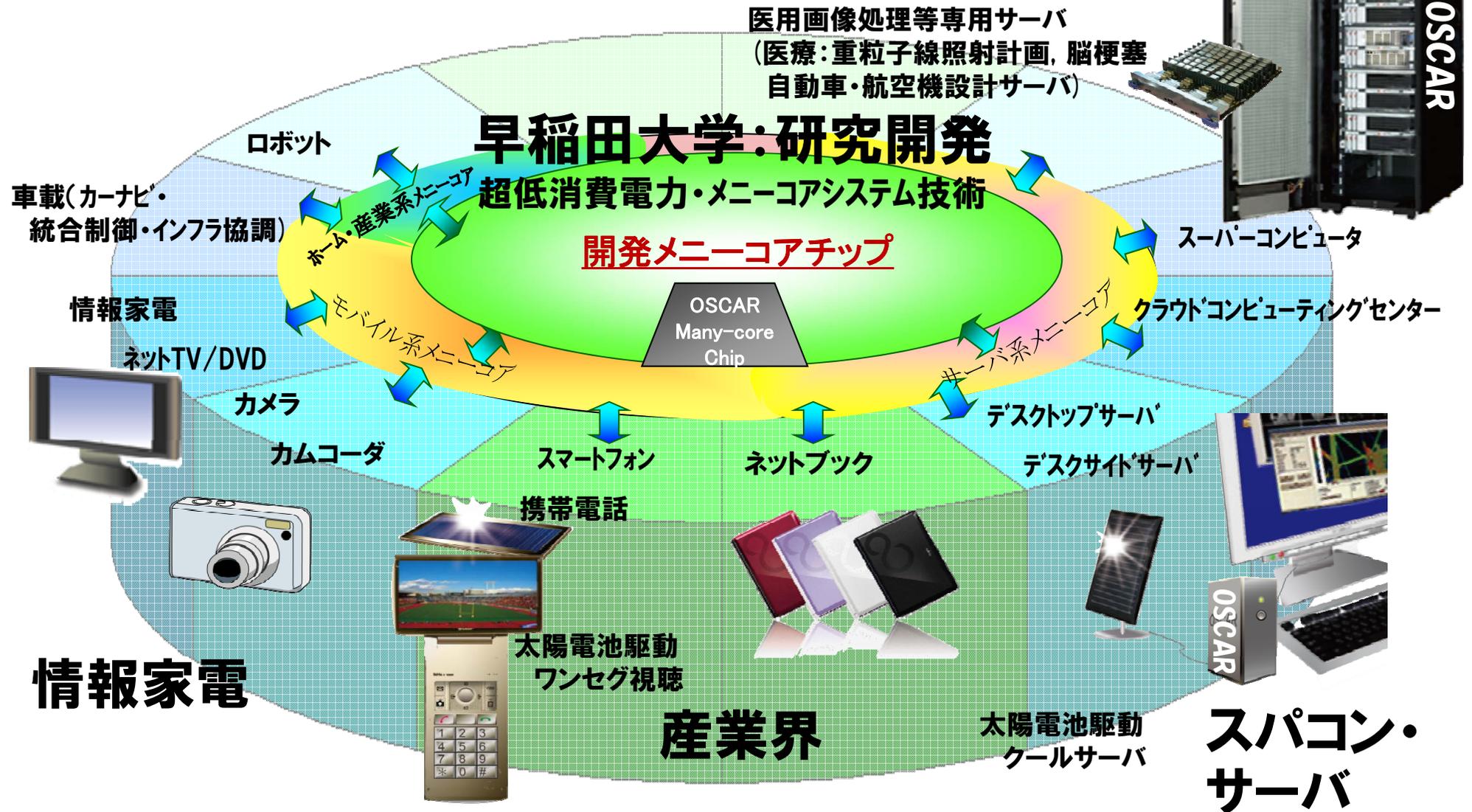
屋上太陽電池から2階商用サーバ室(富士通・日立最新鋭サーバ設置)と実験用サーバ室に給電。低消費電力化研究

建築面積: 1,299 m²
延床面積: 5,180 m²
階数: 地上8階

住所:

東京都新宿区早稲田町27
及び
東京都新宿区喜久井町17
(地下鉄早稲田駅より徒歩1分)

産官学連携研究開発・実用化(波及効果)



市場規模:情報家電・携帯電話系 数10兆円

市場規模:スパコン・サーバ系 1兆円



低消費電力メニーコアプロセッサシステム技術シンポジウム

－ メニーコアアーキテクチャ・コンパイラ・APIの最新動向 －



- 13:10-13:30 挨拶 経済産業省 商務情報政策局 情報通信機器課 課長補佐 中沢 潔
独立行政法人 新エネルギー・産業技術総合開発機構(NEDO)
電子・情報技術開発部 部長 中山 亨
- 13:10-13:30 NEDOメニーコア・プロセッサ技術(グリーンITプロジェクト)の先導研究概要
早稲田大学 笠原博徳
- 13:30-14:20 アクセラレータ併用型低消費電力メニーコア・システム 富士通(株) 高村守幸
- 14:20-14:30 休憩
- 14:30-15:10 スカラ型メニーコアプロセッサアーキテクチャ (株)ルネサステクノロジ 長谷川淳
- 15:10-15:40 次世代メニーコアに向けたオンチップネットワークアーキテクチャ低消費電力
化、高効率化、低コスト化技術 日本電気(株) 鳥居淳
- 15:40-16:10 次世代メニーコアに向けたオンチップアーキテクチャとインターフェイス技術規約
(株)東芝 宮森高
- 16:10-16:20 休憩
- 16:20-17:00 低消費電力メニーコア・コンパイラとOSCAR APIのメニーコアキャッシュ及び
ヘテロ拡張 早稲田大学 木村啓二
- 17:00-17:30 情報家電用ヘテロジニアスマルチコアとOSCAR APIを用いた並列処理
(株)日立製作所 内山邦男
- 17:30-17:55 JEITA 組込みマルチコアハンドブック (株)ルネサステクノロジ 荒川文男