

# 太陽電池で駆動できる低消費電力 マルチコアプロセッサとソフトウェア

早稲田大学理工学術院基幹理工学部情報理工学科 教授  
早稲田大学アドバンスト・マルチコア・プロセッサ研究所 所長  
IEEE Computer Society理事

笠原博徳

kasahara@waseda.jp

URL: <http://www.kasahara.cs.waseda.ac.jp/>

1985年 早稲田大学博士課程了 工学博士  
カリフォルニア大学バークレー客員研究員  
日本学術振興会第1回特別研究員  
1986年 早大理工専任講師, 1988年 助教授  
1997年 教授、現在 理工学術院情報理工学科  
1989年～1990年 イリノイ大学Center for  
Supercomputing R&D客員研究員  
2009年 IEEE Computer Society 理事

査読付論文 173件, シンポジウム論文 27件, 研究会論文 121件, 全国大会論文 154件, 招待講演 83件, **新聞・Web記事等メディア掲載 250件**

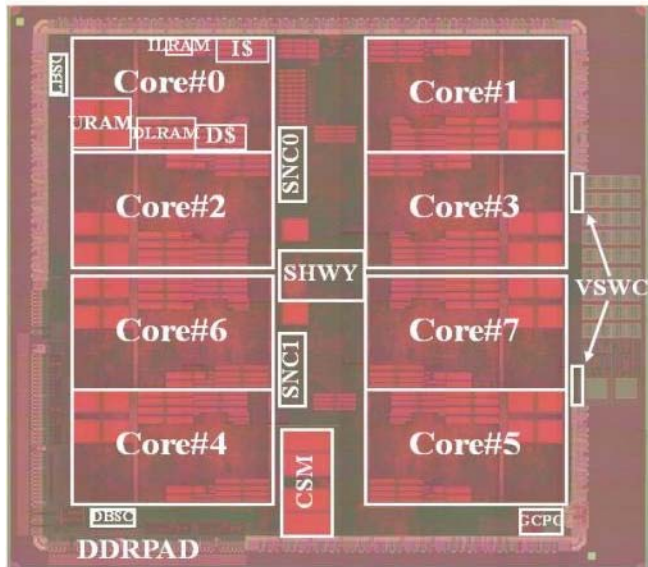
受賞5件

1987年 IFAC World Congress Young Author Prize  
1997年 情報処理学会坂井記念特別賞  
2005年 STARC(半導体理工学研究センタ)共同研究賞  
2008年 LSI・オブ・ザ・イヤー 2008 準グランプリ  
2008年 Intel Asia Academic Forum Best Research Award

**政府・学会委員等歴任数 201件**

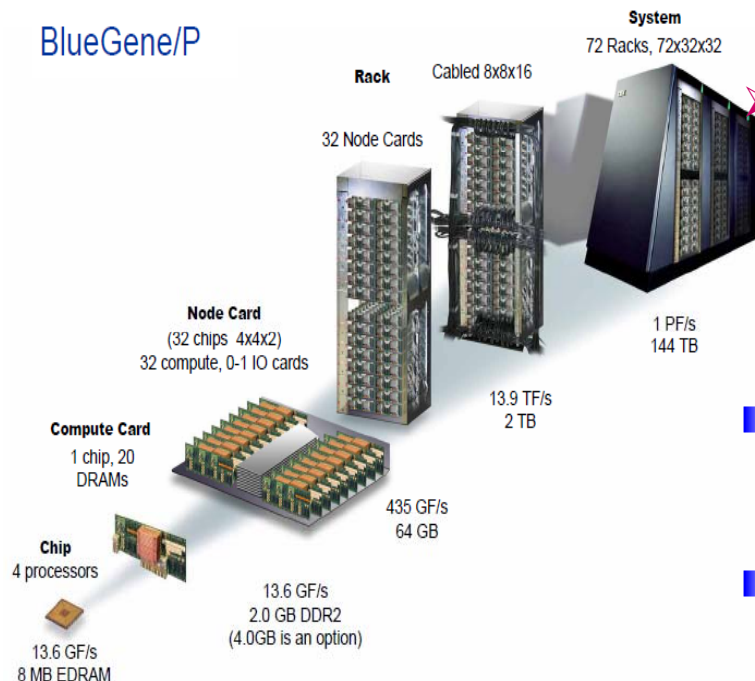
【経済産業省・NEDO】 30件 【内閣府】 8件  
【文部科学省・JST・JSPS・JAXA・原子力機構・海洋研】 26件  
IEEE 21件, 情報処理学会 36件, ACM 14件, 国際会議PC等  
57件,  
高校生科学技術チャレンジ審査委員等 他9件

# マルチコアEverywhereの時代



NEDOリアルタイム情報家電用マルチコアプロジェクト  
ルネサス試作チップ(OSCAR)標準アーキテクチャ  
BlueGene/P

BlueGene/P



## ■ 組み込みプロセッサからスパコンまで

### ➤情報家電用マルチコア

カーナビ, 携帯電話, ゲーム, デジタルTV, DVD

IBM/ Sony/ Toshiba Cell, Fujitsu FR1000, Panasonic

Uniphier, NEC/ARM MPCore/MP211/NaviEngine

Renesas SH multi-core SHX3(4 core RP1, 8 core RP2)

Tilera Tile64, SPI Storm-1(16 VLIW cores)

### ➤PC,サーバ

Intel Quad Xeon, Core 2 Quad, Montvale,

Nehalem(8score), 80 core, Larrabee(32core)

AMD Quad Core Opteron, Phenom

### ➤WSs, Deskside & Highend Servers

IBM Power4,5,5+,6, HPCS 実効性能1PFLOP(Power7),

Sun Niagara(SparcT1,T2), Rock

### ➤スーパーコンピュータ

地球シミュレータ, 2002年3月完成, 5120ベクトルプロ

セッサ : **40TFLOPS**

IBM Blue Gene/L: **360TFLOPS**, 2005,低消費電力マルチコ

アベース128K processor chips, BG/Q 20PFLOPS (2011)

Blue Waters (2011年7月実効性能 1 PFLOPS : Power7)

## ■ アプリケーションソフトの充実,短期間システム開発,低

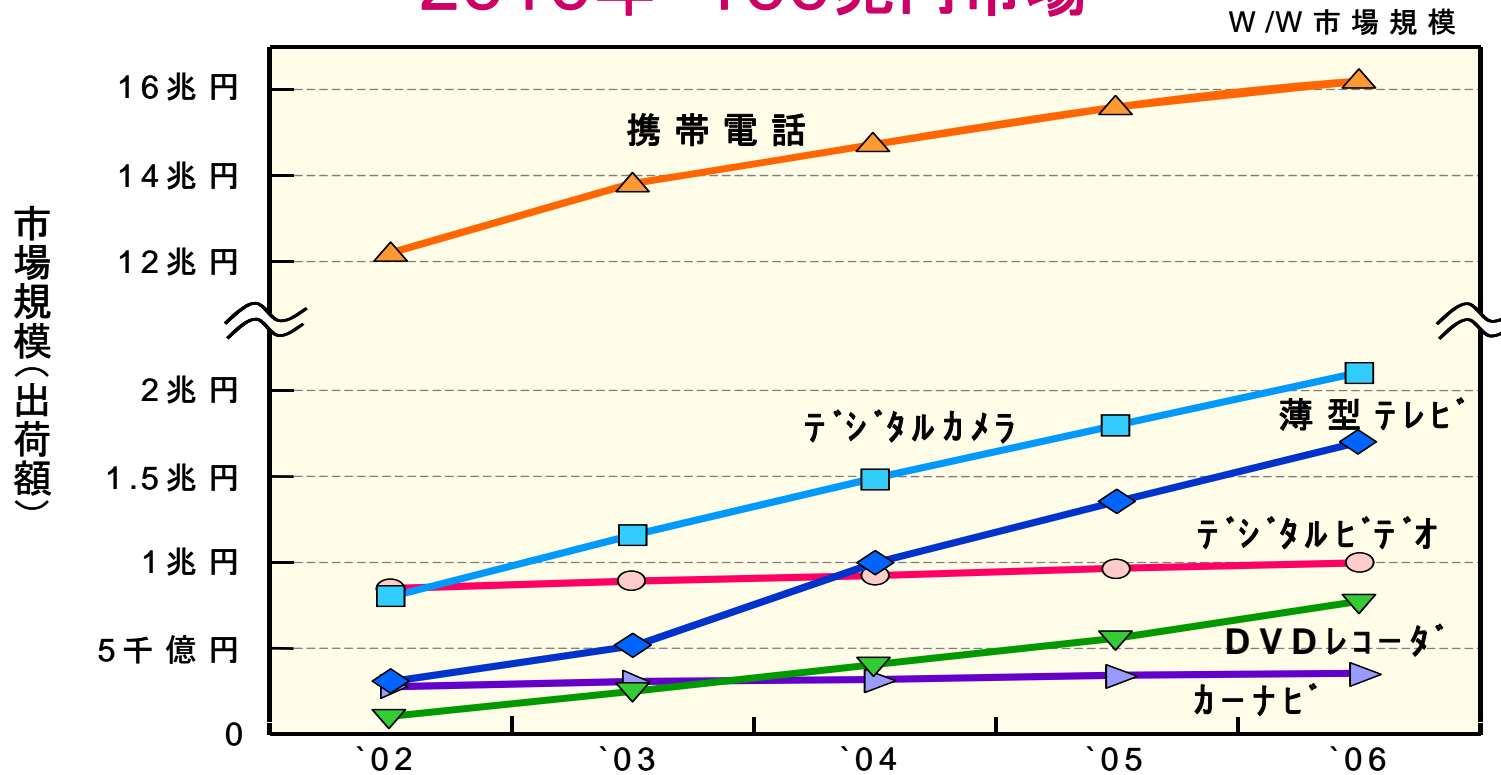
コスト, 低消費電力, 高機能化が市場競争力決定

<例>携帯電話, ゲーム, 自動車

## ■ 自動並列化コンパイラ協調型マルチコアプロセッサ必要

# リアルタイム情報家電が市場を牽引

## 2010年 100兆円市場



	'03	'07	年平均成長率%
デジタルスチルカメラ(M台)	49	76	12
デジタルTV(M台)	6	27	45
DVDレコーダ(M台)	3.6	33	74
PC用DVD(記録型)(M台)	27	114	43
携帯電話(M台)	490	670	8
自動車用半導体需要(B\$)	14.0	20.9	11

2005.5.11  
 NEDOロードマップ報告会  
 電子・情報技術開発部  
 「技術開発戦略」より

# NEDOリアルタイム情報家電用マルチコア技術

＜目的＞ DVD,デジタルTV,カーナビ,携帯電話等リアルタイム情報家電における優位化製品創出を目指したプロセッサ技術の国際競争力強化

＜研究期間＞平成17年7月～平成20年3月

＜内容＞ 下記特徴をもつマルチコア・アーキテクチャ及びコンパイラ技術の確立

- ・優れた価格性能
- ・短ハードウェア・ソフトウェア開発期間
- ・低消費電力
- ・同一アーキテクチャでローエンドからハイエンド製品まで柔軟に対応
- ・集積度向上に対するスケーラブルな性能向上(複数半導体世代に対応)
- ・異なる企業開発のマルチコア間でのアプリケーションの共用

＜API: Application Programming Interface並列化コンパイラと各マルチコアの接続＞

日立,富士通,ルネサス,東芝,松下,NEC

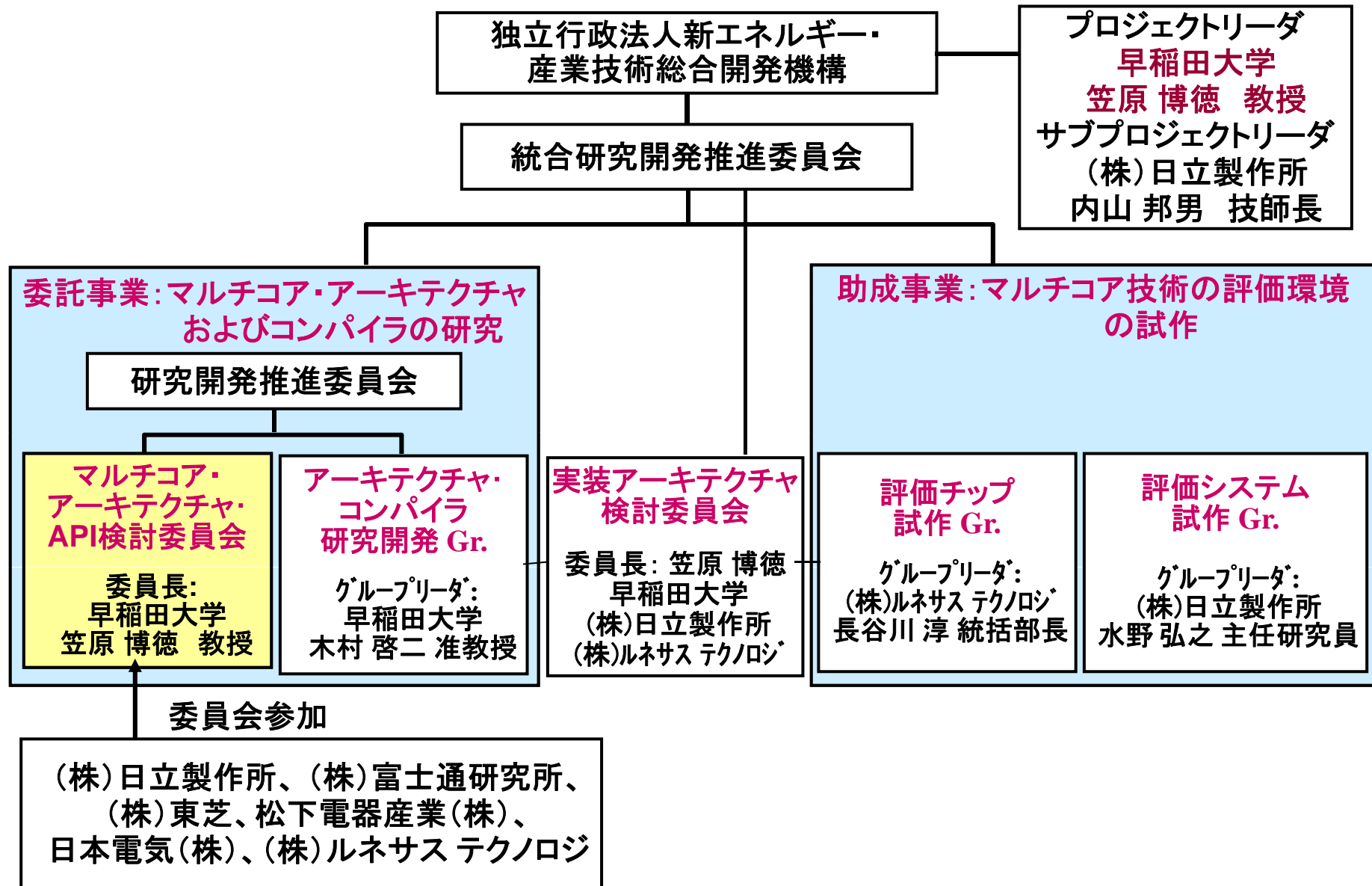
＜委託事業＞ NEDO”アドバンスト並列化コンパイラ“の成果と参加各社のプロセッサ技術を委員会及び研究により発展させ、標準的マルチコア・アーキテクチャと並列化APIを策定し、既存及び新規チップ上での性能評価を通し改良する

＜助成事業＞ 委託事業にて策定されたアーキテクチャをベースとしたチップ及びその開発環境を開発し委託研究での評価のために供与する

＜PC用プロセッサとの目的の違い＞

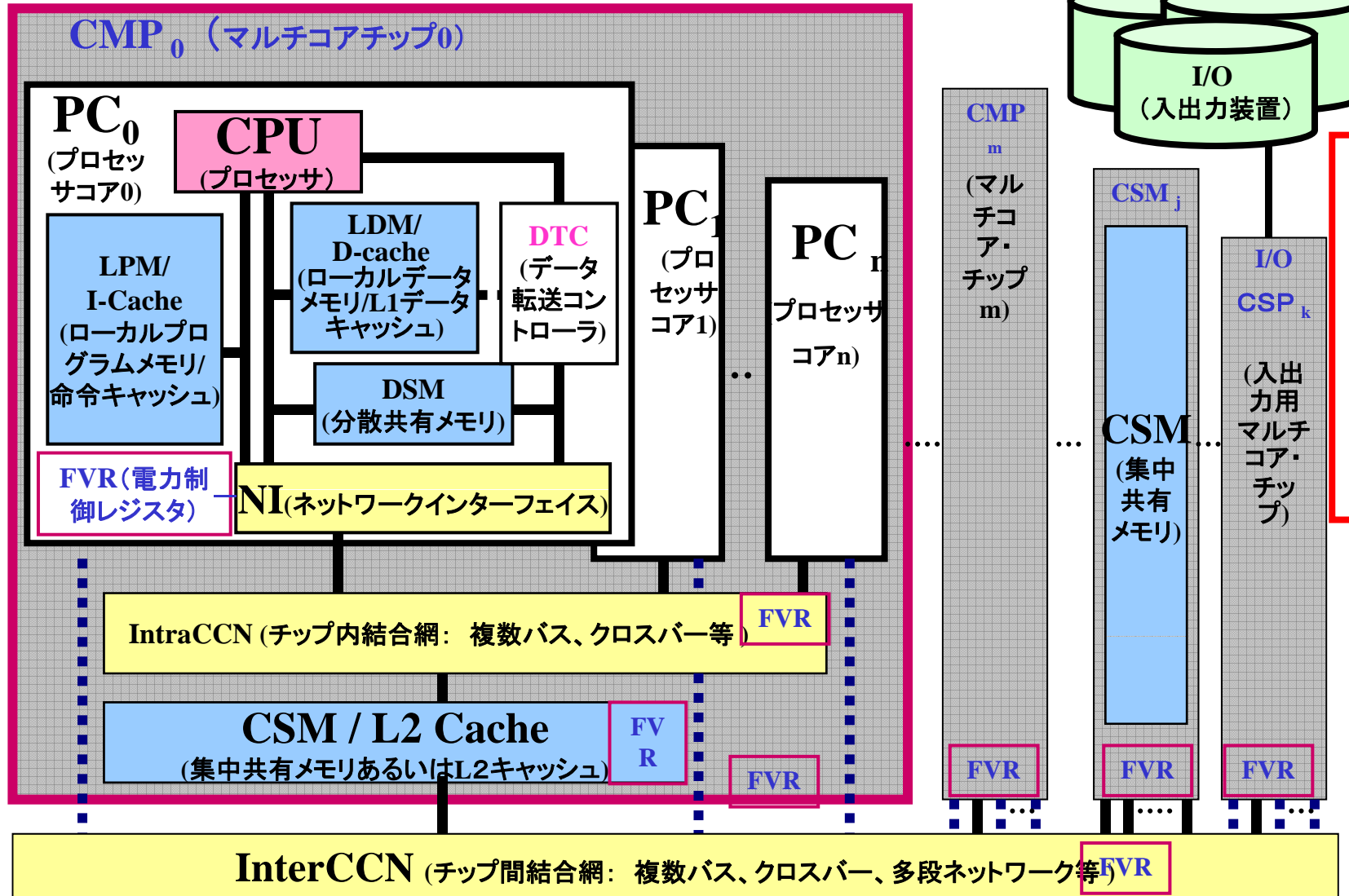
リアルタイム処理なアーキテクチャ・自然冷却可能な低消費電力性

# リアルタイム情報家電用マルチコア技術研究開発実施体制



# 標準的メモリアーキテクチャと承認されたOSCARマルチコア

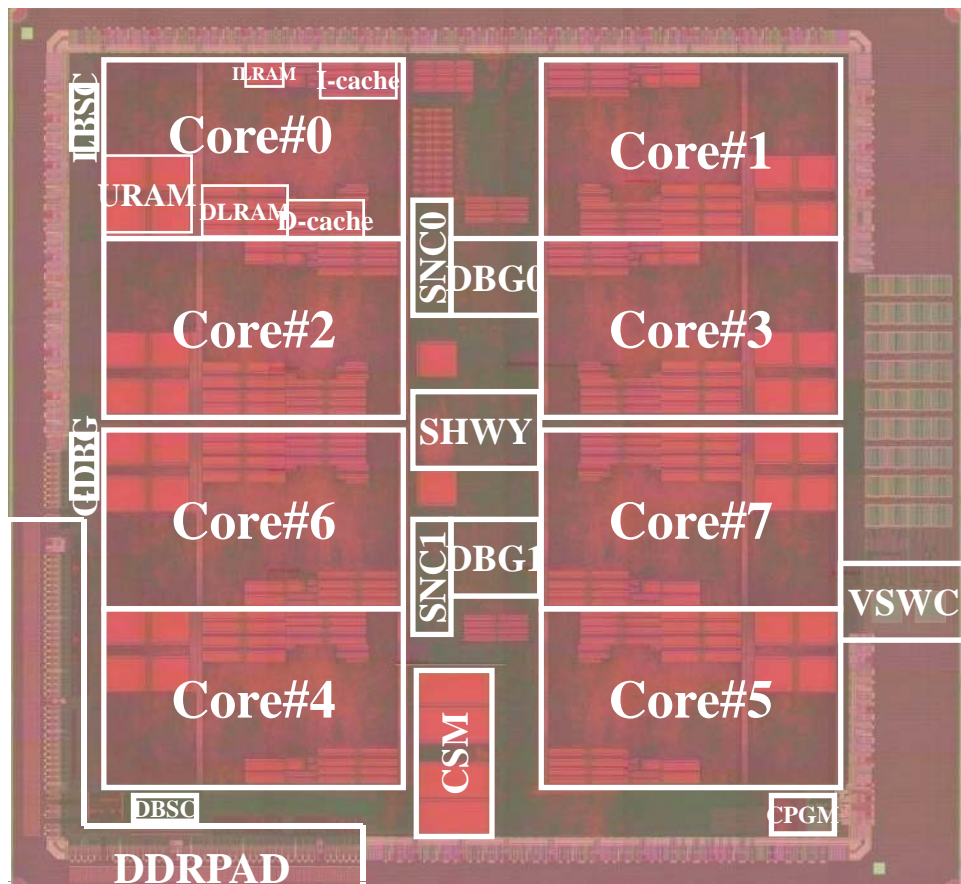
- ローカルメモリ
- 分散共有メモリ
- 集中共有メモリ(チップ内・外)
- DTC(高性能DMAC)
- 電力制御用FVR



標準メモリアーキテクチャとして  
2005年  
12月16日  
承認

# 早稲田OSCARコンパイラ協調型アーキテクチャ

## RP2 8コア搭載マルチコアLSI

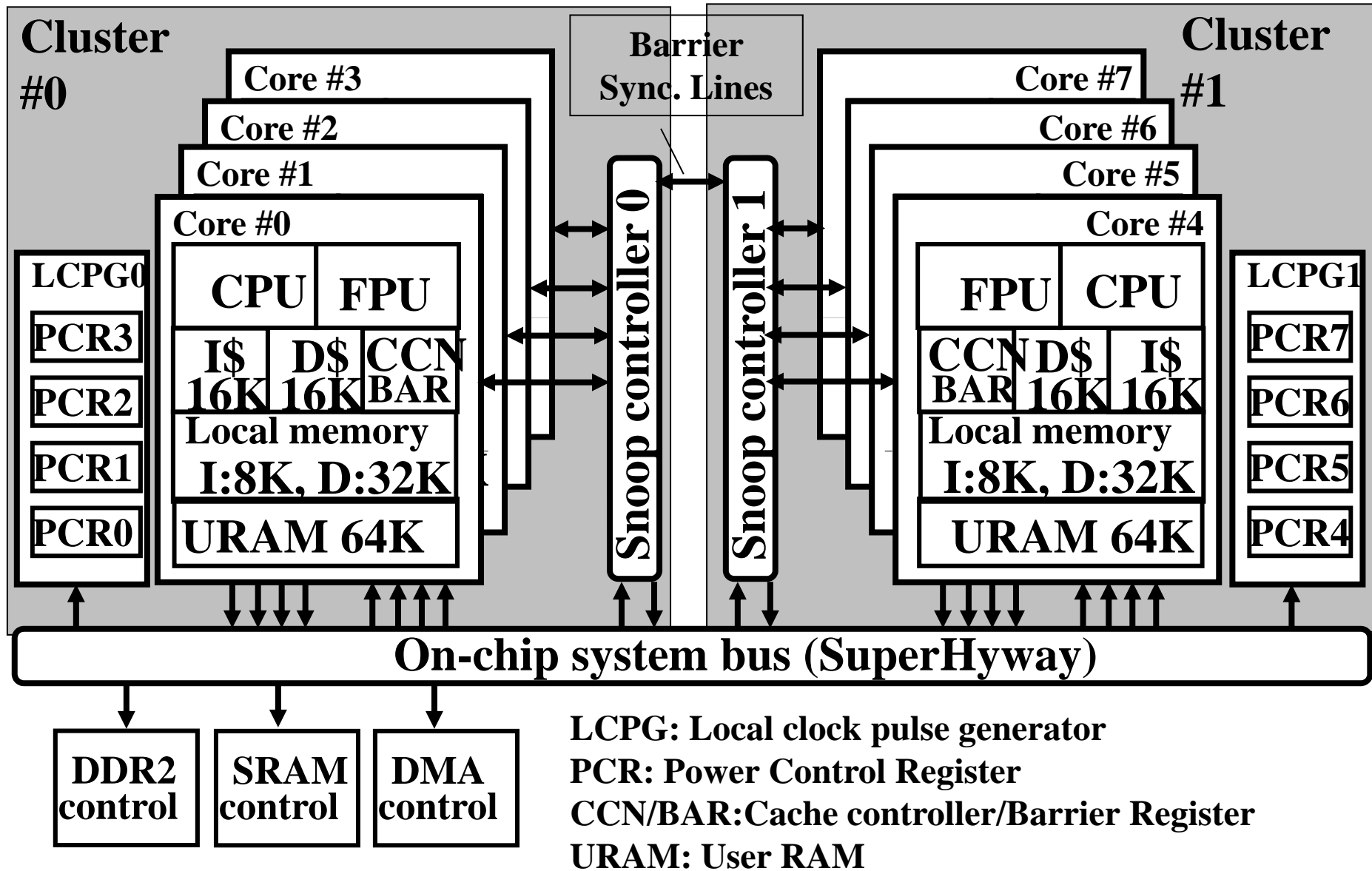


8コア集積マルチコアLSIチップ写真

プロセス	90nm CMOS, 8層メタル, 3種Vth
チップサイズ*	104.8mm <sup>2</sup> (10.61mm x 9.88mm)
電源電圧	1.0V-1.4V(コア), 1.8/3.3V(I/O)
動作周波数	600MHz
CPU性能	8640 MIPS (Dhrystone 2.1)
FPU性能	33.6 GFLOPS
低電力制御	<ul style="list-style-type: none"> <li>・CPU毎に独立した周波数変更</li> <li>・CPUコアのクロックを停止するスリープモード</li> <li>・CPUコアの一部のクロックを停止するがキャッシュコヒーレンシ維持可能なライトスリープモード</li> <li>・CPUコアの電源供給を停止するフル電源遮断モード</li> <li>・URAM以外のCPUコアの電源供給を停止するレジューム電源遮断モード</li> </ul>

ISSCC08発表: ISSCC08 論文番号4.5, M.ITO, et al., “An 8640 MIPS SoC with Independent Power-off Control of 8 CPUs and 8 RAMs by an Automatic Parallelizing Compiler”

# 開発8 Core RP2 マルチコアのアーキテクチャ





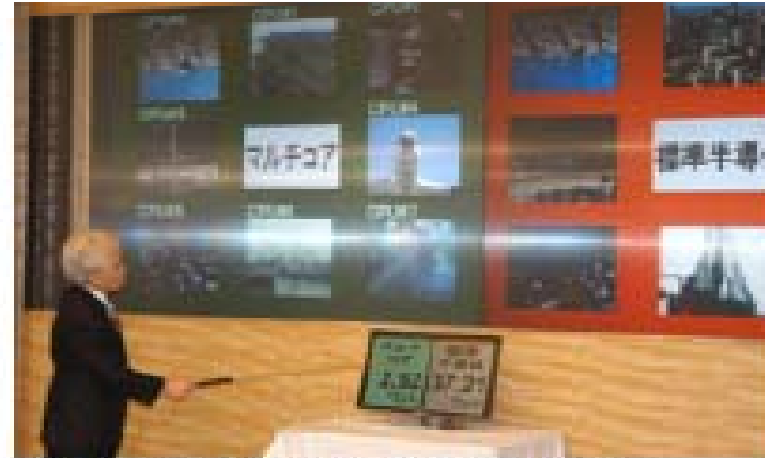
# NEDOリアルタイム情報家電用マルチコアチップ・デモの様子

<http://www8.cao.go.jp/cstp/gaiyo/honkaigi/74index.html>

## 第74回総合科学技術会議【平成20年4月10日】



第74回総合科学技術会議の様子(1)



第74回総合科学技術会議の様子(2)



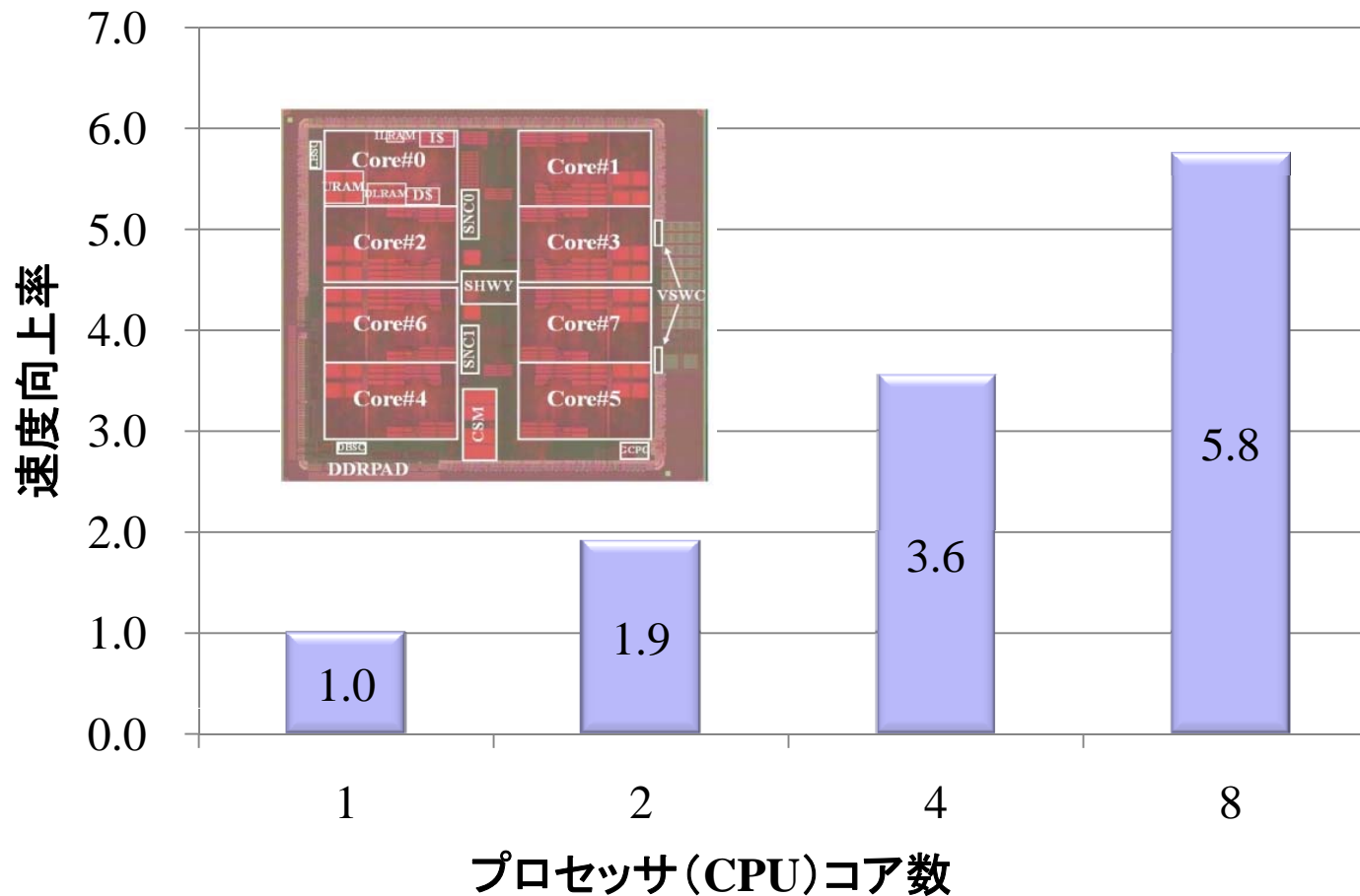
第74回総合科学技術会議の様子(3)



第74回総合科学技術会議の様子(4)

# 開発マルチコア・チップ上での 自動並列化コンパイラを用いた処理速度

オーディオ圧縮(AAC\*エンコード)処理(マルチメディア処理)  
並列化時の1プロセッサコアに対する処理速度向上率



\*) Advanced Audio Coding: ISOにおいて規格化された音声圧縮方式

# 世界をリードするマルチコア用コンパイラ技術

プロセッサ高速化における3大技術課題の解消

## 1. 半導体集積度向上(使用可能トランジスタ数増大)に対する速度向上率の鈍化

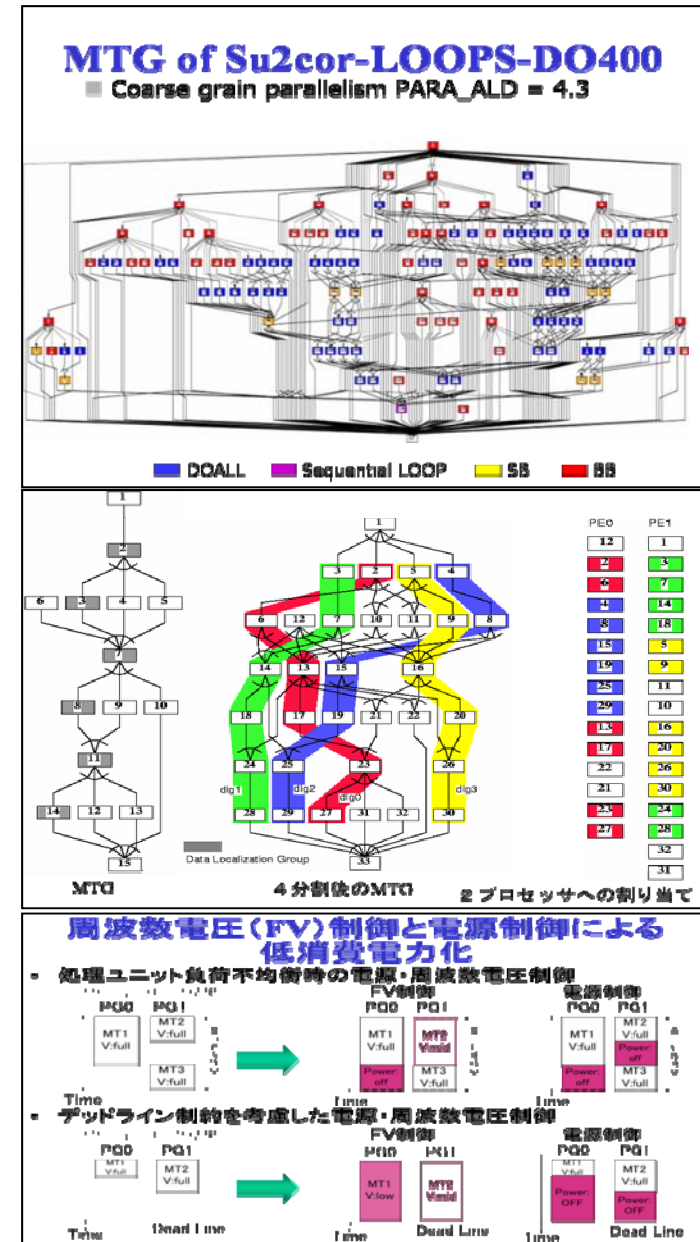
- 粗粒度タスク並列化、ループ並列化、近細粒度並列化によりプログラム全域の並列性を利用するマルチグレイン並列化機能により、従来の命令レベル並列性より大きな並列性を抽出し、複数マルチコアで速度向上

## 2. メモリウォール問題

- コンパイラによるローカルメモリへのデータ分割配置、DMAコントローラによるタスク実行とオーバーラップしたデータ転送によりメモリアクセス・データ転送オーバーヘッド最小化

## 3. 消費電力増大による速度向上の鈍化

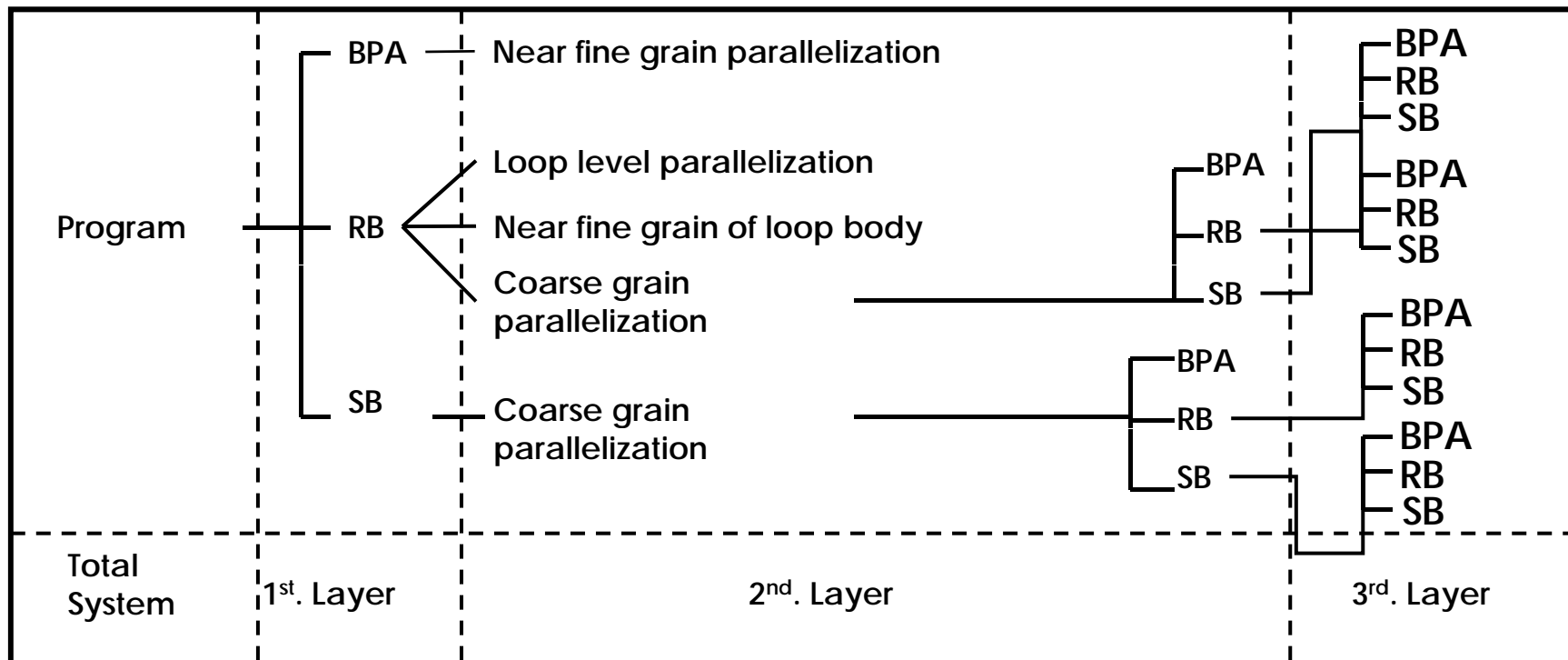
- コンパイラによる低消費電力制御機能を用いたアプリケーション内でのきめ細かい周波数・電圧制御・電源遮断により消費電力低減



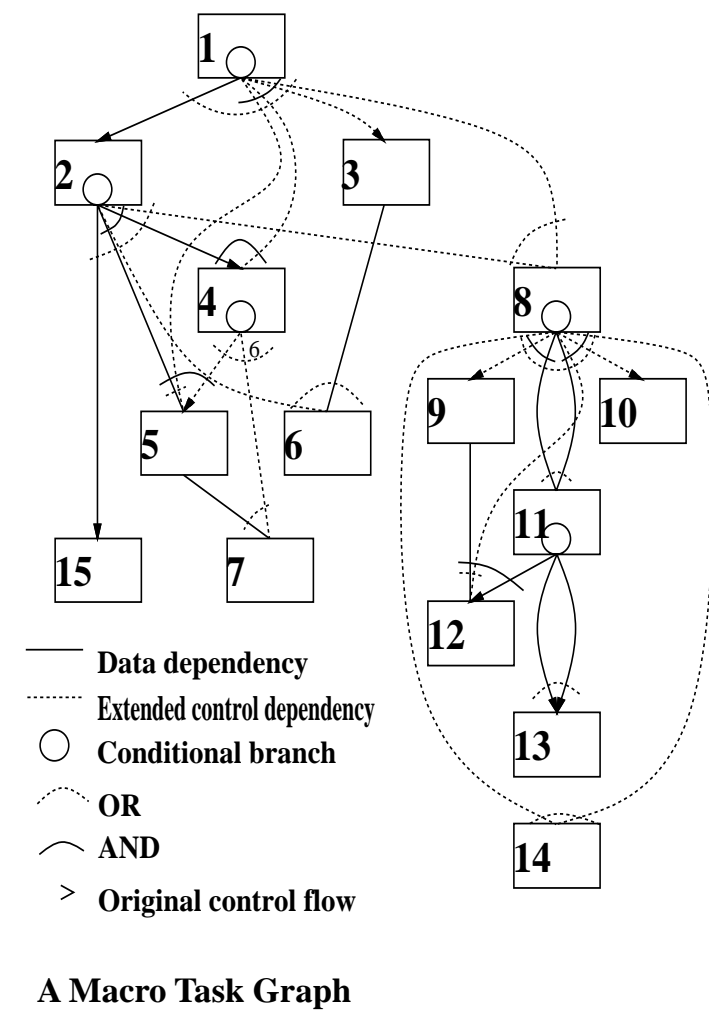
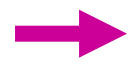
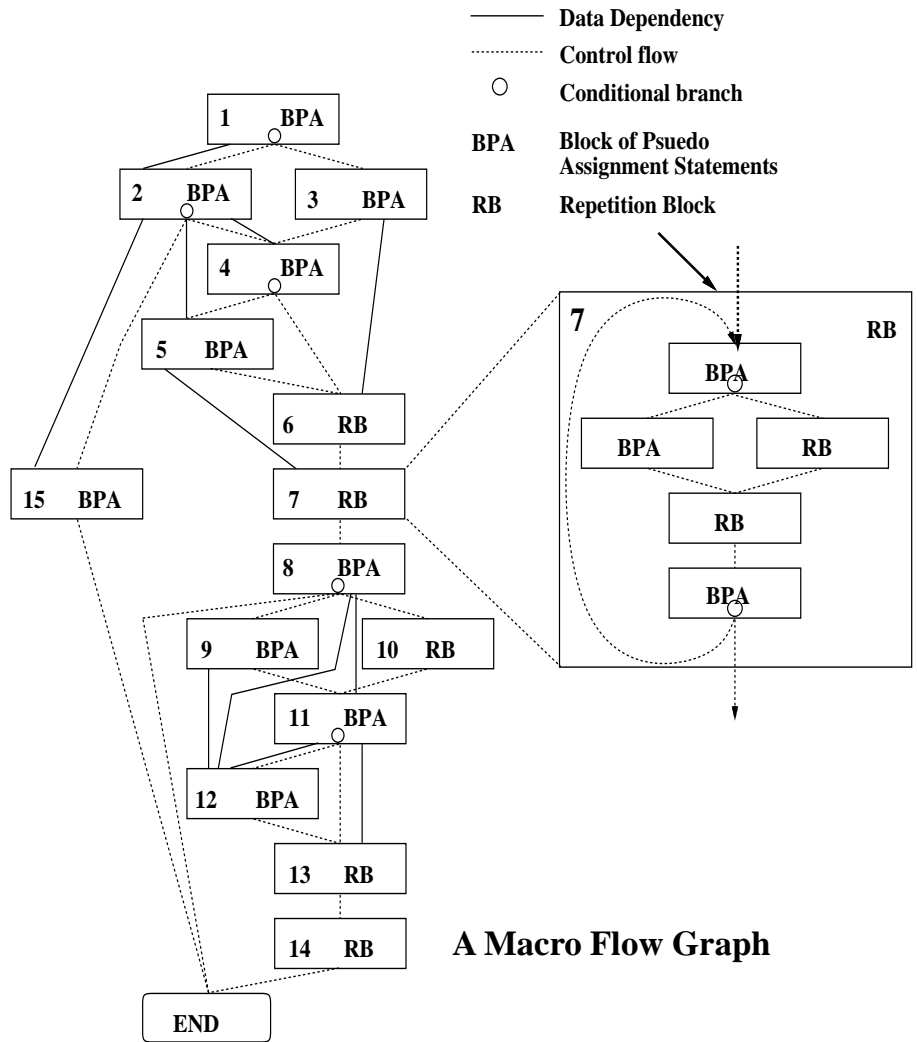
# Generation of coarse grain tasks

## ■ Macro-tasks (MTs)

- **Block of Pseudo Assignments (BPA): Basic Block (BB)**
- **Repetition Block (RB) : natural loop**
- **Subroutine Block (SB): subroutine**

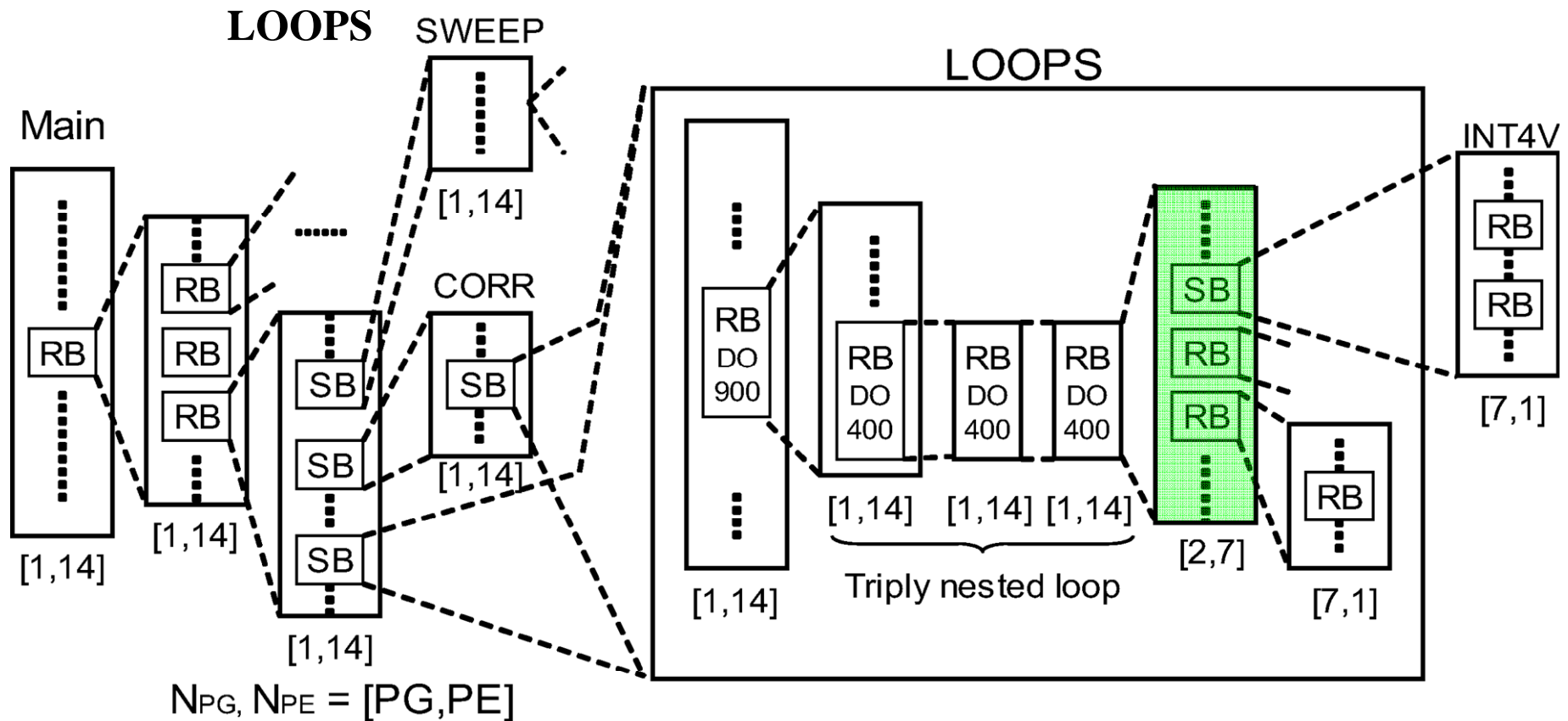


# Earliest Executable Condition Analysis for coarse grain tasks (Macro-tasks)



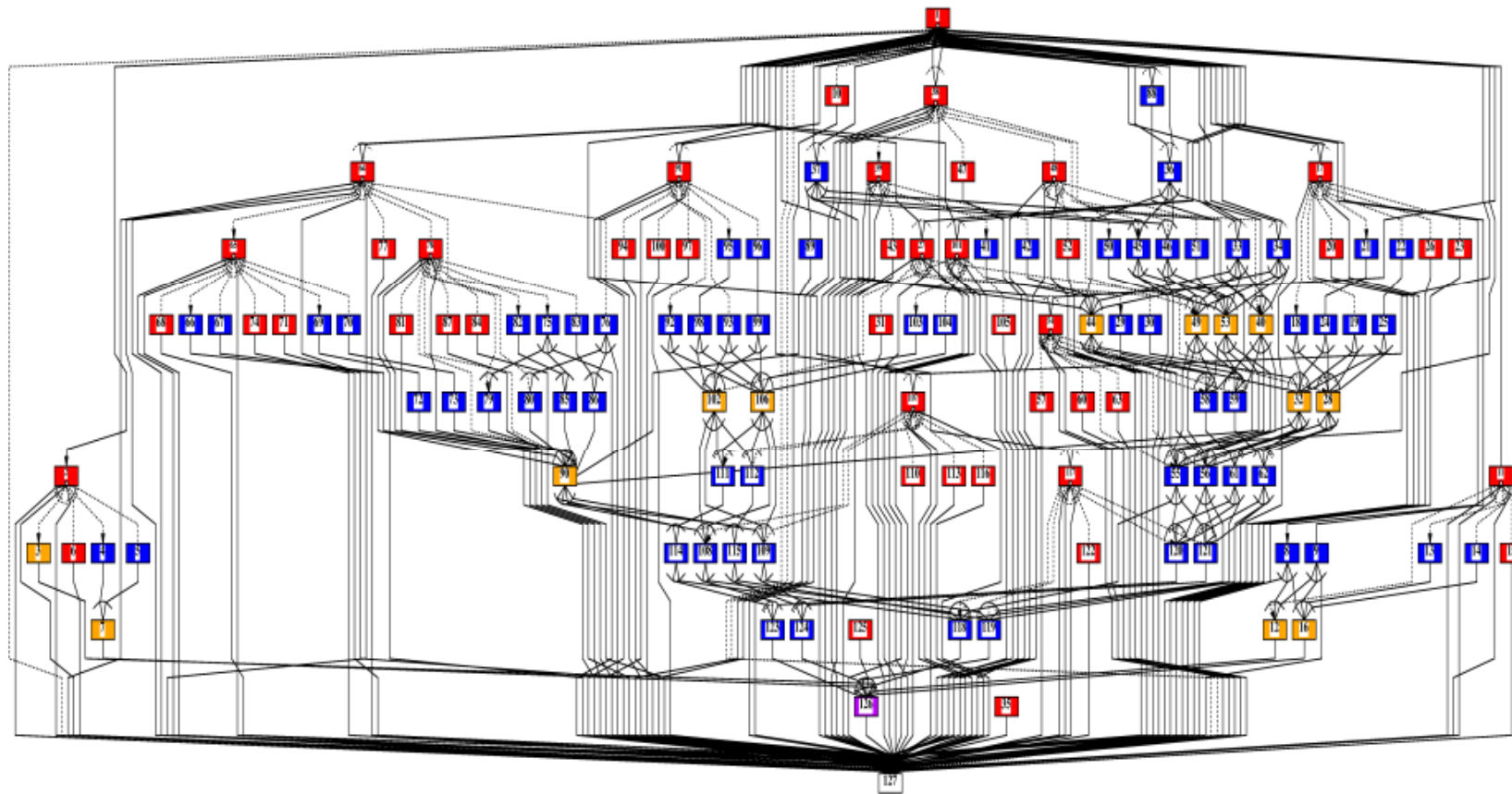
# Automatic processor assignment in su2cor

- Using 14 processors
  - Coarse grain parallelization within DO400 of subroutine



# MTG of Su2cor-LOOPS-DO400

- Coarse grain parallelism  $\text{PARA\_ALD} = 4.3$



■ DOALL

■ Sequential LOOP

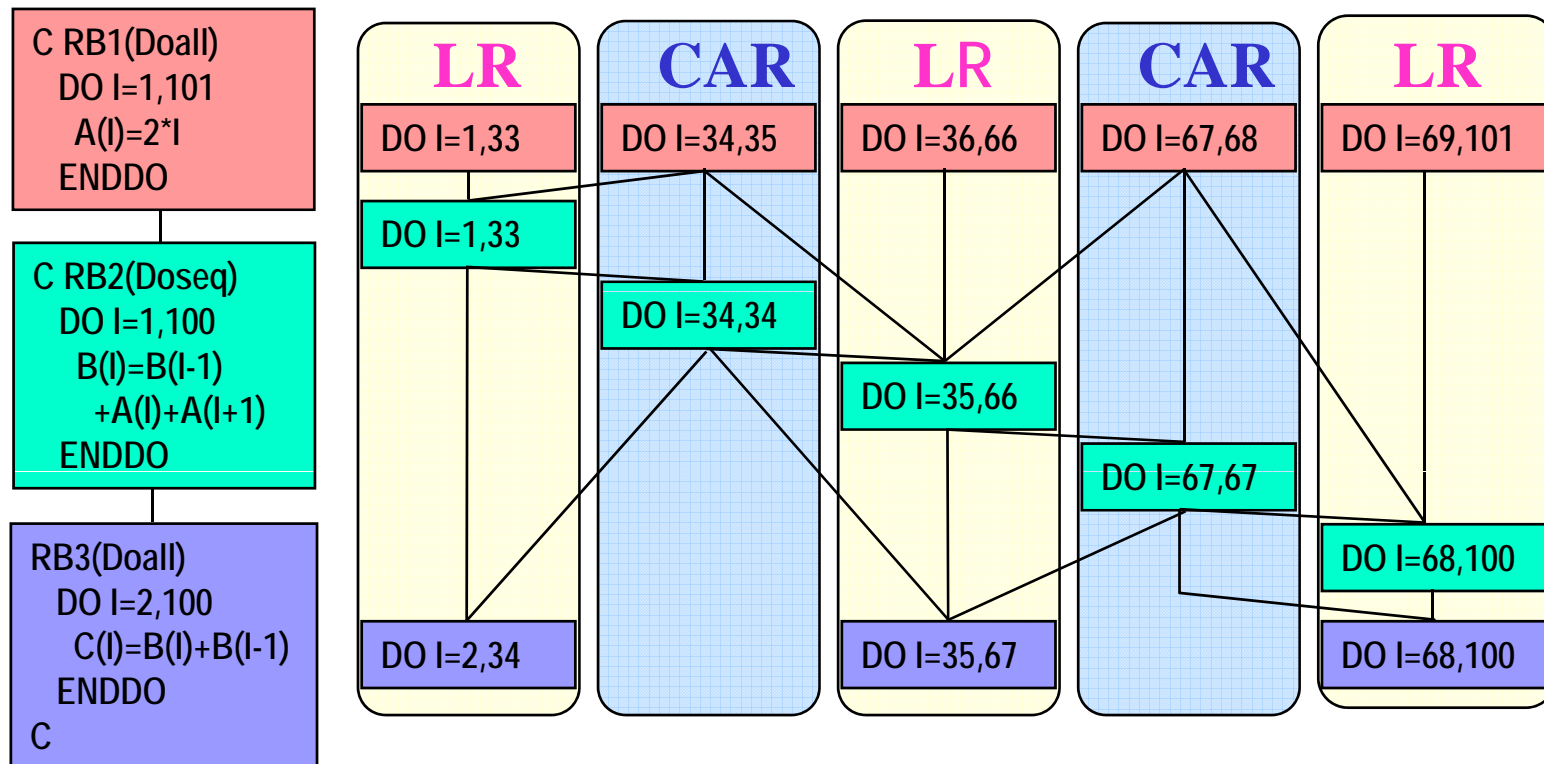
■ SB

■ BB

# Data-Localization

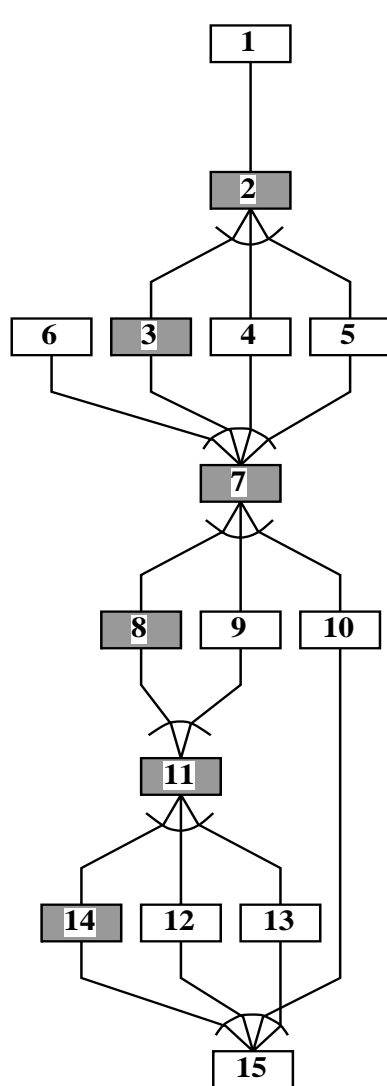
## Loop Aligned Decomposition

- Decompose multiple loop (Doall and Seq) into **CARs** and **LRs** considering inter-loop data dependence.
  - Most data in **LR** can be passed through LM.
  - LR**: Localizable Region, **CAR**: Commonly Accessed Region

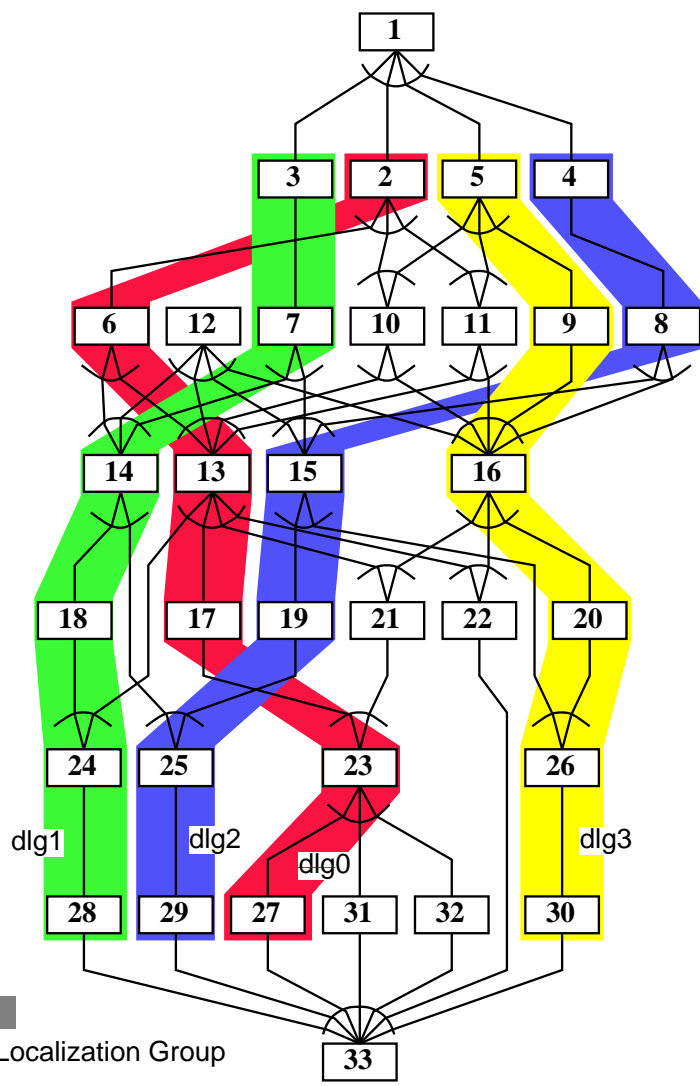




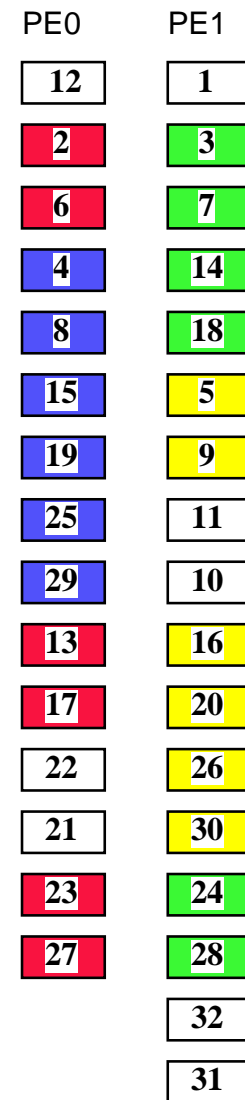
# データローカライゼーションのイメージ



MTG



4分割後のMTG



2プロセッサへの割り当て

# An Example of Data Localization for Spec95 Swim

```

DO 200 J=1,N
DO 200 I=1,M
  UNEW(I+1,J) = UOLD(I+1,J)+
1  TDT8*(Z(I+1,J+1)+Z(I+1,J))*(CV(I+1,J+1)+CV(I,J+1)+CV(I,J)
2  +CV(I+1,J))-TDT8*(H(I+1,J)-H(I,J))
  VNEW(I,J+1) = VOLD(I,J+1)-TDT8*(Z(I+1,J+1)+Z(I,J+1))
1  *(CU(I+1,J+1)+CU(I,J+1)+CU(I,J)+CU(I+1,J))
2  -TDT8*(H(I,J+1)-H(I,J))
  PNEW(I,J) = POLD(I,J)-TDT8*(CU(I+1,J)-CU(I,J))
1  -TDT8*(CV(I,J+1)-CV(I,J))
200 CONTINUE

```

```

DO 210 J=1,N
  UNEW(1,J) = UNEW(M+1,J)
  VNEW(M+1,J+1) = VNEW(1,J+1)
  PNEW(M+1,J) = PNEW(1,J)
210 CONTINUE

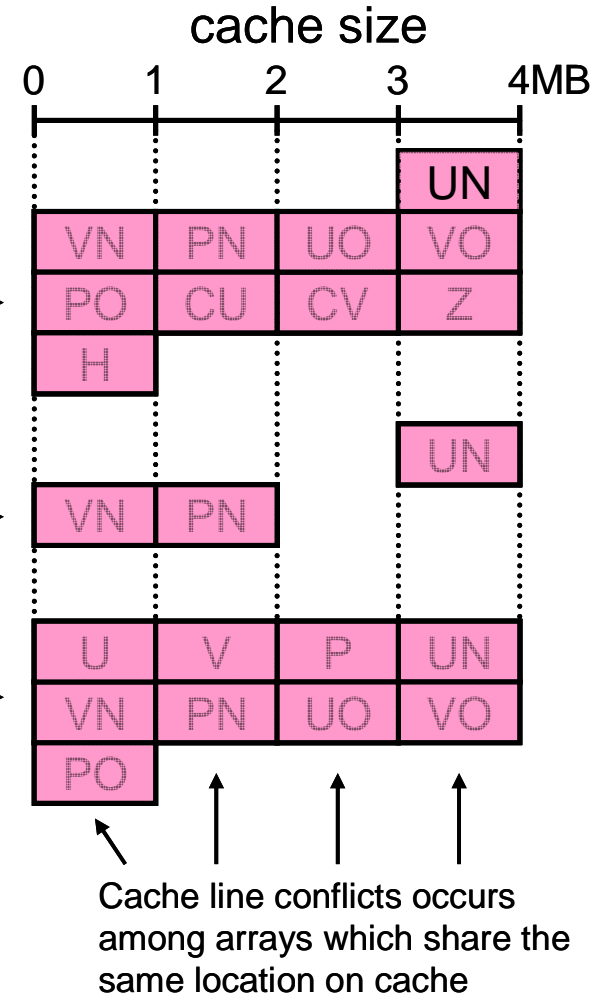
```

```

DO 300 J=1,N
DO 300 I=1,M
  UOLD(I,J) = U(I,J)+ALPHA*(UNEW(I,J)-2.*U(I,J)+UOLD(I,J))
  VOLD(I,J) = V(I,J)+ALPHA*(VNEW(I,J)-2.*V(I,J)+VOLD(I,J))
  POLD(I,J) = P(I,J)+ALPHA*(PNEW(I,J)-2.*P(I,J)+POLD(I,J))
300 CONTINUE

```

(a) An example of target loop group for data localization



(b) Image of alignment of arrays on cache accessed by target loops

# Data Layout for Removing Line Conflict Misses by Array Dimension Padding

## Declaration part of arrays in spec95

before padding

after padding

PARAMETER (N1=513, N2=513)

PARAMETER (N1=513, N2=544)

COMMON U(N1,N2), V(N1,N2), P(N1,N2),

COMMON U(N1,N2), V(N1,N2), P(N1,N2),

\* UNEW(N1,N2), VNEW(N1,N2),

\* UNEW(N1,N2), VNEW(N1,N2),

1 PNEW(N1,N2), UOLD(N1,N2),

1 PNEW(N1,N2), UOLD(N1,N2),

\* VOLD(N1,N2), POLD(N1,N2),

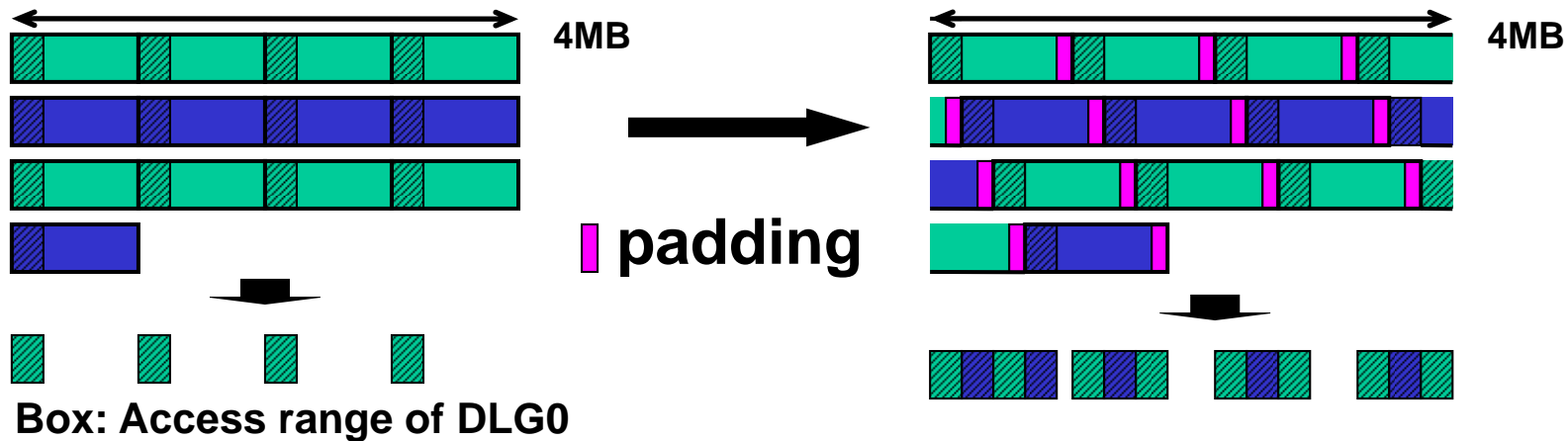
\* VOLD(N1,N2), POLD(N1,N2),

2 CU(N1,N2), CV(N1,N2),

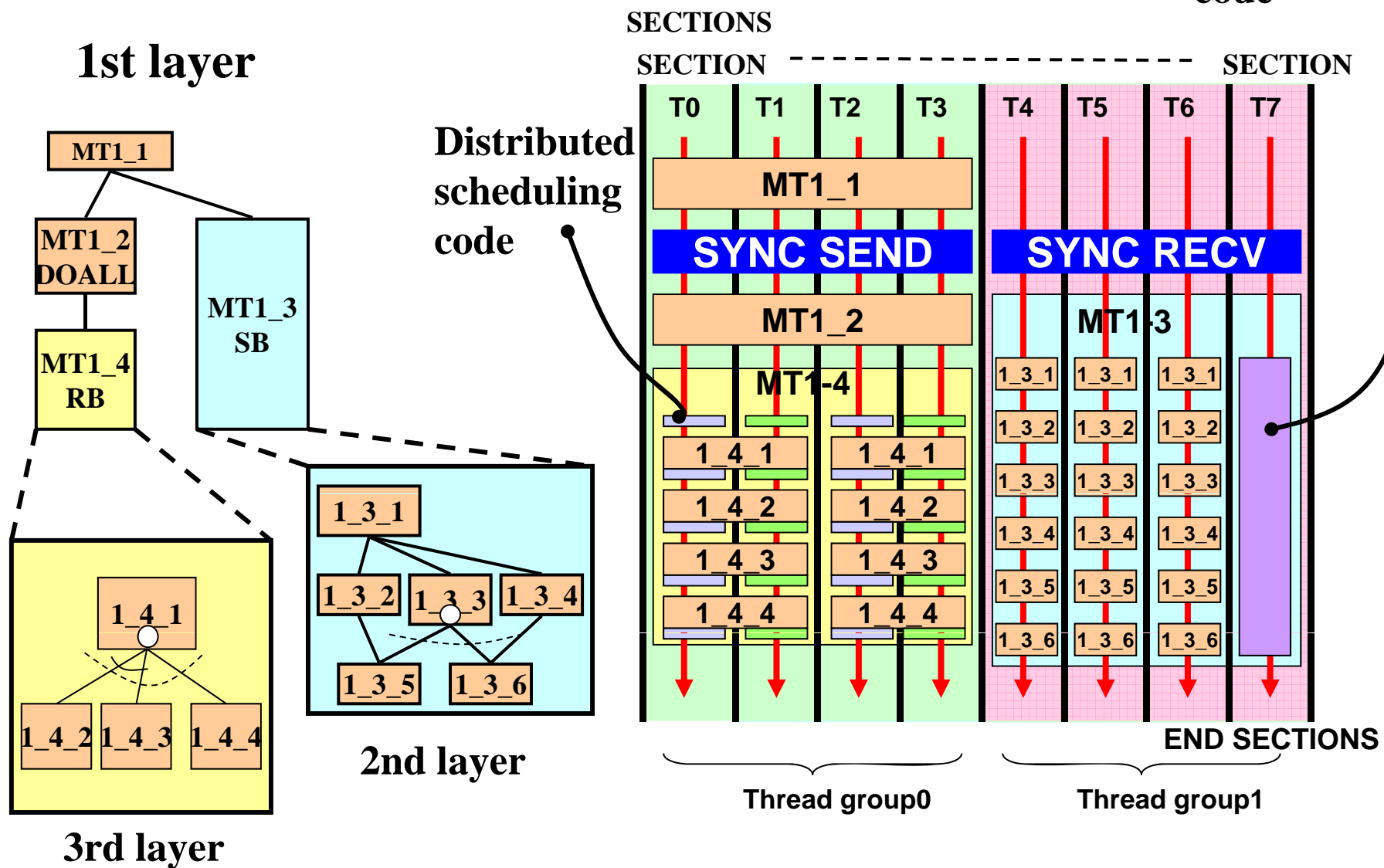
2 CU(N1,N2), CV(N1,N2),

\* Z(N1,N2), H(N1,N2)

\* Z(N1,N2), H(N1,N2)

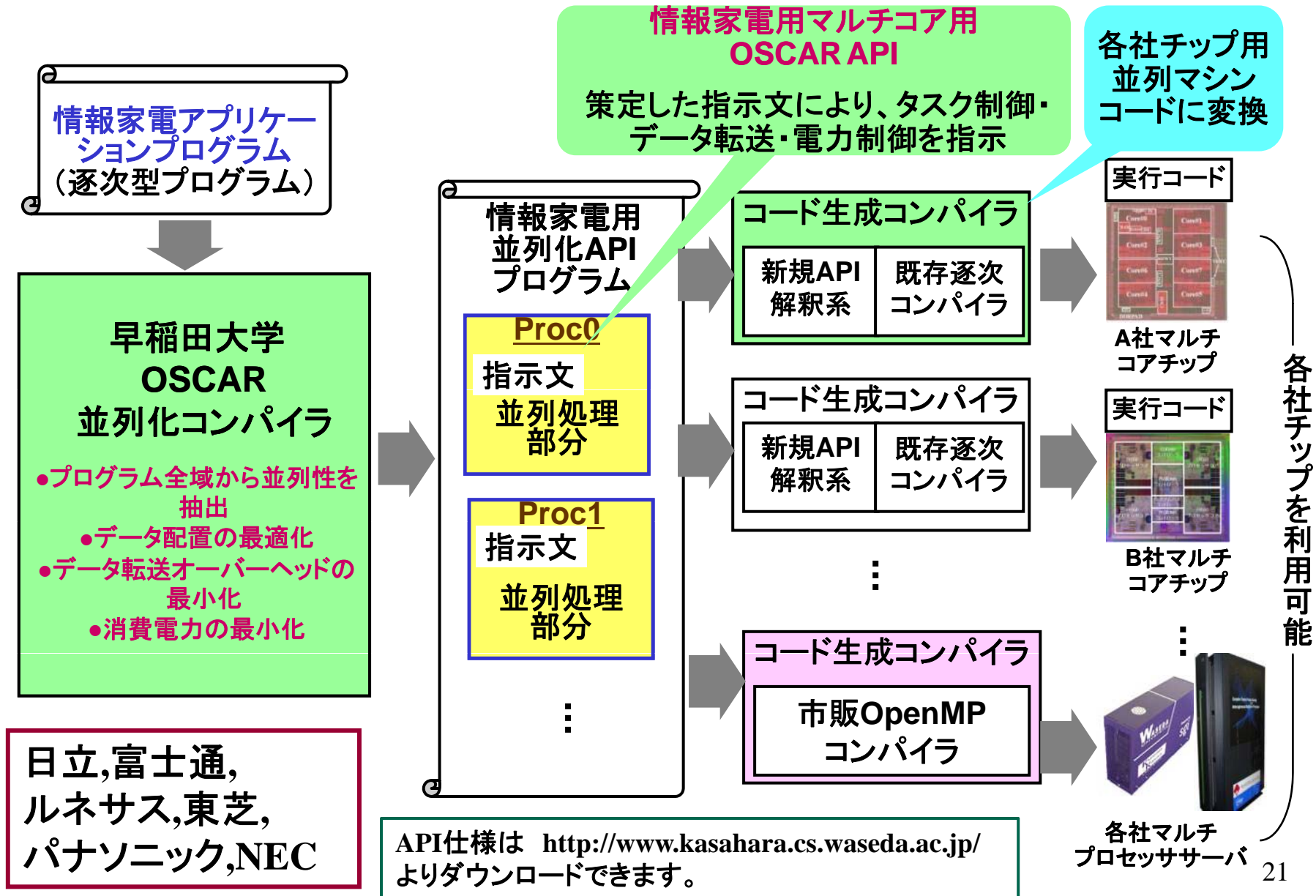


# OSCARコンパイラが自動生成するマルチコアAPI (OpenMP互換)利用、階層マルチグレイン 並列プログラムのイメージ



# OSCAR APIを用いたコンパイル・実行の流れ

API: Application Programming Interface



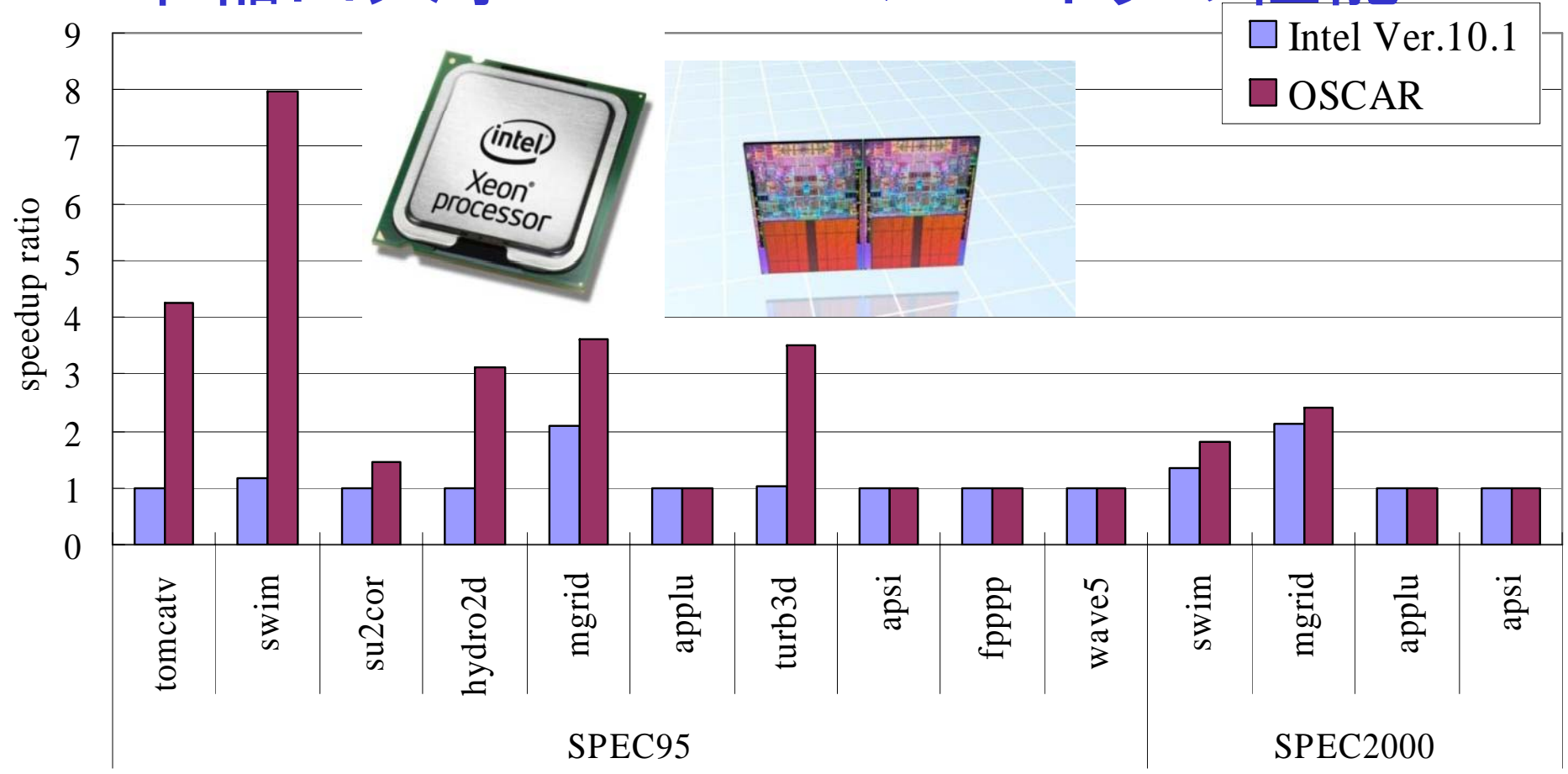
# 低消費電力リアルタイム並列処理を可能とするAPI

## OSCAR API概要

指示文リスト 詳細は <http://www.kasahara.cs.waseda.ac.jp/index.ja.html> 参照

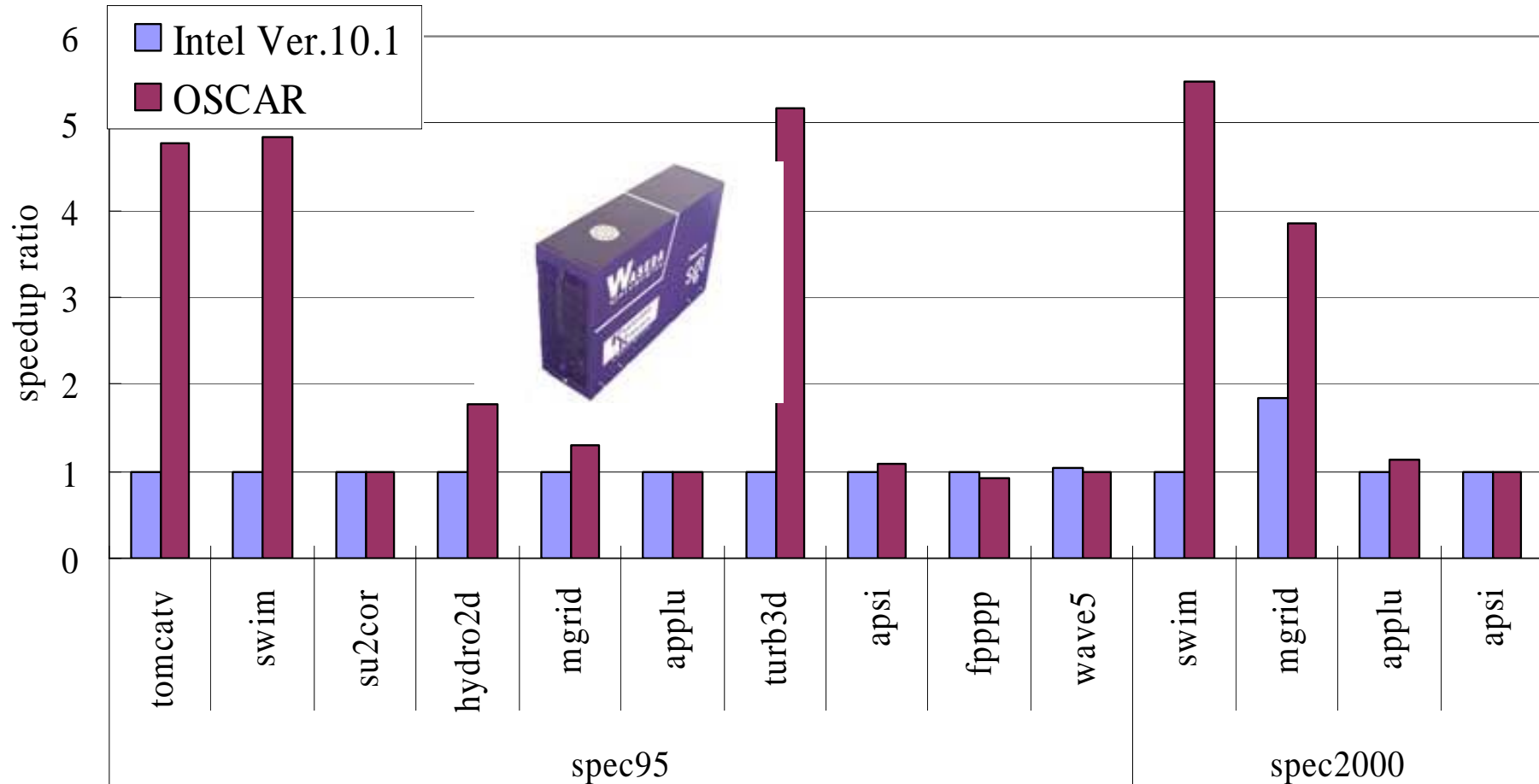
- 共有メモリ並列処理用 OpenMP 指示文 (4 種)
  - 並列スレッドの生成指示文
  - 排他同期制御用クリティカルセクション指示文
  - メモリー貫性制御指示文
  - スレッドプライベート変数指示文
- <新規>組込及びリアルタイム処理用メモリ配置指示文 (3 種)
  - オンチップ集中共有メモリへのデータ配置を指定する指示文
  - ローカルデータメモリにデータを配置する指示文 (OpenMP 指示文の拡張利用)
  - 各プロセッサコア上の分散共有メモリへのデータ配置を指定する指示文
- <新規>組込及び高性能計算用データ転送指示文 (4 種)
  - データ転送コントローラを用いた転送指定する指示文 (詳細指示は下記指示文を用いて指定)
  - 連続したデータ領域の転送を指定する指示文
  - とびとびのデータを転送するストライド転送を指定する指示文
  - データ転送コントローラによる同期フラグセット及びチェックを行う指示文
- <新規>低消費電力制御用指示文 (2 種)
  - CPU 等の各種モジュールの周波数・電圧・電源遮断制御を下記 100 分率で指定する指示文  
100 : 最大周波数で動作、50 : 周波数を 1/2 にスローダウン、0 : クロックオフ等。各動作周波数に対応した電圧レベルの指示可能。-1 : リーク電力を抑える電源遮断。
  - 指定したモジュールの周波数・電源状態を取得する指示文
- <新規>メニーコア対応ネスト並列処理用グループバリア同期指示文 (1 種)
  - 任意の CPU グループに対するバリア同期を指定する指示文
- <新規>リアルタイム処理用 タイマー指示文 (1 種)
  - デッドライン管理のため経過時間を取得するタイマー指示文

# インテル クアッドコア Xeon プロセッサ上での 早稲田大学 OSCAR コンパイラの性能



**OSCAR コンパイラが生成するOpenMP並列化コードはインテルコンパイラ ver.10.1の性能をインテル・マルチコア上で2.09 倍向上**

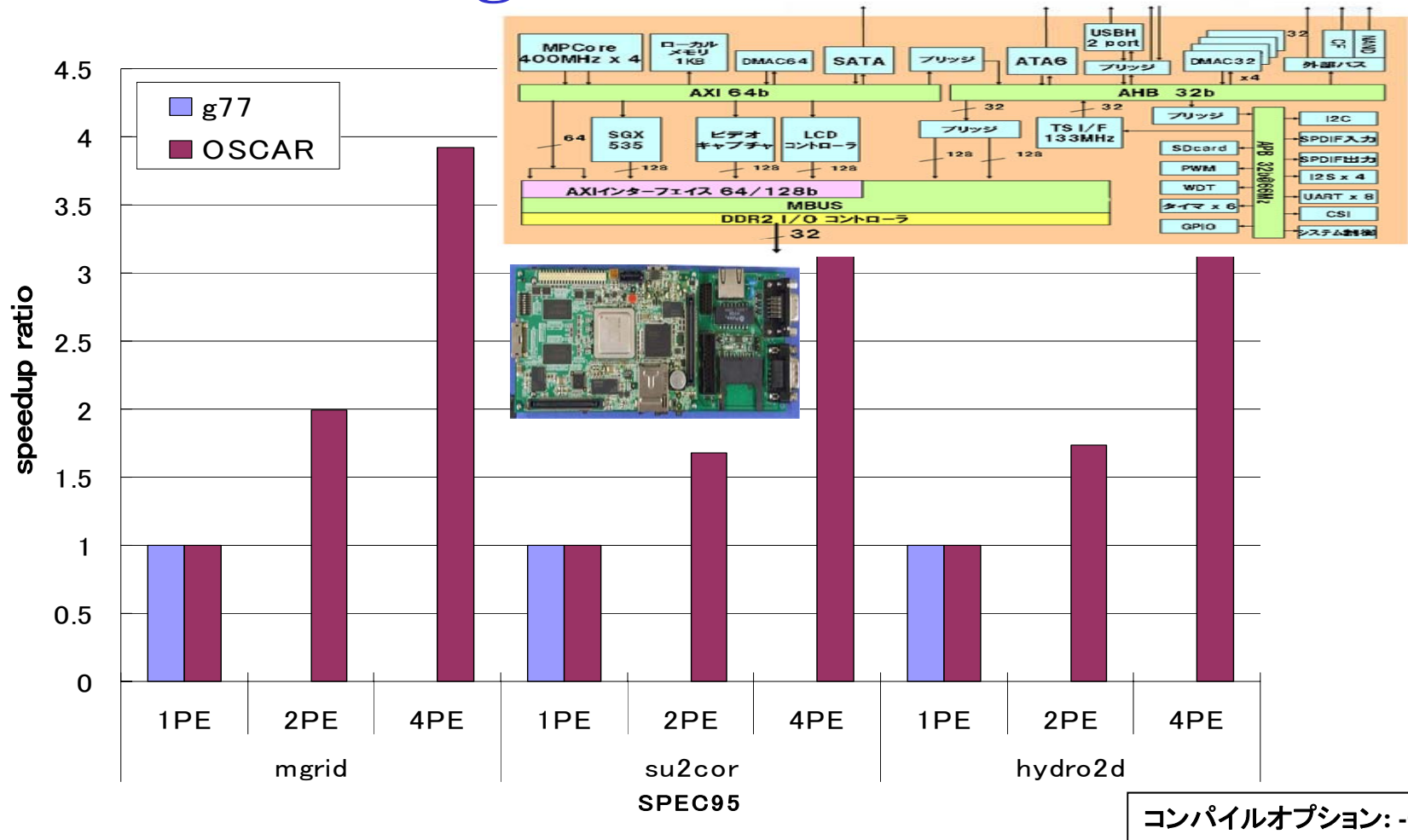
# インテルMontvaleマルチコアを用いた 16 コアSGI Altix 450 デスクサイドサーバ上での OSCAR コンパイラの性能



**OSCAR コンパイラが生成するOpenMPコードはインテル  
Itanium Compiler revision 10.1の性能を 2.32 倍向上**

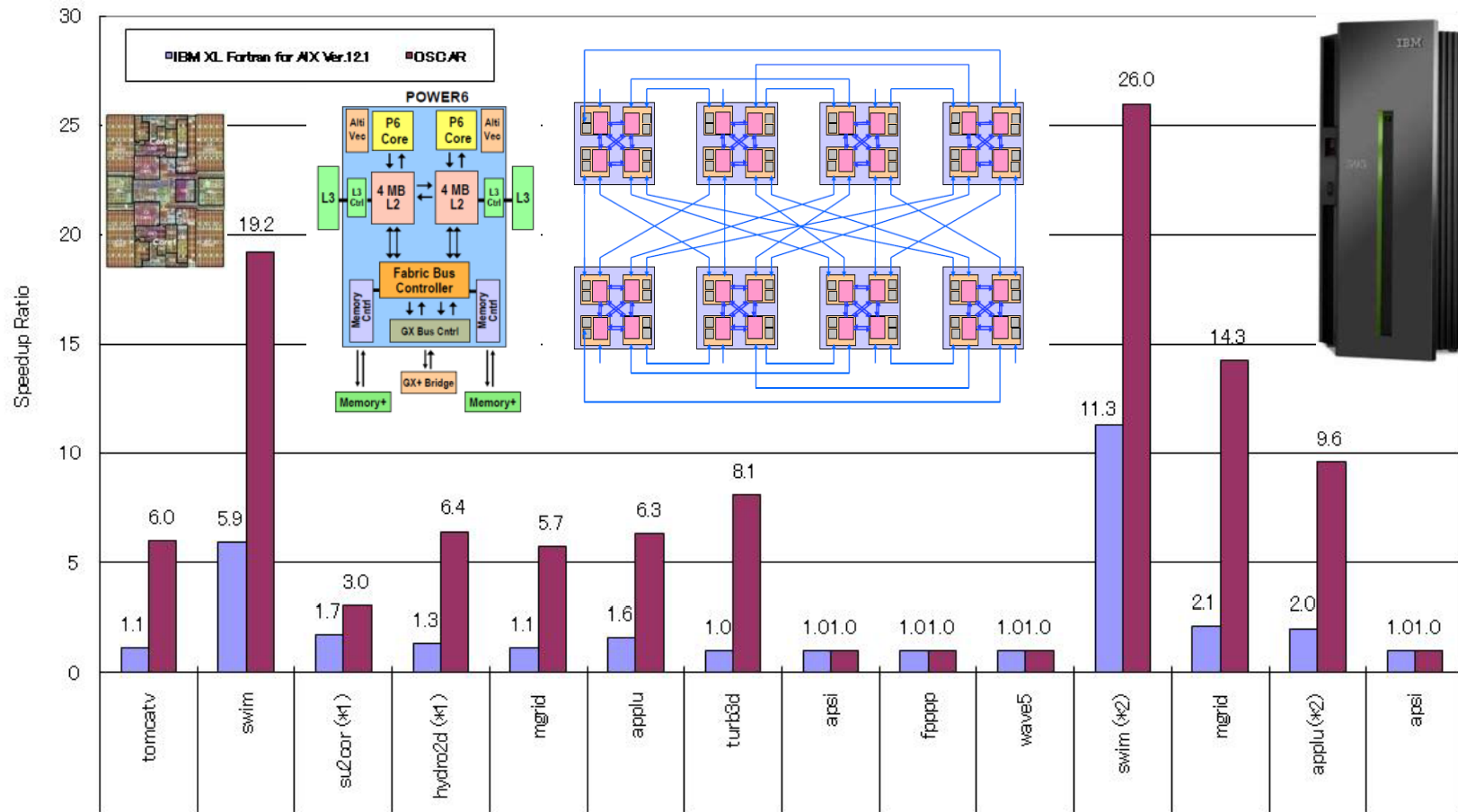


# 早稲田大学 OSCARコンパイラの NEC NaviEngine上での並列処理性能



- OSCAR コンパイラは4コアARM・NECマルチコア上で1コアと比べSpec CFP95 3プログラム平均で3.42倍の速度向上

# Performance of OSCAR Compiler on IBM p6 595 Power6 (4.2GHz) based 32-core SMP Server



**OpenMP codes generated by OSCAR compiler accelerate IBM XL Fortran for AIX Ver.12.1 about **3.3 times** on the average**

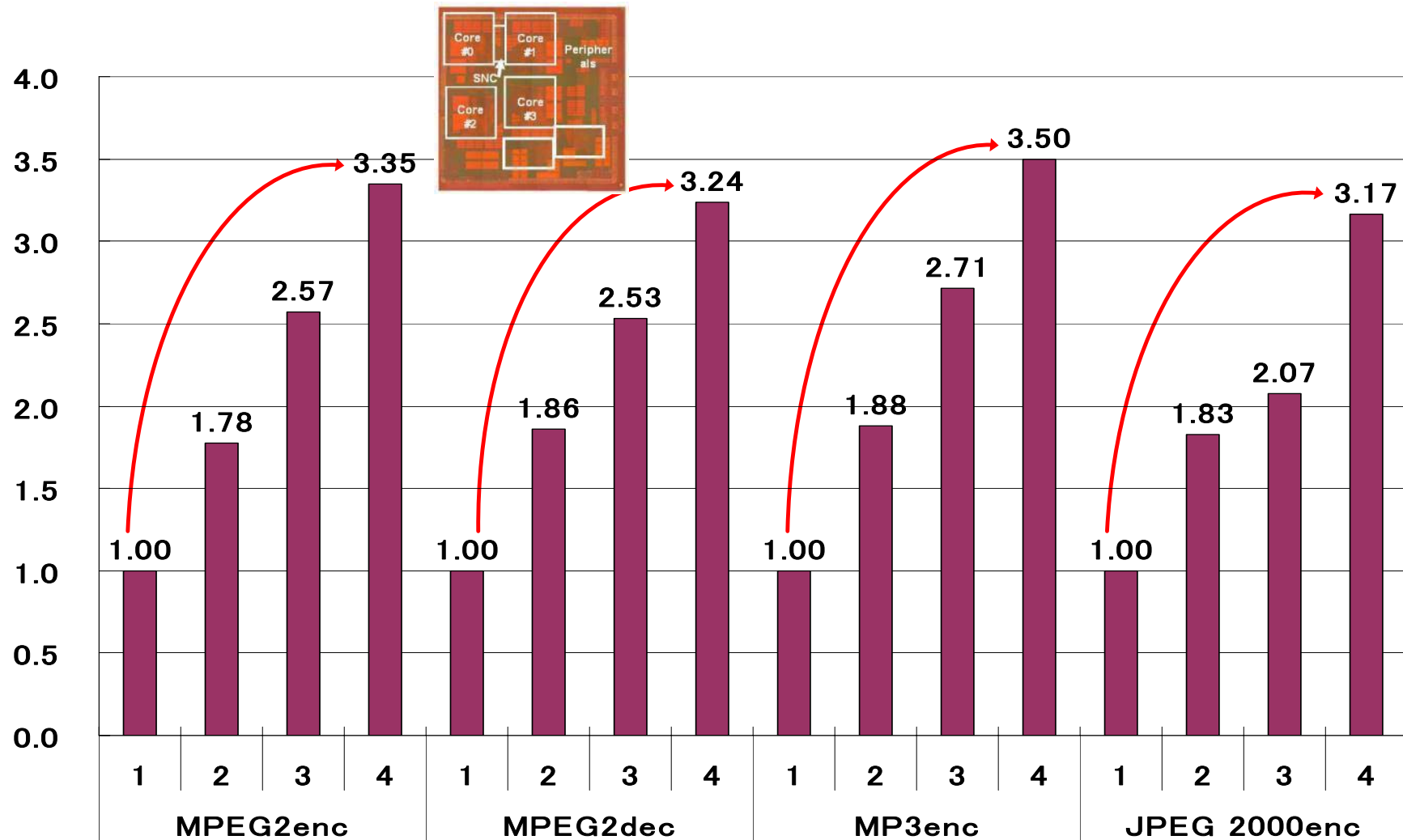
Compile Option:

(\*1) Sequential: -O3 -qarch=pwr6, XLF: -O3 -qarch=pwr6 -qsmp=auto, OSCAR: -O3 -qarch=pwr6 -qsmp=noauto

(\*2) Sequential: -O5 -q64 -qarch=pwr6, XLF: -O5 -q64 -qarch=pwr6 -qsmp=auto, OSCAR: -O5 -q64 -qarch=pwr6 -qsmp=noauto

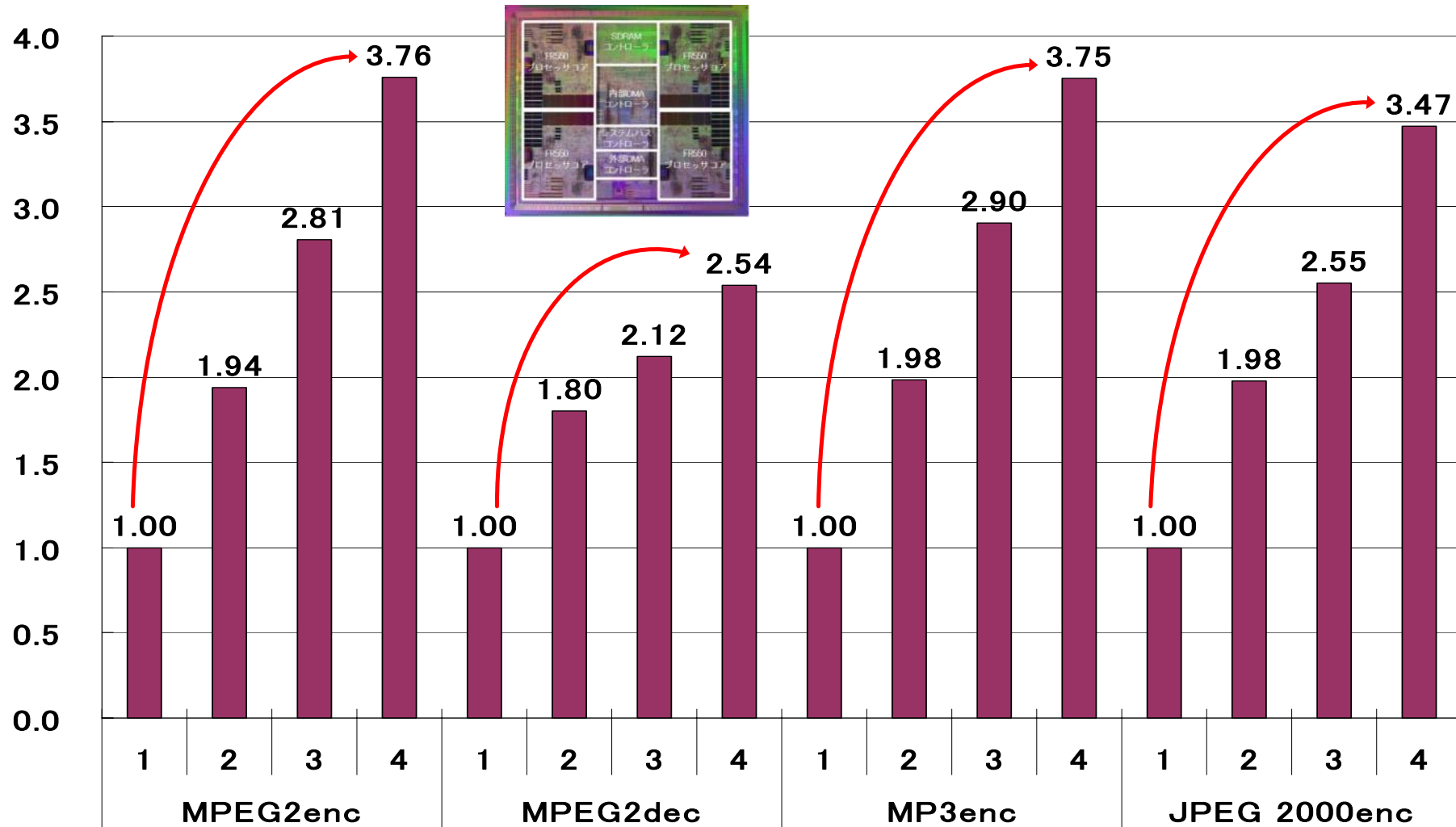
(Others) Sequential: -O5 -qarch=pwr6, XLF: -O5 -qarch=pwr6 -qsmp=auto, OSCAR: -O5 -qarch=pwr6 -qsmp=noauto

# 開発RP1マルチコア(4cores)上での並列化 コンパイラを用いた並列処理性能(速度向上率)



1プロセッサと比較して、4プロセッサで平均3.31倍の速度向上

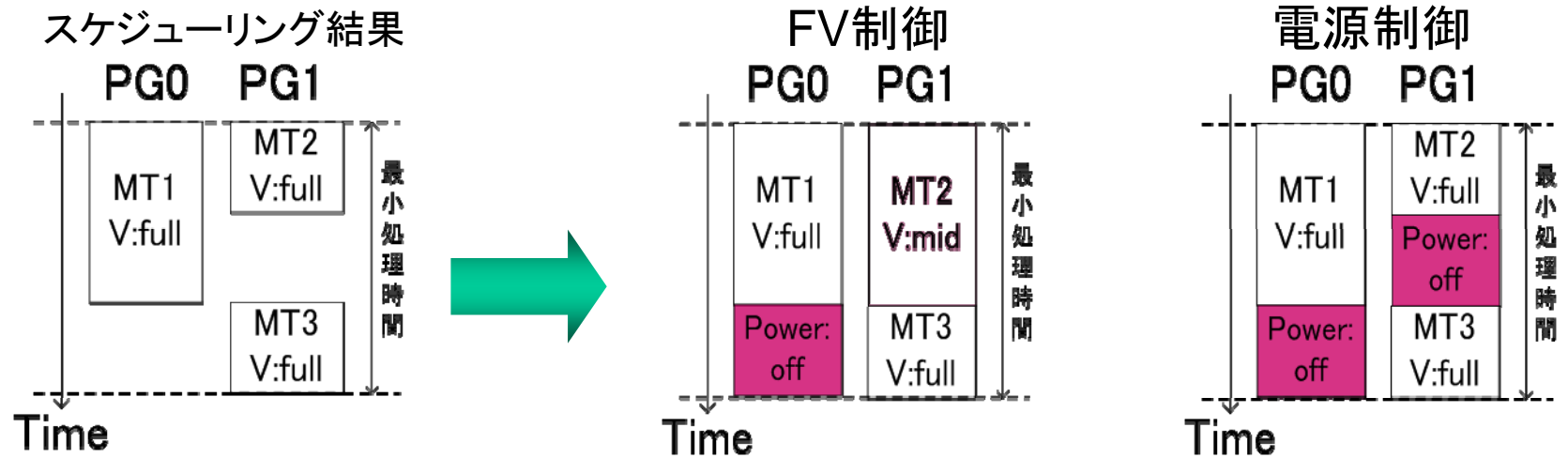
# 既存富士通 FR1000マルチコア上での OSCARコンパイラによる並列化性能(策定API利用)



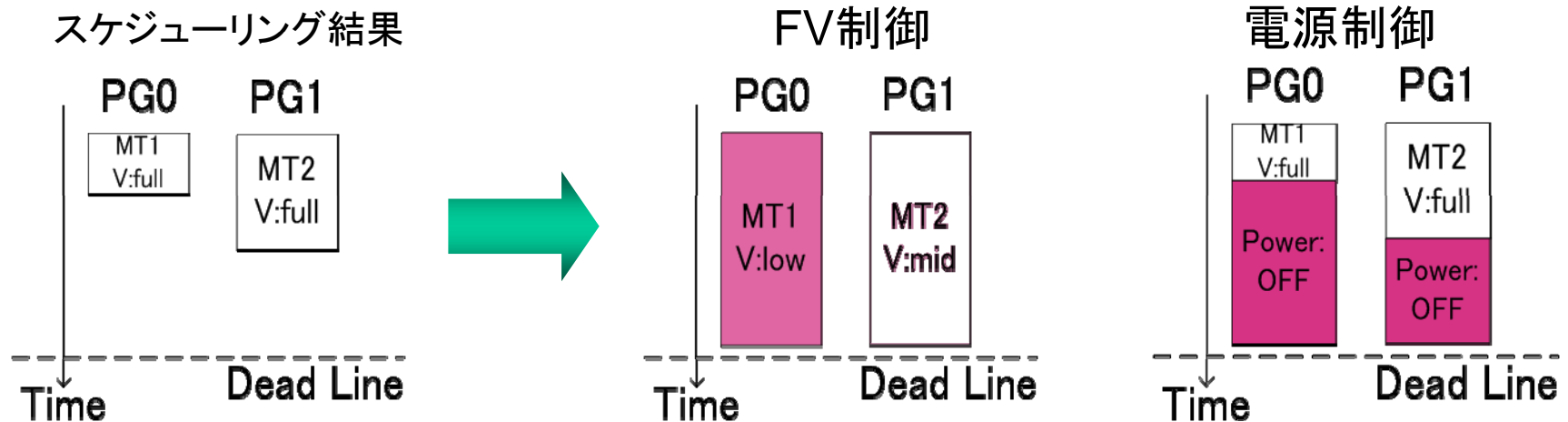
**1プロセッサと比較して、4プロセッサで平均3.38倍の速度向上**

# 周波数電圧 (FV) 制御と電源制御による低消費電力化

- 処理ユニット負荷不均衡時の電源・周波数電圧制御

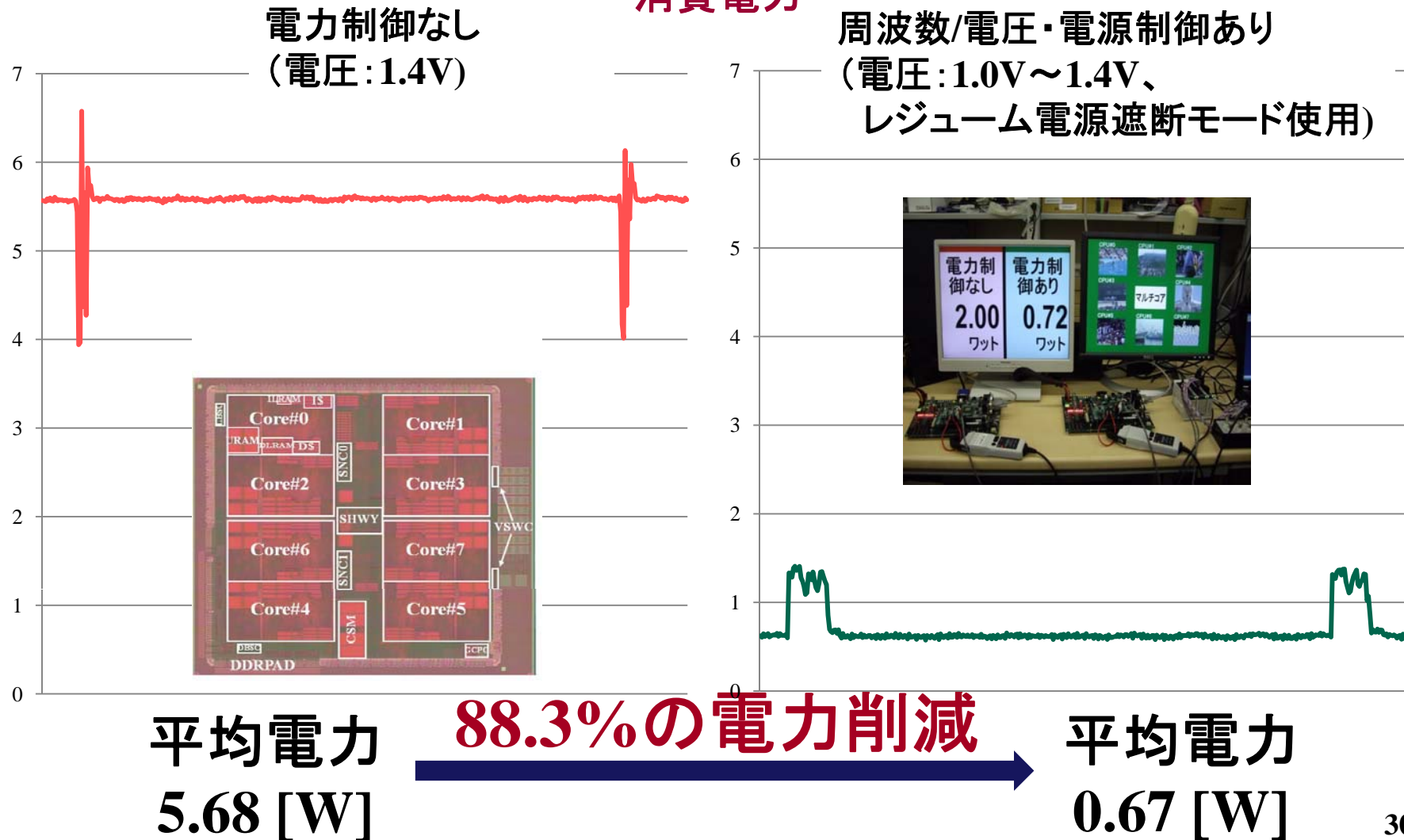


- デッドライン制約を考慮した電源・周波数電圧制御



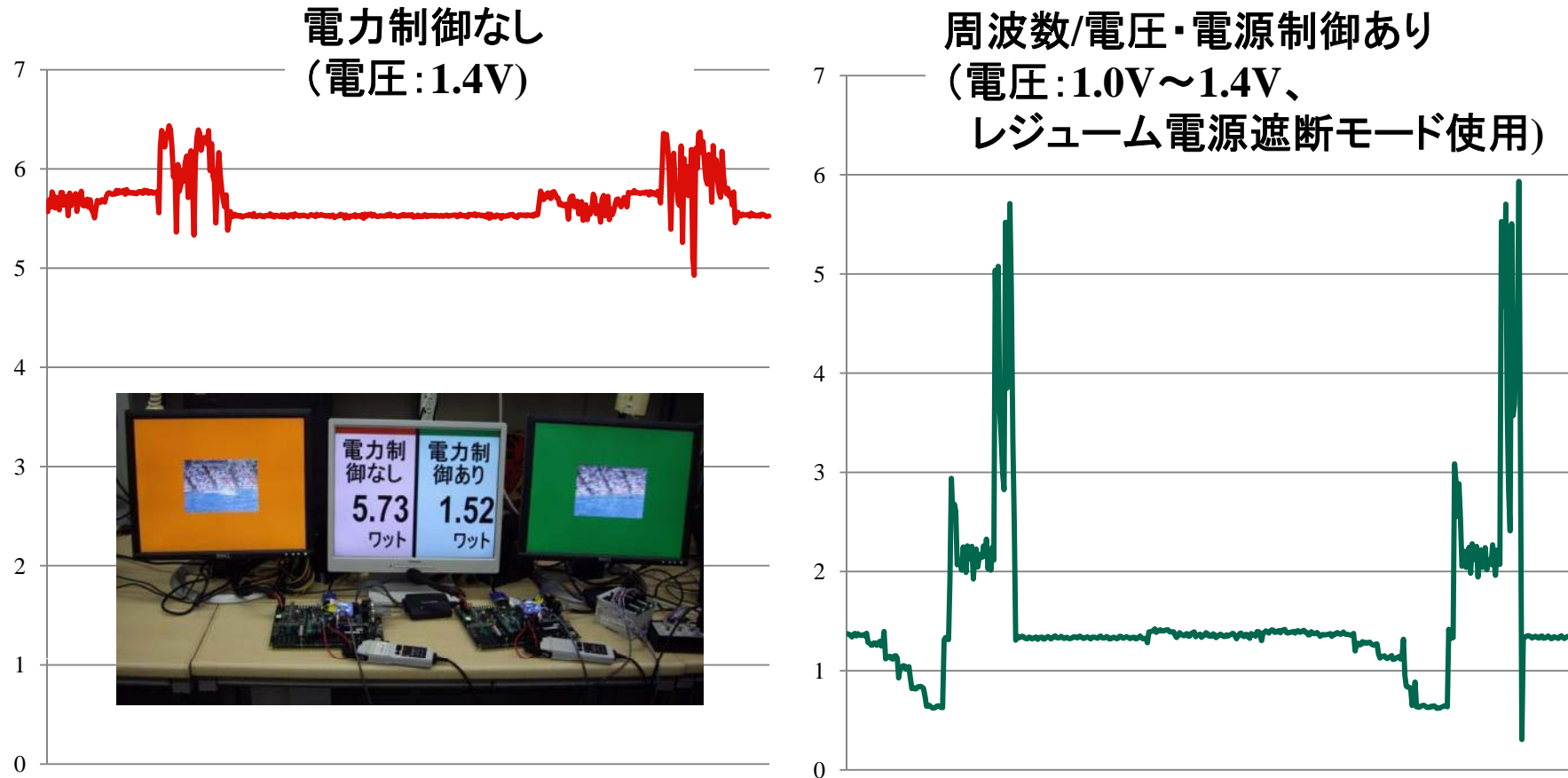
# 音楽圧縮におけるコンパイラ周波数/電圧・電源制御 による開発チップ上での消費電力削減効果

セキュアオーディオ圧縮(AACエンコード+AES暗号化)処理を8コアで実行時の  
消費電力



# 画像表示におけるコンパイラ周波数/電圧・電源制御 による開発チップ上での消費電力削減効果

動画表示 (MPEG2デコード処理) を8コアで実行時の消費電力



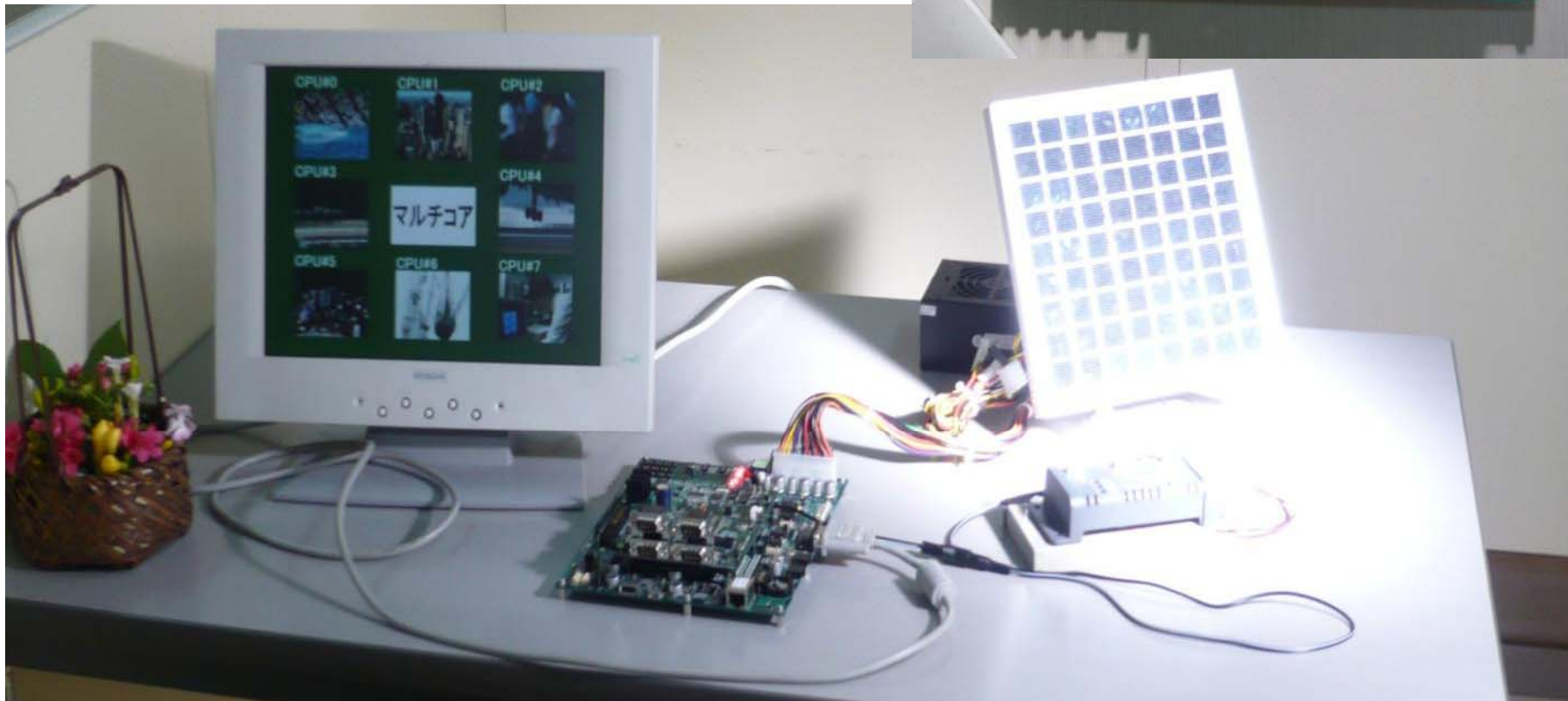
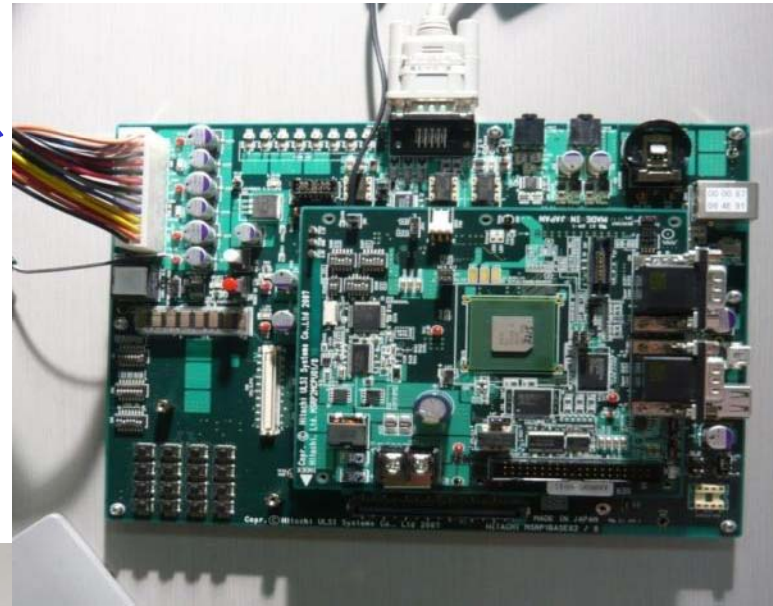
平均電力  
5.73 [W]

**73.5%の電力削減**

平均電力  
1.52 [W]

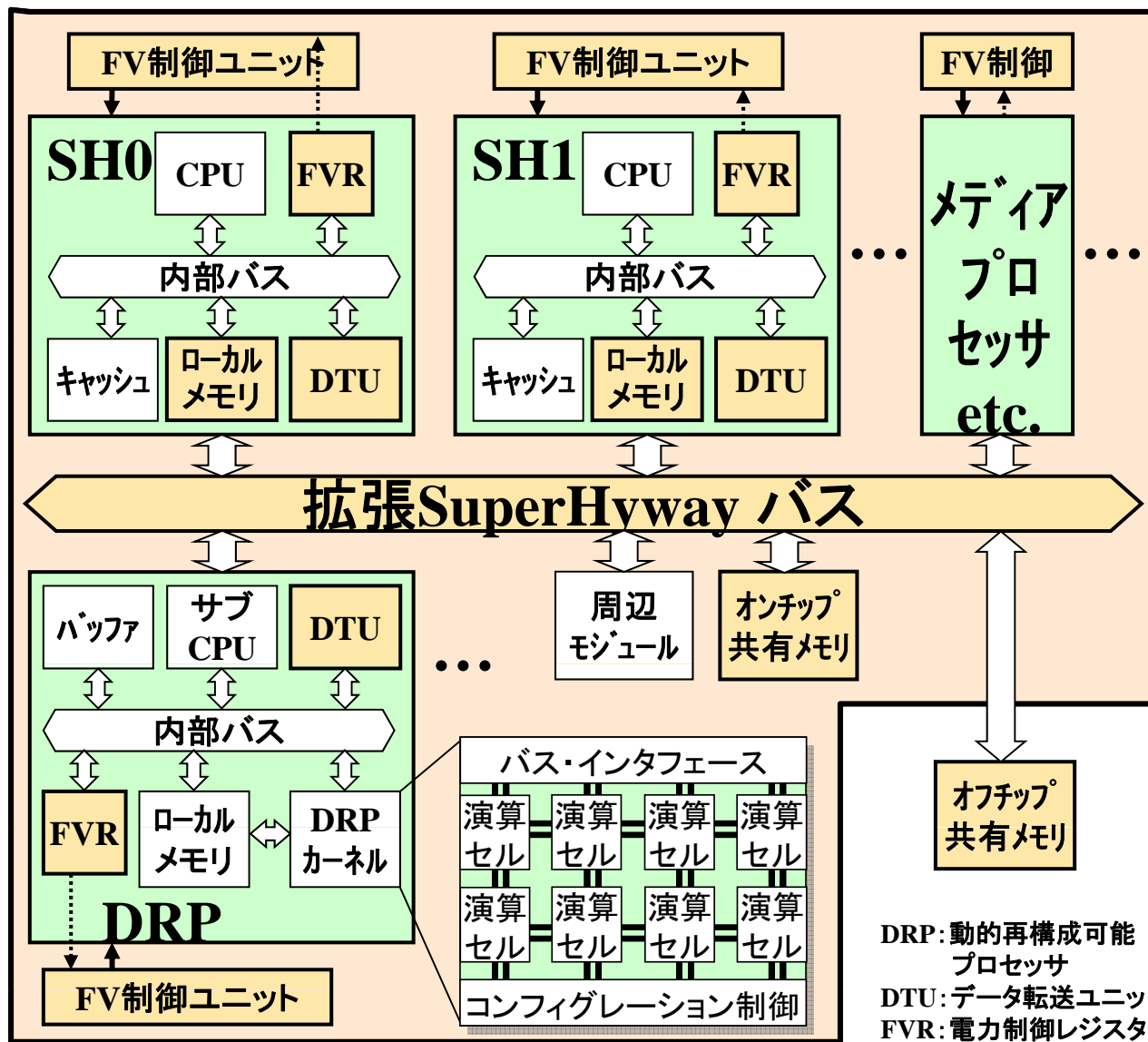
# ソーラパネル駆動可能な 低消費電力高性能マルチコア RP2(SH4A 8コア集積)

- クリーンエネルギーで駆動可
  - 電力供給が困難な場所での使用可能
  - 災害時でも使用可能



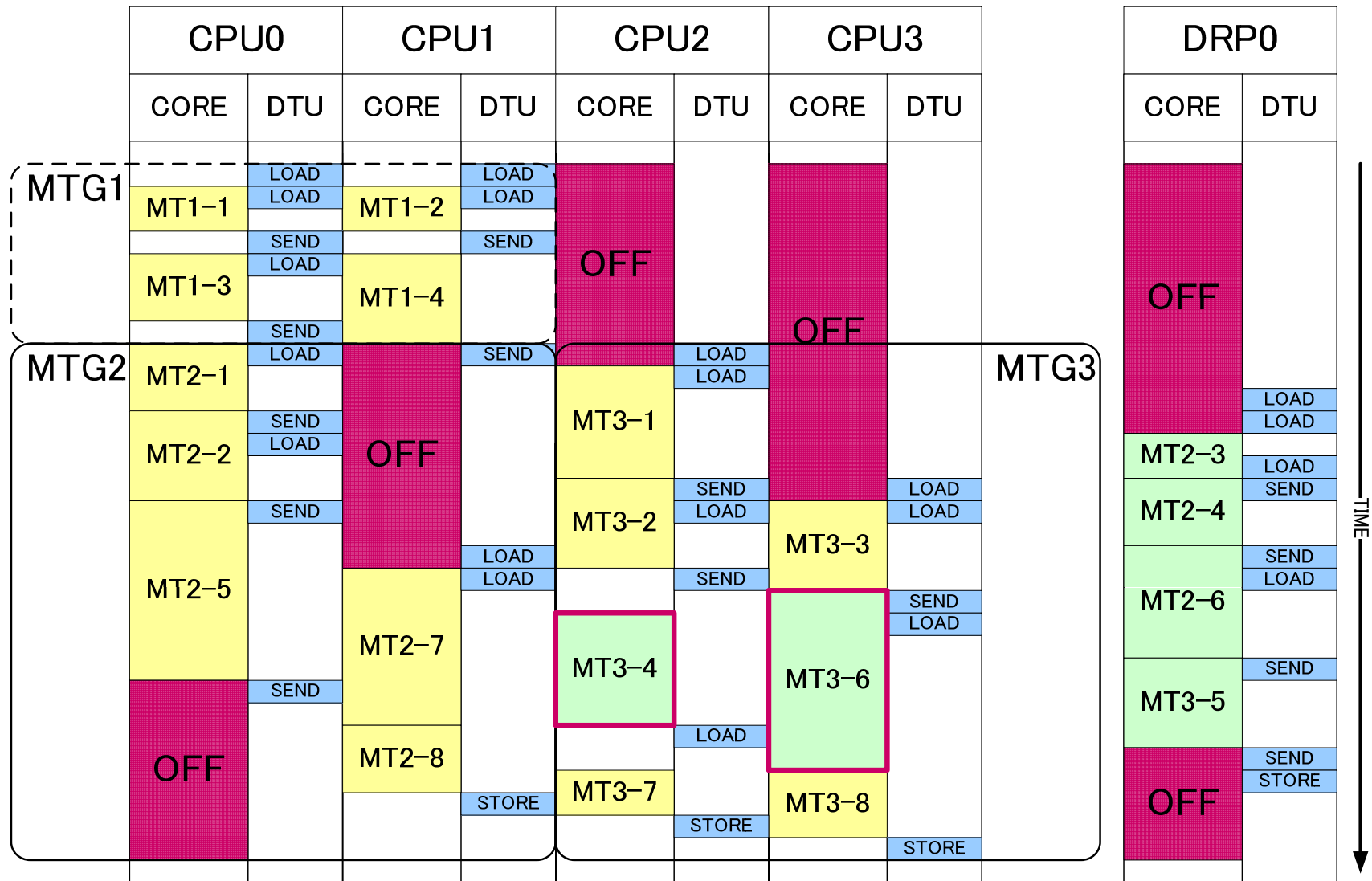


# OSCARヘテロジニアスマルチコアの例



- 各種専用プロセッサを搭載したヘテロマルチ構成
- 階層的なメモリ構造
- スライド転送、gather/scatter転送、転送リストによる連続データ指示対応データ転送機構
- スプリットランザクシオン対応拡張SuperHywayバス
- 各コアの電力制御(周波数・電圧変更)可能な電力制御レジスタ

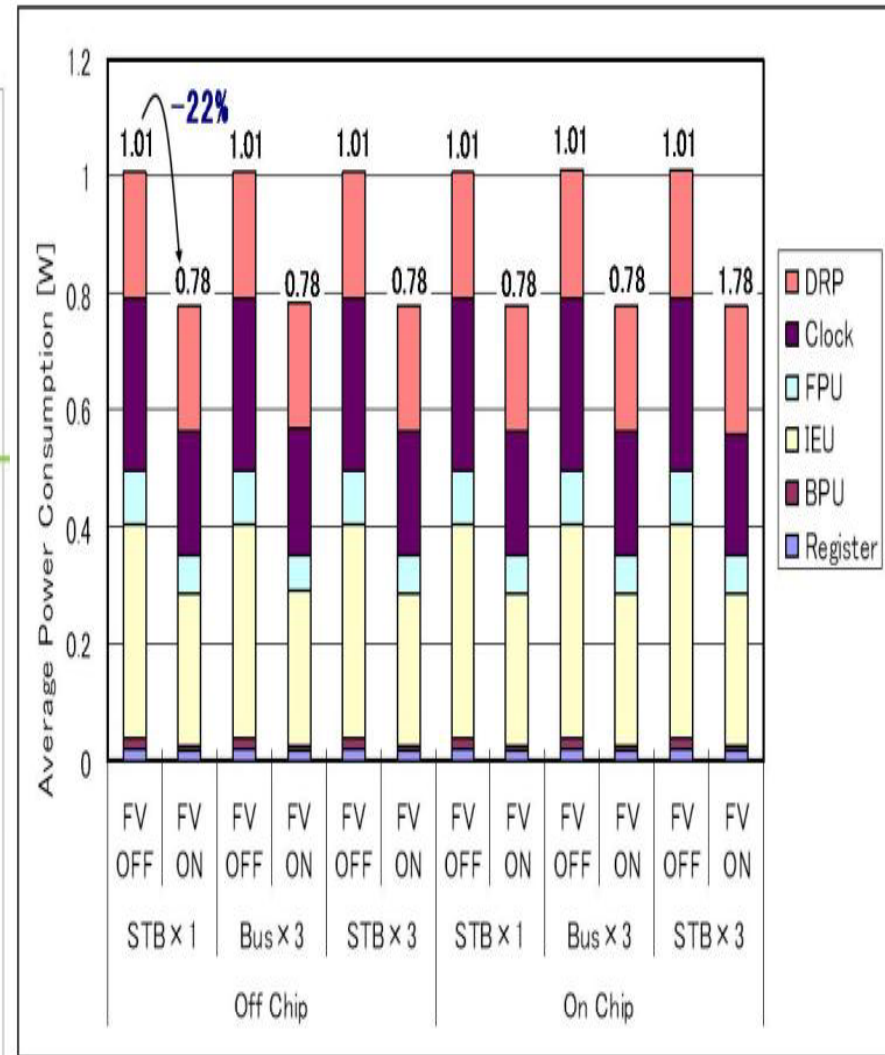
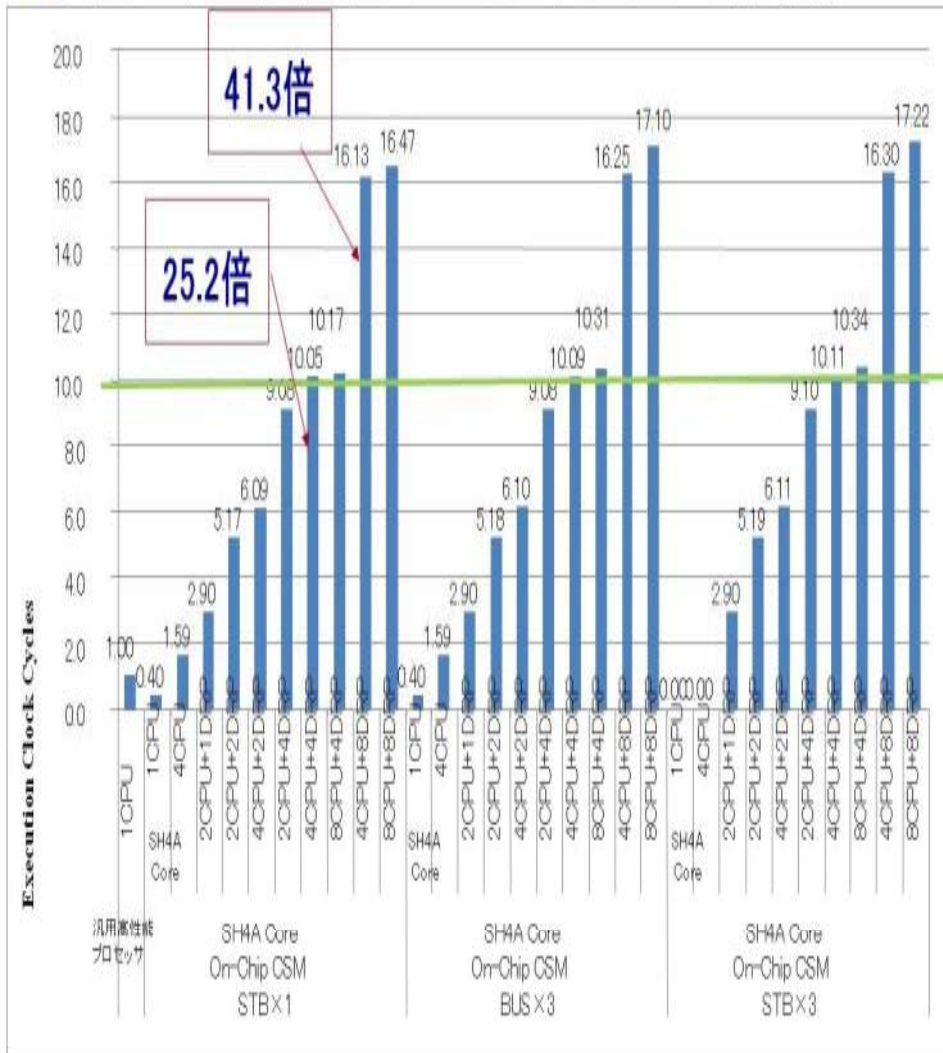
# ヘテロジニアスマルチコア用スケジューリングイメージ



# OSCARヘテロジニアスマルチコアとコンパイラの性能

## ヘテロジニアスマルチコア性能 (オンチップ共有メモリ:4クロック)

■ 汎用コア1台に対し、4汎用コア+4アクセラレータで25.2倍の性能



# グリーン・コンピューティング・システム研究開発センター 概要

## <目標>

太陽電池で駆動可能で  
冷却ファンが不要な  
超低消費電力・高性能  
メニーコアプロセッサ\*のハードウェア、  
ソフトウェア、応用技術の研究開発

\*1チップ上に多数のプロセッサコアを集積する  
次世代マルチコアプロセッサ



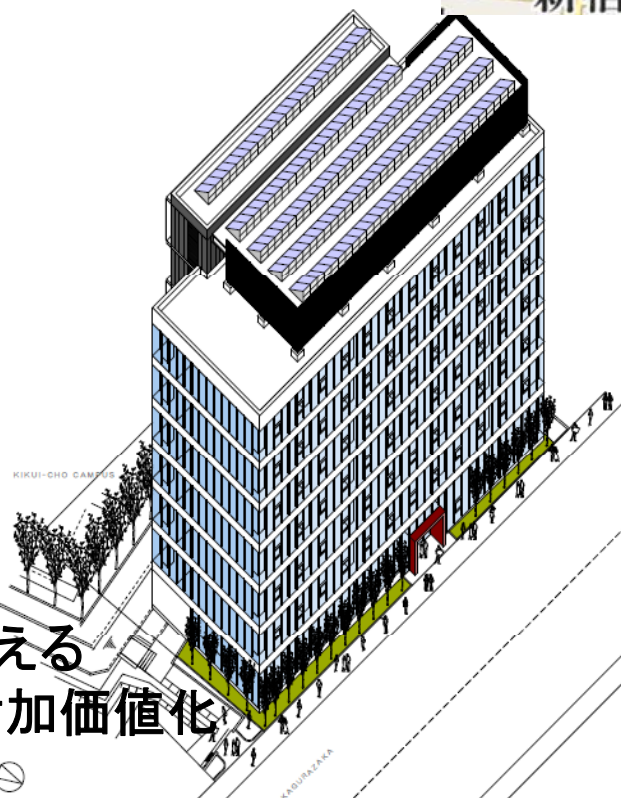
## <産学連携>

富士通, 日立, ルネサス,  
東芝, パナソニック, NEC等

## <波及効果>

超低消費電力メニーコア

- CO<sub>2</sub>排出量削減
- サーバ国際競争力強化
- 我が国の産業利益を支える  
情報家電, 自動車の高付加価値化



建築面積: 1.299 m<sup>2</sup>  
延床面積: 5.180 m<sup>2</sup>  
階数: 地上8階

住所:  
東京都新宿区早稲田町27  
及び  
東京都新宿区喜久井町17  
(地下鉄早稲田駅より徒歩1分)

# 研究開発の内容紹介

## ➤ 太陽電池駆動メニーコアプロセッサ(チップ上に64-128コア集積)

開発するメニーコアプロセッサシステム技術が超低消費電力実行を可能とし、低炭素社会の実現に貢献できる環境に優しい技術であることを国民に分かりやすく伝えるために技術目標として設定

## ➤ 世界でメニーコアの研究開発競争

➤ 米国(Intel・IBM・MIT・Stanford),英国(ARM),イスラエル(Plurality),中国(CAS)等

## ➤ 国産メニーコアプロセッサが生き残るための差別化要因

### ➤ 超低消費電力化

- 自然冷却可能(ファン不要): 数W以下
- 64-128コア集積のメニーコアを数W以下で駆動:  
**インテル・IBM追従不可**
- 太陽電池駆動による携帯電話、携帯端末、PC,サーバの高付加価値化
- 静かでコンパクトでホコリの立たないサーバ  
(医用画像処理に最適)
- データセンター、スパコンは  
数MW~数十MWの電力消費→ 1/10以下へ削減

### ➤ ソフトウェア生産性

- 手作業だと数ヶ月を要する並列プログラム作成作業を、早稲田大学が開発したコンパイラで数分に短縮  
→ 情報家電における半年の製品開発サイクルに対応



# グリーンコンピューティングシステム研究開発センターの研究開発

## ①メニーコア, コンパイラ

(笠原博徳研究室、木村啓二研究室、大附辰夫研究室、戸川望研究室)

- ・低消費電力のメニーコアプロセッサ
- ・メニーコア用並列化コンパイラ
- ・メニーコア・アーキテクチャ自動設計技術

## ②クールサーバー

(笠原博徳研究室、木村啓二研究室)

- ・メニーコアを用いた低消費電力サーバー

## ③情報家電

(笠原博徳研究室、木村啓二研究室)

- ・メニーコア用API  
(アプリケーション・プログラム・インターフェイス)

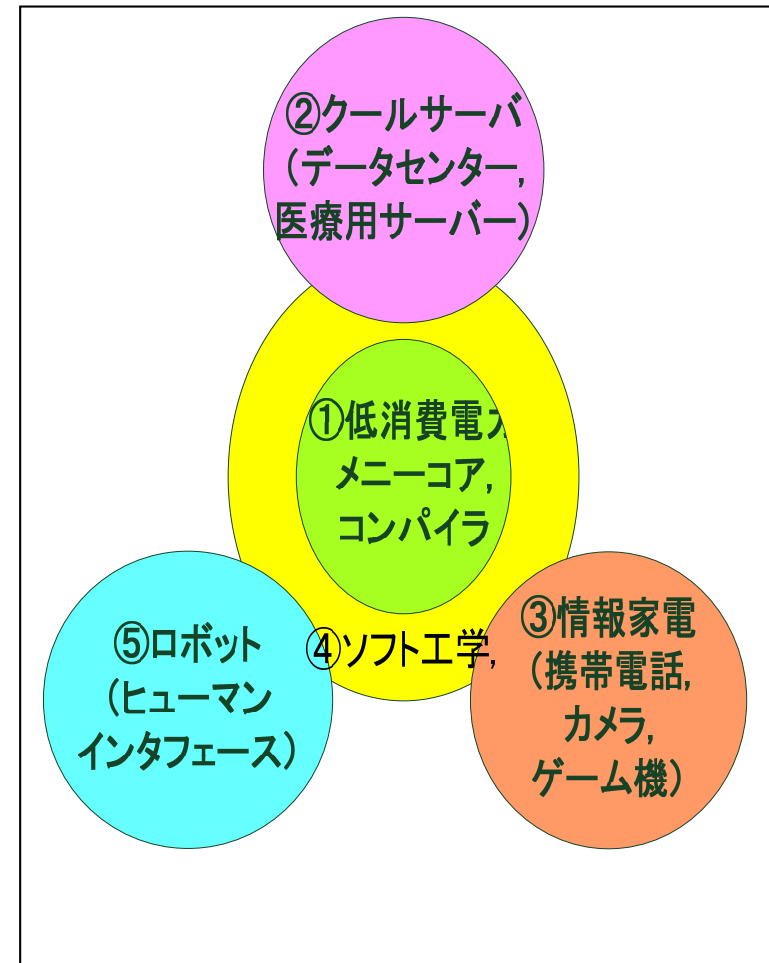
## ④ソフトウェア工学

(深澤良彰研究室、鷲崎弘宜研究室)

- ・メニーコア用ソフトウェアの高信頼化・低消費電力化

## ⑤ロボット(小林哲則研究室、白井克彦研究室)

- ・メニーコアを用いた高利便性のヒューマン・インターフェースの開発。



各詳細テーマ・参加研究室は研究開発の進展状況等により柔軟に見直す予定。

# まとめ

- 世界初のコンパイラ協調型 高性能・低消費電力・リアルタイム情報家電向け4コア(RP1),8CPUコア(RP2)マルチコアLSIを試作
- 8コアRP2チップでは、8個のプロセッサとメモリの独立電源遮断・動作周波数制御(1/2,1/4,1/8,0)・電圧制御(1.4V,1.2V,1.0V)可能。
  - 総合科学技術会議:8画面までの動画像を表示し、標準半導体と比べ
    - 8画面表示時 1/14に電力削減 マルチコア: 2.5W,標準半導体:35W
    - 1画面表示時1/50に電力削減 マルチコア: 0.5W, 標準半導体:25W
- 世界最高処理性能かつ世界初の電力制御を実現したOSCAR自動並列化コンパイラの開発に成功(動的電力、今後の微細化で問題となるリーク電力も削減)
  - 自動並列化によりAACエンコーダを8プロセッサで5.8倍の高速化
  - IBM(Power6), Intel(SGI Altix450 最新Itanium2 Montvale16コア, Quad-core Xeon)上で各社コンパイラの性能を2倍以上向上
  - 世界初の電力制御に成功し、オーディオAACエンコードで88%、動画像MPEG2エンコードで74%の電力削減:太陽電池にて駆動可能
- 従来の手動並列化では数週間単位の時間を要した並列アプリケーション作成を、各社のマルチコア用にコンパイラによりAPIを用いて数秒単位で作成
- 今後:超低消費電力メニーコアプロセッサのハードウェア・ソフトウェア開発と情報家電・自動車統合制御系・クールサーバ(グリーンIT)・スパコンへの応用