

# 低炭素社会実現のための マルチコア・テクノロジーと 利用技術への挑戦

**早稲田大学**

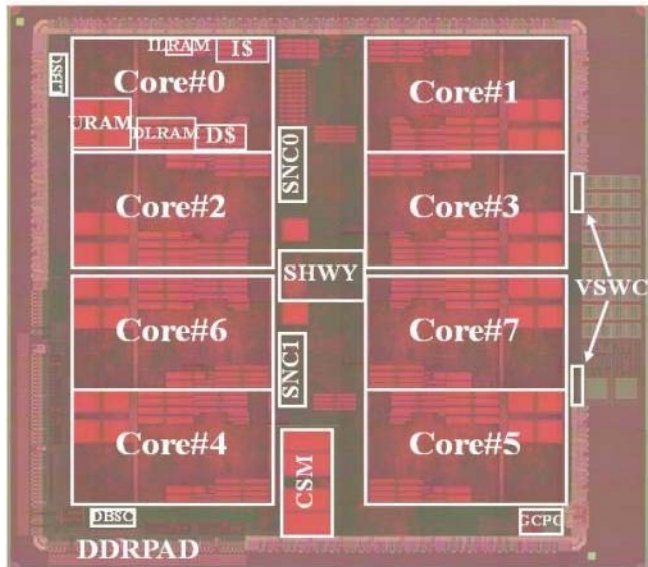
理工学術院基幹理工学部情報理工学科 教授  
アドバンスチップマルチプロセッサ研究所 所長

**笠原博徳**

URL: <http://www.kasahara.cs.waseda.ac.jp/>

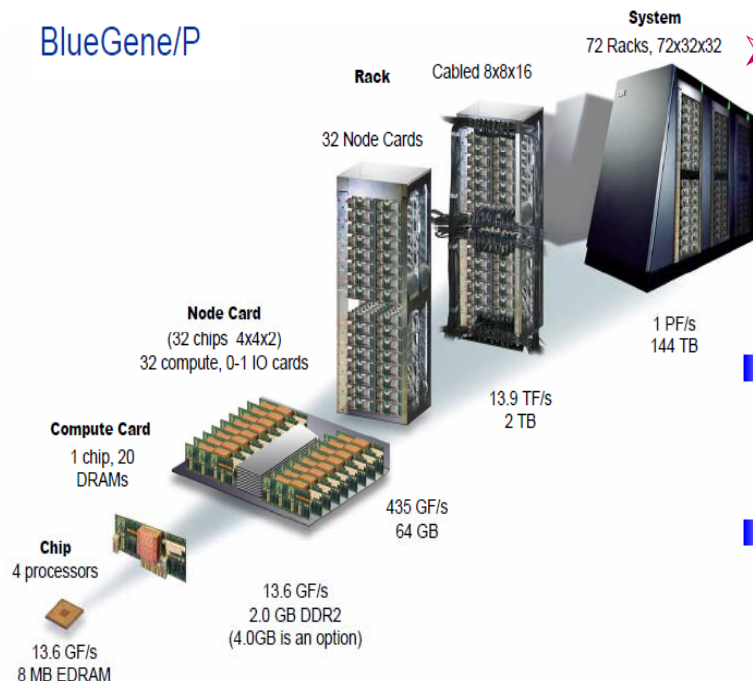
IBM HPCフォーラム, 15:35-16:15, 2008.09.11

# マルチコアEverywhereの時代



NEDOリアルタイム情報家電用マルチコアプロジェクト  
ルネサス試作チップ(OSCAR)標準アーキテクチャ

BlueGene/P



## ■ 組み込みプロセッサからスパコンまで

### ▶情報家電用マルチコア

カーナビ, 携帯電話, ゲーム, デジタルTV, DVD

IBM/ Sony/ Toshiba Cell, Fujitsu FR1000, Panasonic

Uniphier, NEC/ARM MPCore/MP211/NaviEngine

Renesas SH multi-core SHX3(4 core RP1, 8 core RP2)

Tilera Tile64, SPI Storm-1(16 VLIW cores)

### ▶PC,サーバ

Intel Quad Xeon, Core 2 Quad, Montvale, Tukwila, 80 core,  
AMD Quad Core Opteron, Phenom

### ▶WSs, Deskside & Highend Servers

IBM Power4,5,5+,6, HPCS 10PFLOP(Power7)

Sun Niagara(SparcT1,T2), Rock

### ▶スーパーコンピュータ

地球シミュレータ, 2002年3月完成, 5120ベクトルプロセッサ : **40TFLOPS**

IBM Blue Gene/L: **360TFLOPS**, 2005,低消費電力マルチコアベース128K processor chips,

BG/P 2008 1PFLOPS(2008), BG/Q 10PFLOPS (2011)

## ■ アプリケーションソフトの充実,短期間システム開発,低コスト, 低消費電力, 高機能化が市場競争力決定

<例>携帯電話, ゲーム, 自動車

## ■ 自動並列化コンパイラ協調型マルチコアプロセッサ必要

# NEDOリアルタイム情報家電用マルチコア技術

3

＜目的＞ DVD,デジタルTV,カーナビ,携帯電話等リアルタイム情報家電における優位化製品創出を目指したプロセッサ技術の国際競争力強化

＜研究期間＞平成17年7月～平成20年3月

＜内容＞ 下記特徴をもつマルチコア・アーキテクチャ及びコンパイラ技術の確立

- ・優れた価格性能
- ・短ハードウェア・ソフトウェア開発期間
- ・低消費電力
- ・同一アーキテクチャでローエンドからハイエンド製品まで柔軟に対応
- ・集積度向上に対するスケーラブルな性能向上(複数半導体世代に対応)
- ・異なる企業開発のマルチコア間でのアプリケーションの共用

＜API: Application Programming Interface並列化コンパイラと各マルチコアの接続＞

日立,富士通,ルネサス,東芝,松下,NEC

＜委託事業＞ NEDO”アドバンスト並列化コンパイラ“の成果と参加各社のプロセッサ技術を委員会及び研究により発展させ、標準的マルチコア・アーキテクチャと並列化APIを策定し、既存及び新規チップ上での性能評価を通し改良する

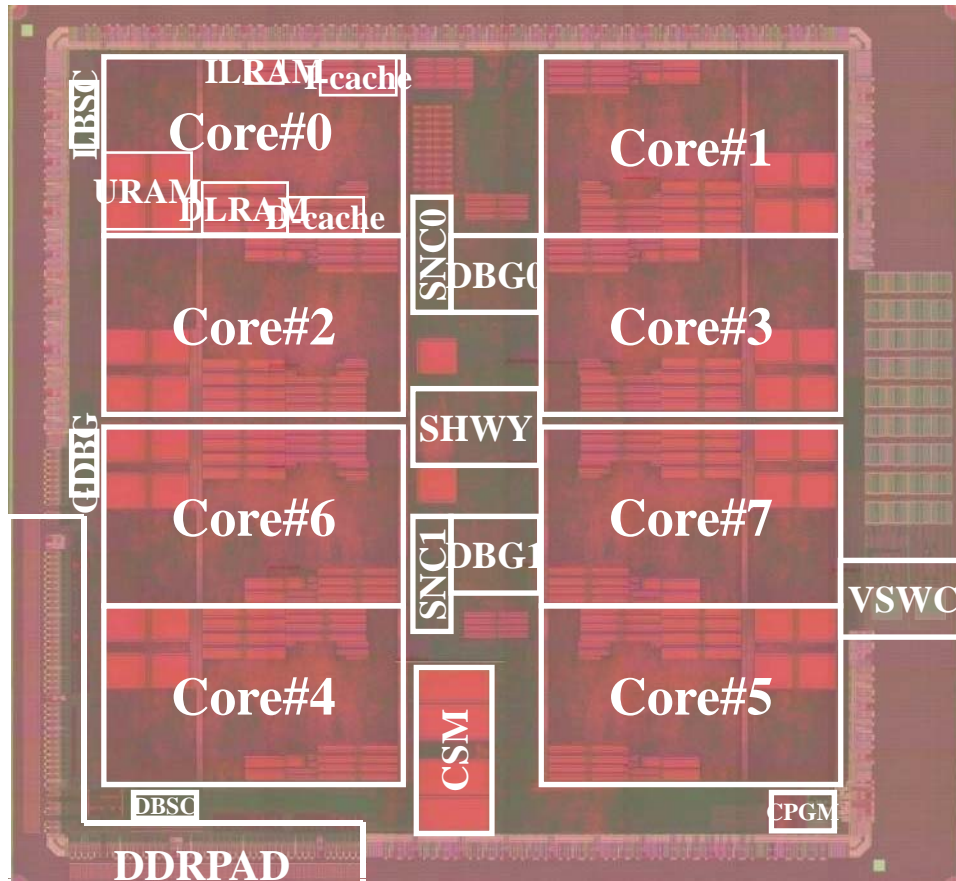
＜助成事業＞ 委託事業にて策定されたアーキテクチャをベースとしたチップ及びその開発環境を開発し委託研究での評価のために供与する

＜PC用プロセッサとの目的の違い＞

リアルタイム処理なアーキテクチャ・自然冷却可能な低消費電力性

# RP2 8コア搭載マルチコアLSI

## チップ諸元

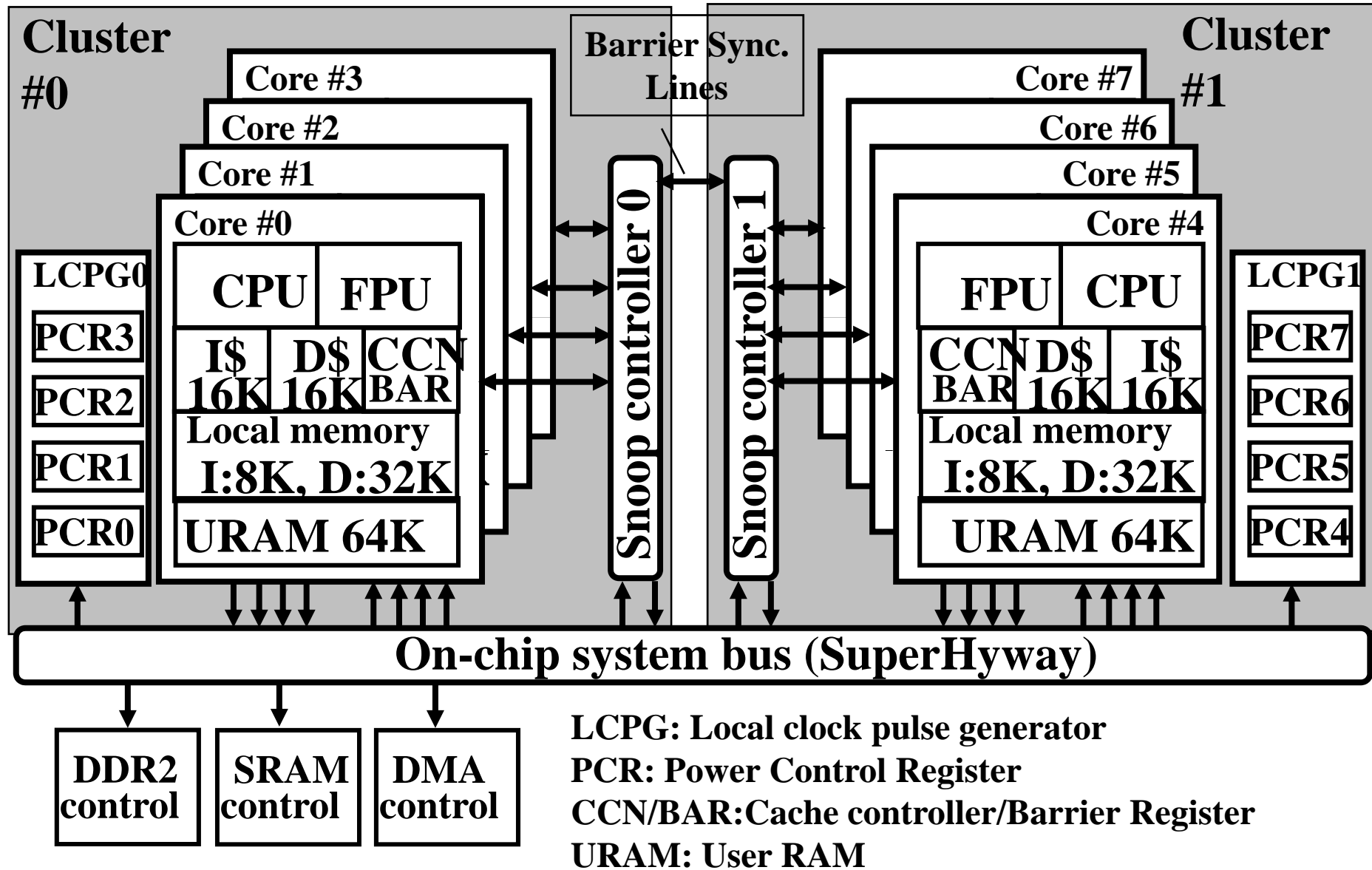


8コア集積マルチコアLSIチップ写真

プロセス	90nm CMOS, 8層メタル, 3種Vth
チップサイズ*	104.8mm <sup>2</sup> (10.61mm x 9.88mm)
電源電圧	1.0V-1.4V(コア), 1.8/3.3V(I/O)
動作周波数	600MHz
CPU性能	8640 MIPS (Dhrystone 2.1)
FPU性能	33.6 GFLOPS
低電力制御	<ul style="list-style-type: none"> <li>・CPU毎に独立した周波数変更</li> <li>・CPUコアのクロックを停止するスリープモード</li> <li>・CPUコアの一部のクロックを停止するがキャッシュコヒーレンシ維持可能なライトスリープモード</li> <li>・CPUコアの電源供給を停止するフル電源遮断モード</li> <li>・URAM以外のCPUコアの電源供給を停止するレジューム電源遮断モード</li> </ul>

ISSCC08発表: ISSCC08 論文番号4.5, M.ITO, et al., “An 8640 MIPS SoC with Independent Power-off Control of 8 CPUs and 8 RAMs by an Automatic Parallelizing Compiler”

# 開発8 Core RP2 マルチコアのアーキテクチャ



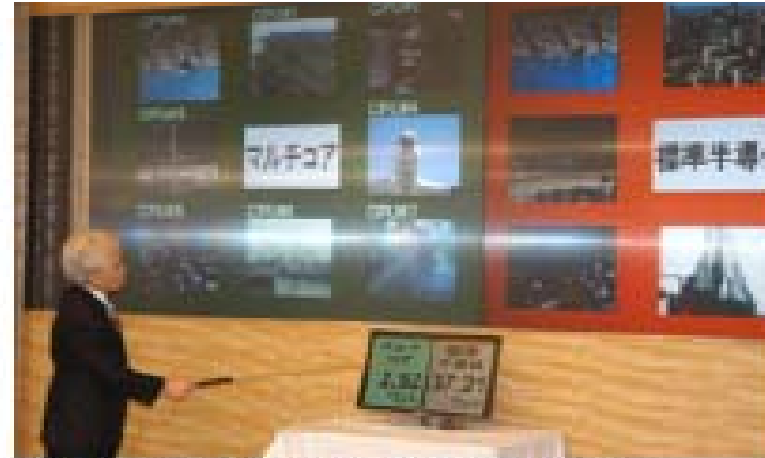
# NEDOリアルタイム情報家電用マルチコアチップ・デモの様子

<http://www8.cao.go.jp/cstp/gaiyo/honkaigi/74index.html>

## 第74回総合科学技術会議【平成20年4月10日】



第74回総合科学技術会議の様子(1)



第74回総合科学技術会議の様子(2)



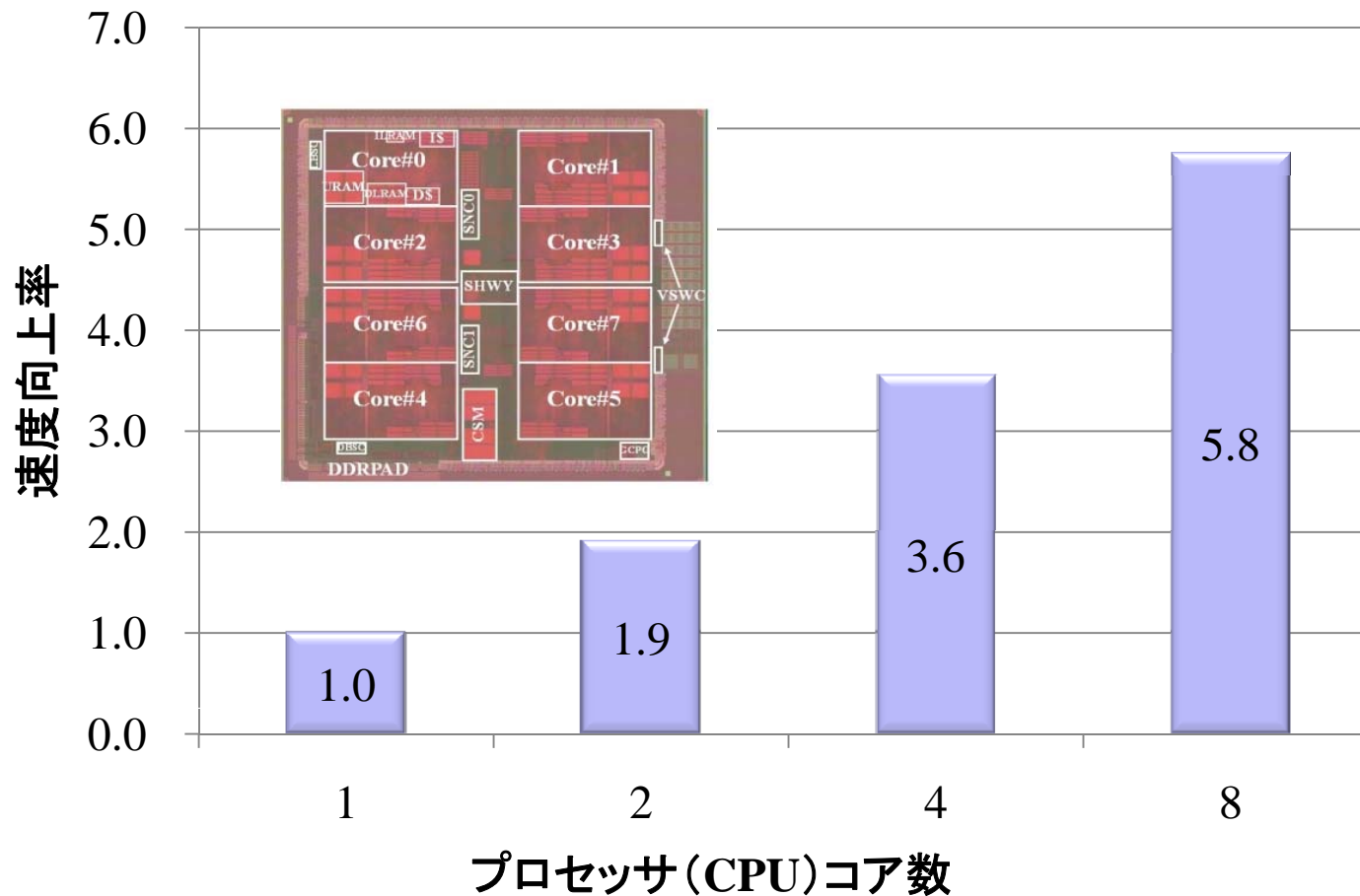
第74回総合科学技術会議の様子(3)



第74回総合科学技術会議の様子(4)

# 開発マルチコア・チップ上での 自動並列化コンパイラを用いた処理速度

オーディオ圧縮(AAC\*エンコード)処理(マルチメディア処理)  
並列化時の1プロセッサコアに対する処理速度向上率



\*) Advanced Audio Coding: ISOにおいて規格化された音声圧縮方式

# 世界をリードするマルチコア用コンパイラ技術

プロセッサ高速化における3大技術課題の解消

## 1. 半導体集積度向上(使用可能トランジスタ数増大)に対する速度向上率の鈍化

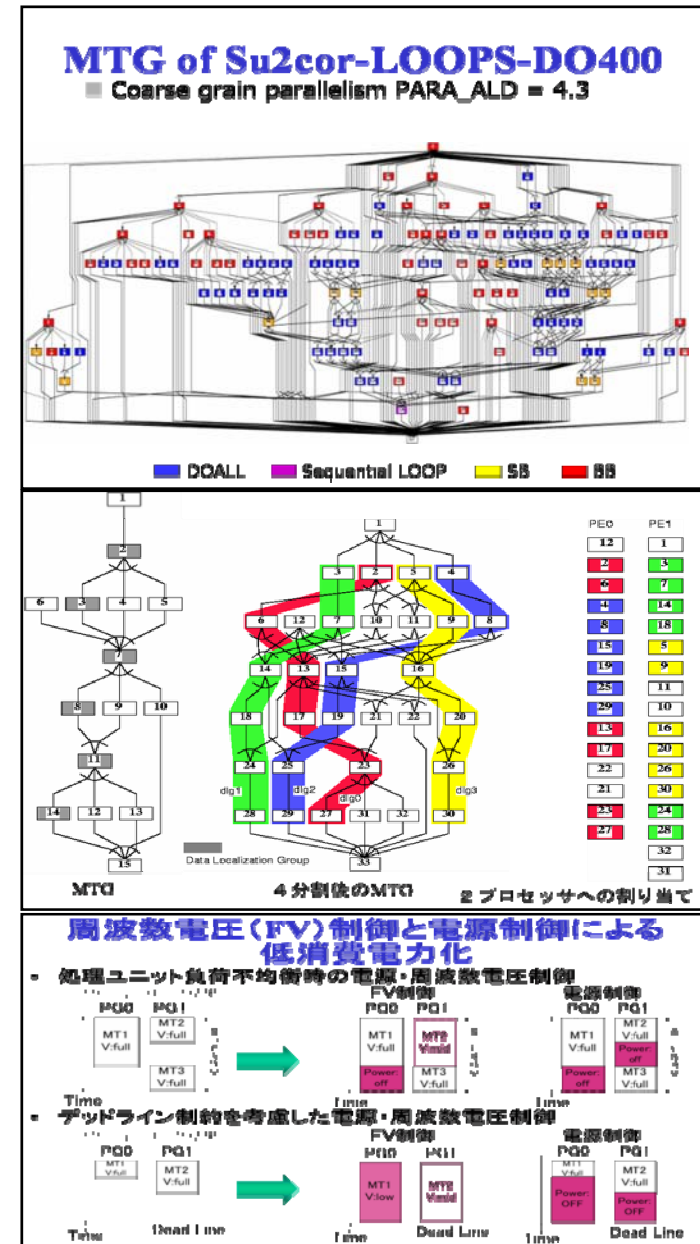
- 粗粒度タスク並列化、ループ並列化、近細粒度並列化によりプログラム全域の並列性を利用するマルチグレイン並列化機能により、従来の命令レベル並列性より大きな並列性を抽出し、複数マルチコアで速度向上

## 2. メモリウォール問題

- コンパイラによるローカルメモリへのデータ分割配置、DMAコントローラによるタスク実行とオーバーラップしたデータ転送によりメモリアクセス・データ転送オーバーヘッド最小化

## 3. 消費電力増大による速度向上の鈍化

- コンパイラによる低消費電力制御機能を用いたアプリケーション内でのきめ細かい周波数・電圧制御・電源遮断により消費電力低減

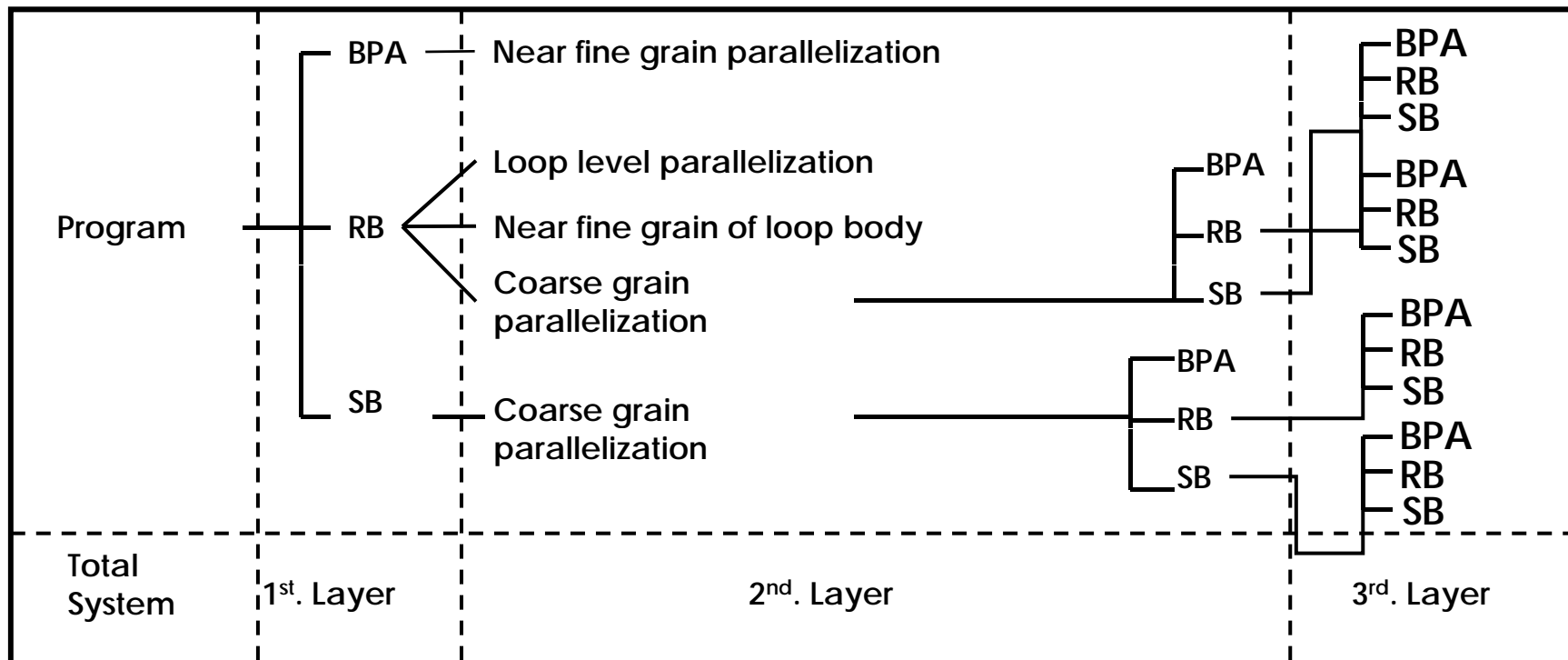




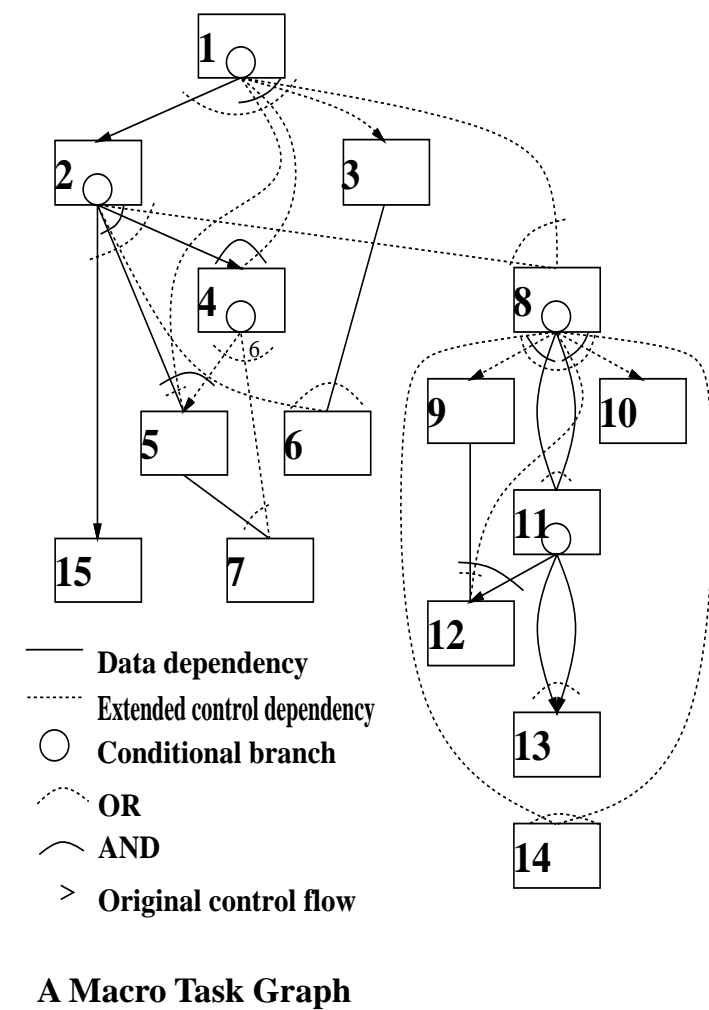
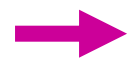
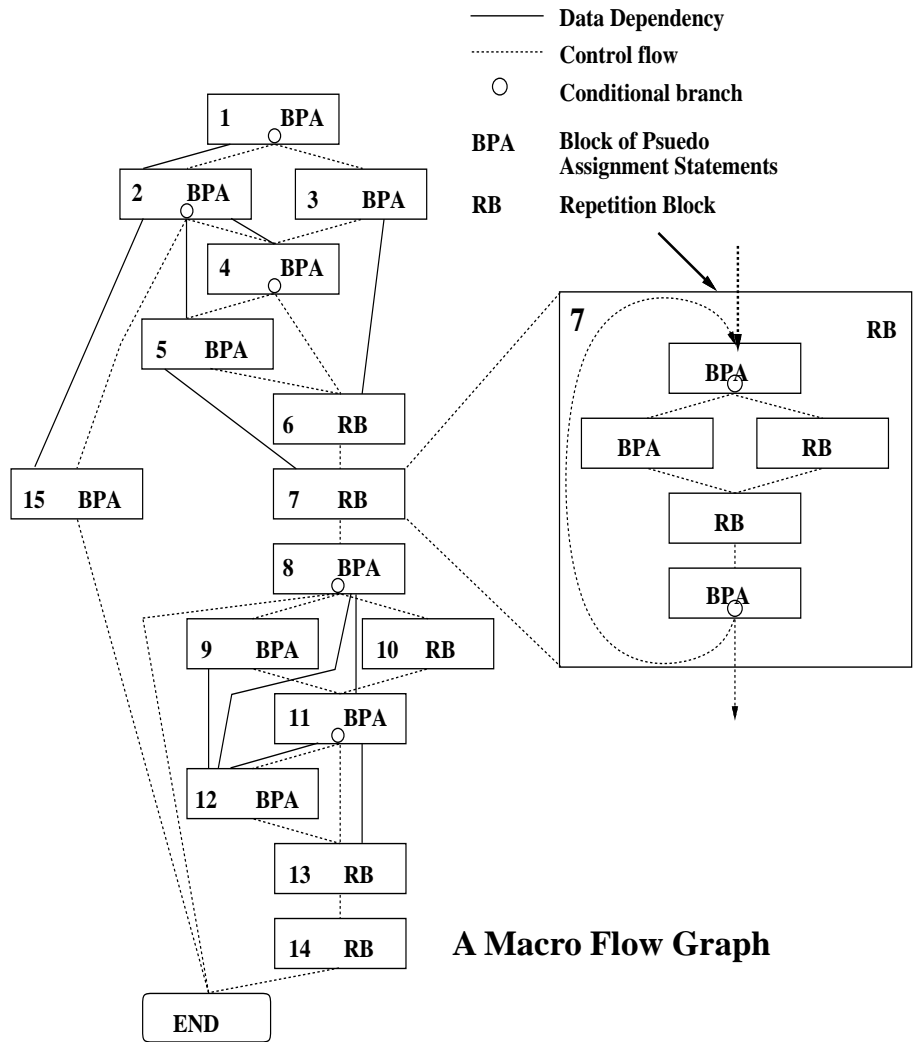
# Generation of coarse grain tasks

## ■ Macro-tasks (MTs)

- **Block of Pseudo Assignments (BPA): Basic Block (BB)**
- **Repetition Block (RB) : natural loop**
- **Subroutine Block (SB): subroutine**

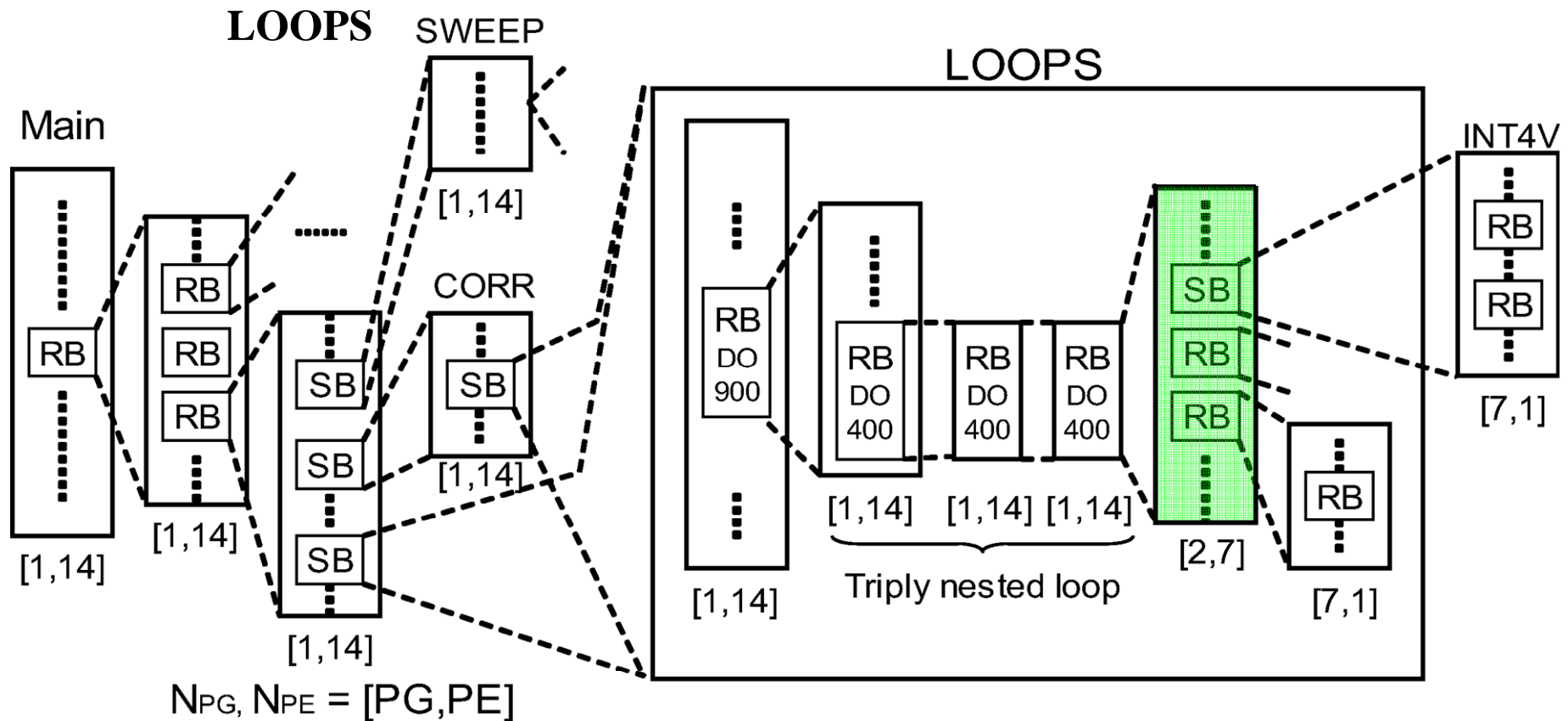


# Earliest Executable Condition Analysis for coarse grain tasks (Macro-tasks)



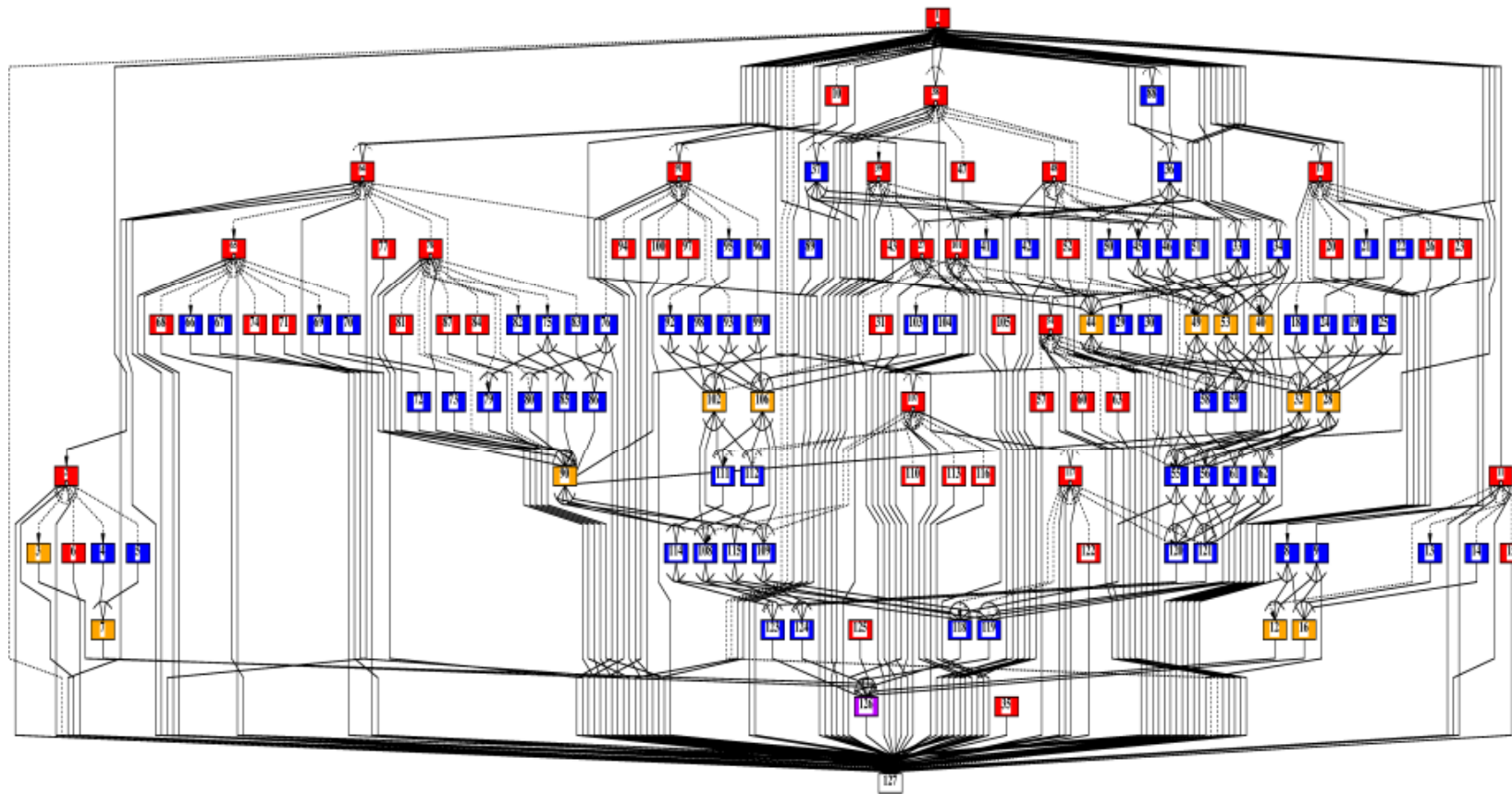
# Automatic processor assignment in su2cor

- Using 14 processors
  - Coarse grain parallelization within DO400 of subroutine



# MTG of Su2cor-LOOPS-DO400

- Coarse grain parallelism  $\text{PARA\_ALD} = 4.3$



■ DOALL

■ Sequential LOOP

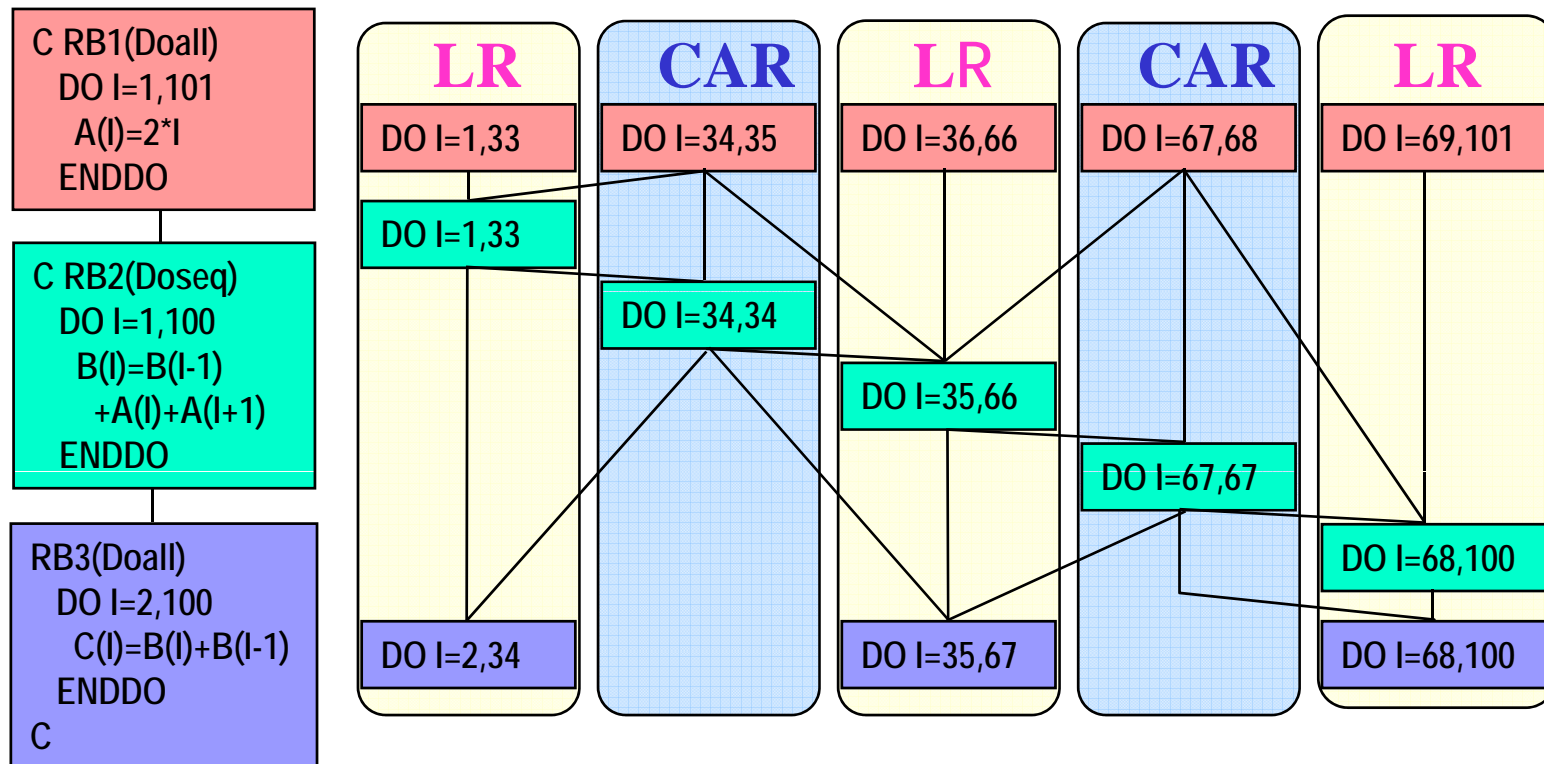
■ SB

■ BB

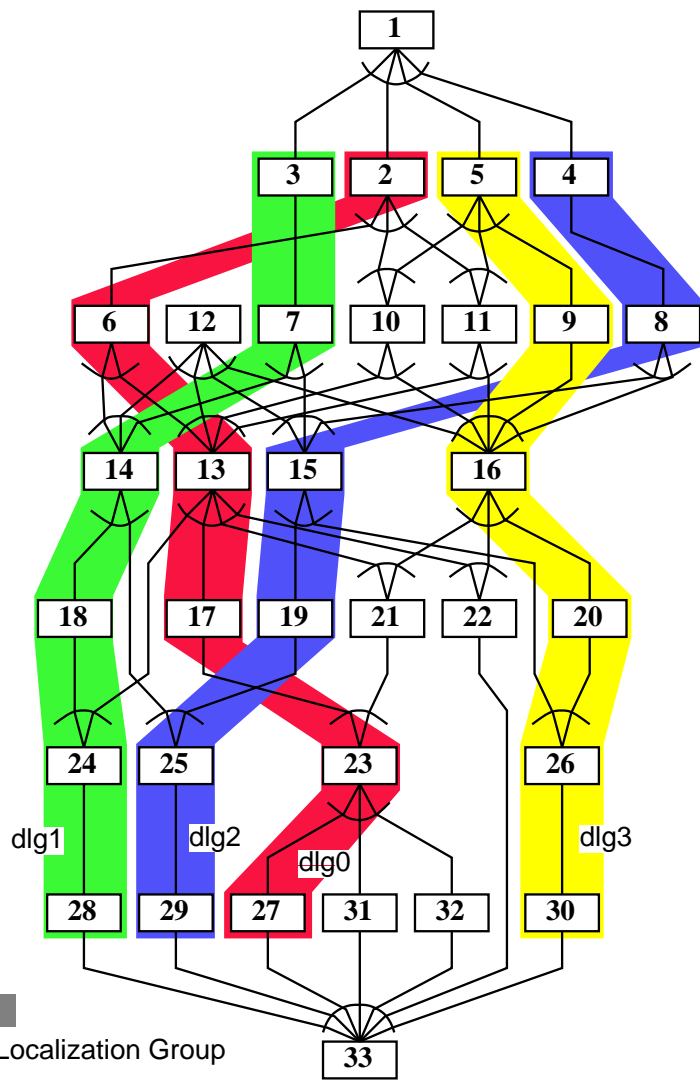
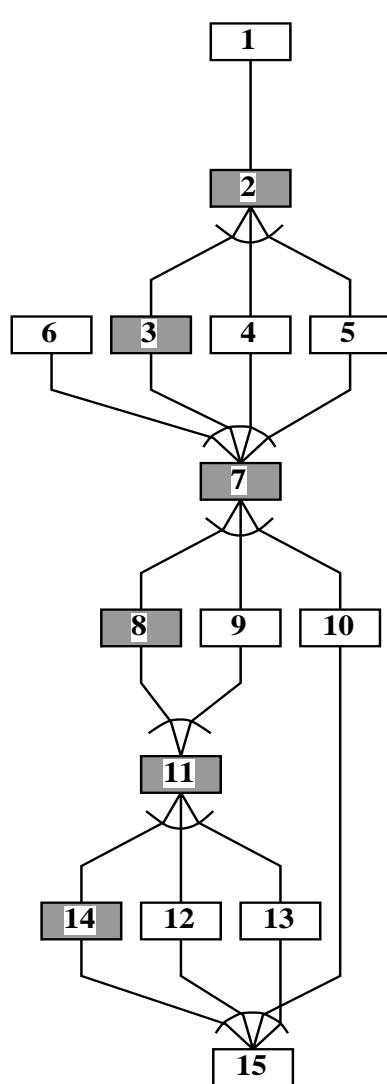
# Data-Localization

## Loop Aligned Decomposition

- Decompose multiple loop (Doall and Seq) into **CARs** and **LRs** considering inter-loop data dependence.
  - Most data in **LR** can be passed through LM.
  - LR**: Localizable Region, **CAR**: Commonly Accessed Region



# データローカライゼーションのイメージ



■ Data Localization Group

PE0	PE1
12	1
2	3
6	7
4	14
8	18
15	5
19	9
25	11
29	10
13	16
17	20
22	26
21	30
23	24
27	28
	32
	31

2プロセッサへの割り当て

# An Example of Data Localization for Spec95 Swim

```

DO 200 J=1,N
DO 200 I=1,M
  UNEW(I+1,J) = UOLD(I+1,J)+
1  TDT8*(Z(I+1,J+1)+Z(I+1,J))*(CV(I+1,J+1)+CV(I,J+1)+CV(I,J)
2  +CV(I+1,J))-TDT8*(H(I+1,J)-H(I,J))
  VNEW(I,J+1) = VOLD(I,J+1)-TDT8*(Z(I+1,J+1)+Z(I,J+1))
1  *(CU(I+1,J+1)+CU(I,J+1)+CU(I,J)+CU(I+1,J))
2  -TDT8*(H(I,J+1)-H(I,J))
  PNEW(I,J) = POLD(I,J)-TDT8*(CU(I+1,J)-CU(I,J))
1  -TDT8*(CV(I,J+1)-CV(I,J))
200 CONTINUE

```

```

DO 210 J=1,N
  UNEW(1,J) = UNEW(M+1,J)
  VNEW(M+1,J+1) = VNEW(1,J+1)
  PNEW(M+1,J) = PNEW(1,J)
210 CONTINUE

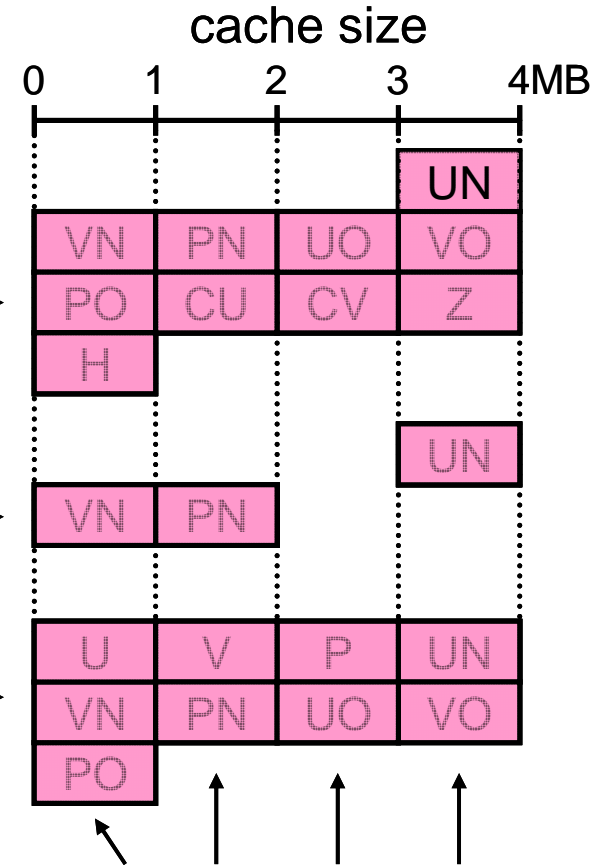
```

```

DO 300 J=1,N
DO 300 I=1,M
  UOLD(I,J) = U(I,J)+ALPHA*(UNEW(I,J)-2.*U(I,J)+UOLD(I,J))
  VOLD(I,J) = V(I,J)+ALPHA*(VNEW(I,J)-2.*V(I,J)+VOLD(I,J))
  POLD(I,J) = P(I,J)+ALPHA*(PNEW(I,J)-2.*P(I,J)+POLD(I,J))
300 CONTINUE

```

(a) An example of target loop group for data localization



Cache line conflicts occurs among arrays which share the same location on cache

(b) Image of alignment of arrays on cache accessed by target loops

# Data Layout for Removing Line Conflict Misses by Array Dimension Padding

## Declaration part of arrays in spec95

before padding

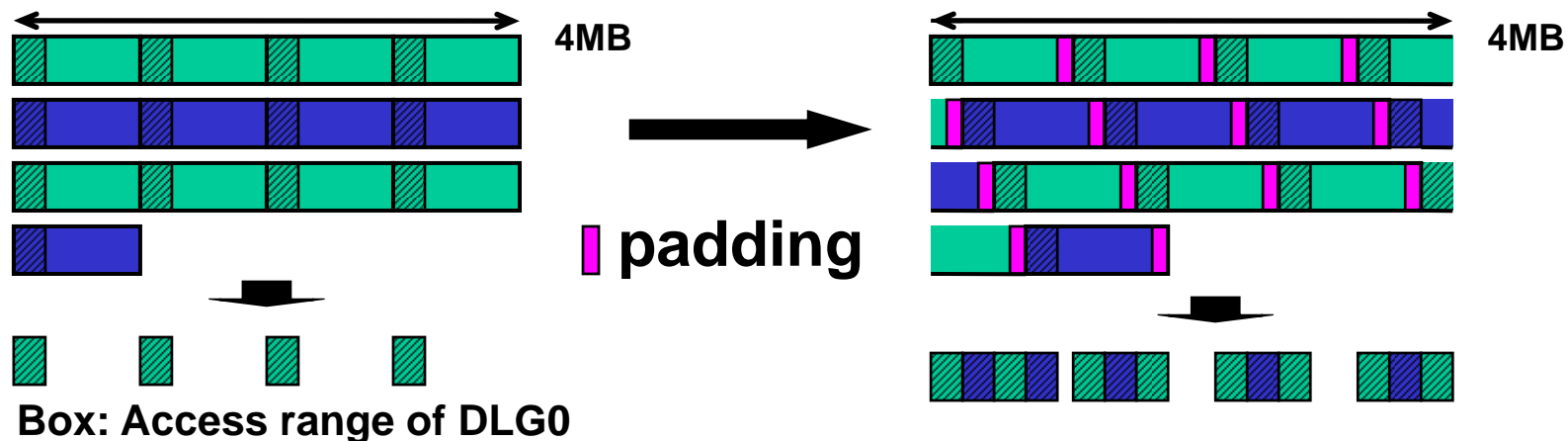
PARAMETER (N1=513, N2=513)

COMMON U(N1,N2), V(N1,N2), P(N1,N2),  
 \* UNEW(N1,N2), VNEW(N1,N2),  
 1 PNEW(N1,N2), UOLD(N1,N2),  
 \* VOLD(N1,N2), POLD(N1,N2),  
 2 CU(N1,N2), CV(N1,N2),  
 \* Z(N1,N2), H(N1,N2)

after padding

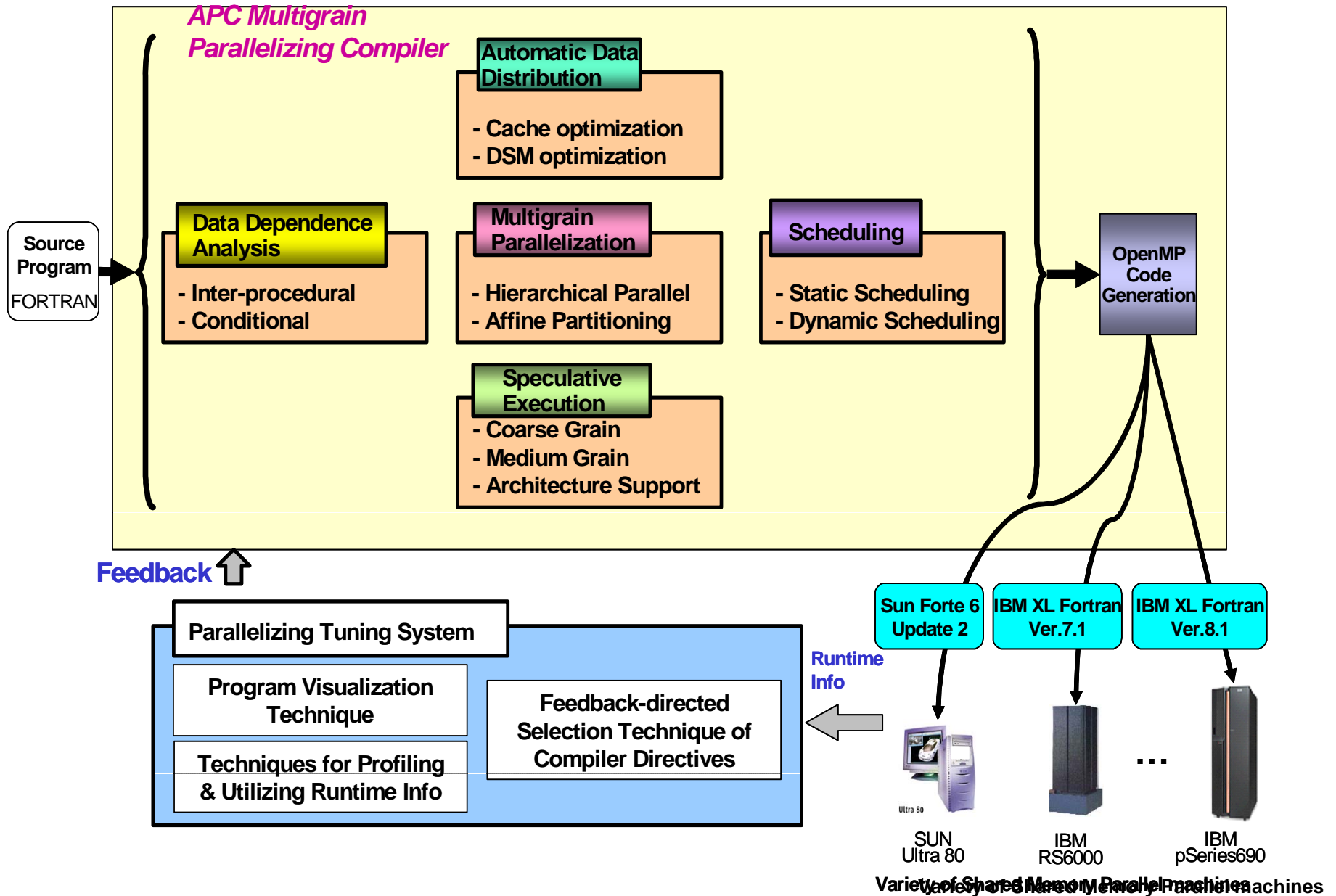
PARAMETER (N1=513, N2=544)

COMMON U(N1,N2), V(N1,N2), P(N1,N2),  
 \* UNEW(N1,N2), VNEW(N1,N2),  
 1 PNEW(N1,N2), UOLD(N1,N2),  
 \* VOLD(N1,N2), POLD(N1,N2),  
 2 CU(N1,N2), CV(N1,N2),  
 \* Z(N1,N2), H(N1,N2)



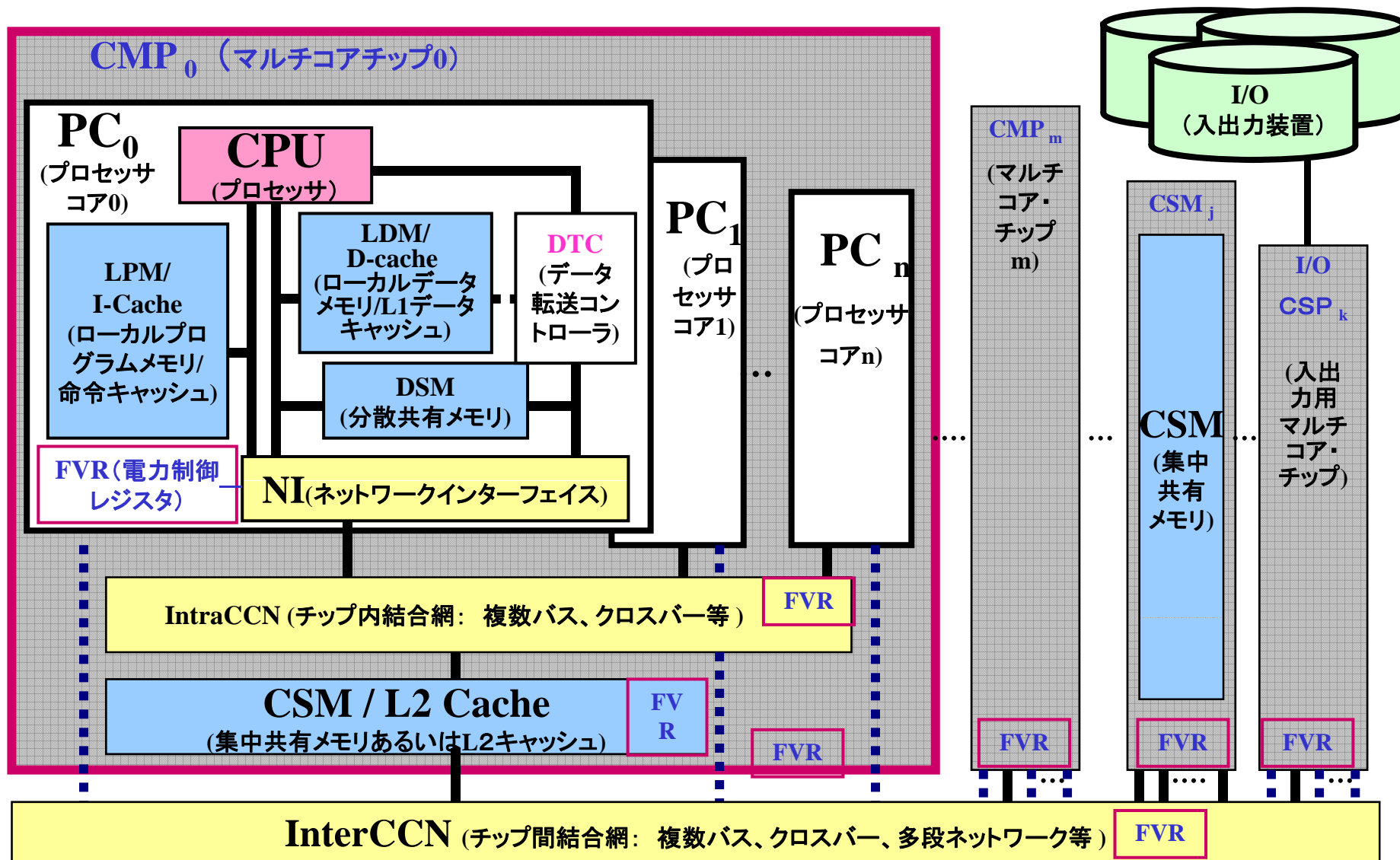


# 共有メモリマルチプロセッサ用API(OpenMP)を用いた APC OSCAR Compiler (各社のマルチプロセッサで使用可)



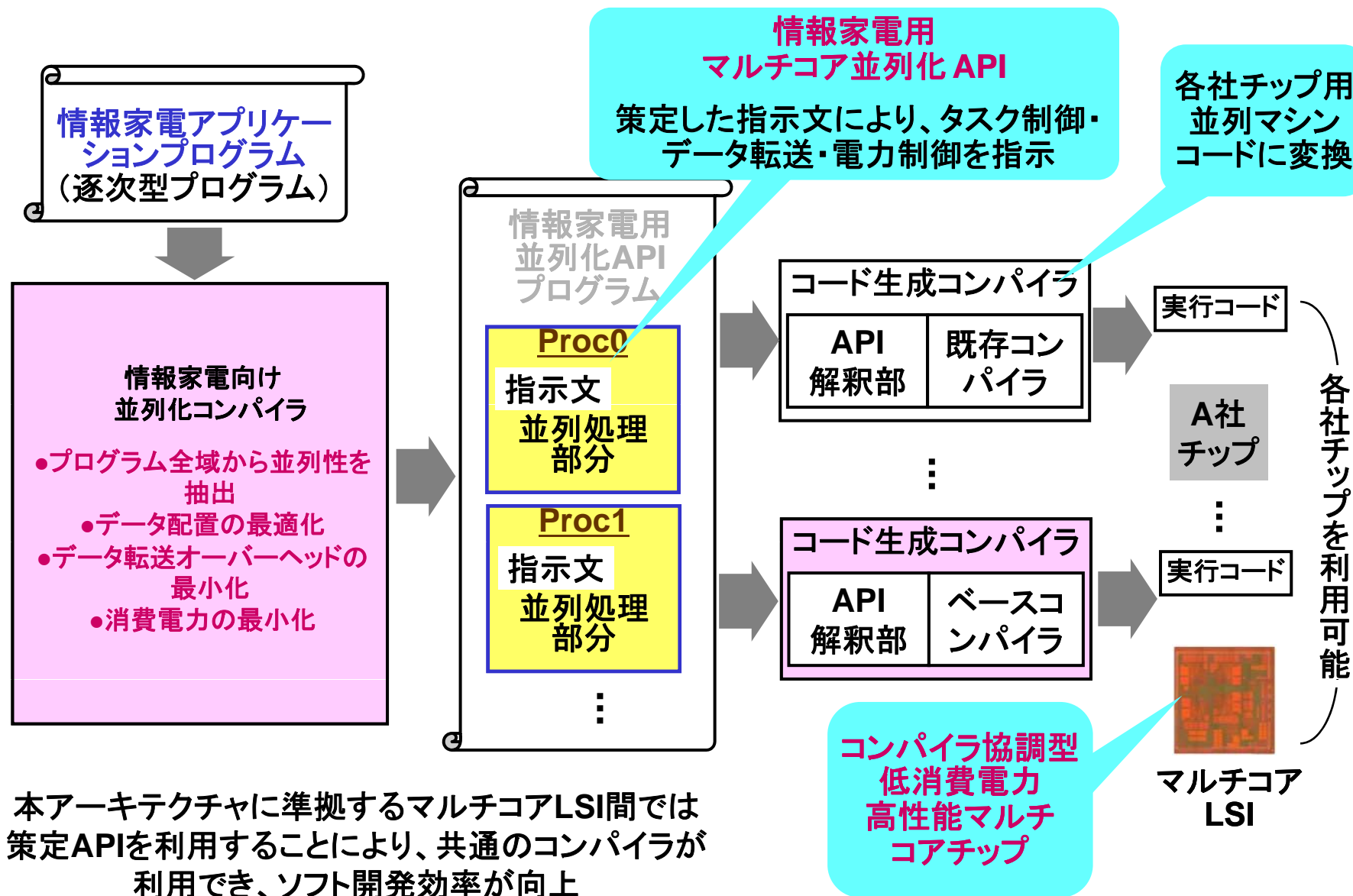
# OSCARマルチコア 標準的メモリアーキテクチャ

- ローカルメモリ
- 分散共有メモリ
- 集中共有メモリ(チップ内・外)
- DTC(高性能DMAC)
- 電力制御用FVR

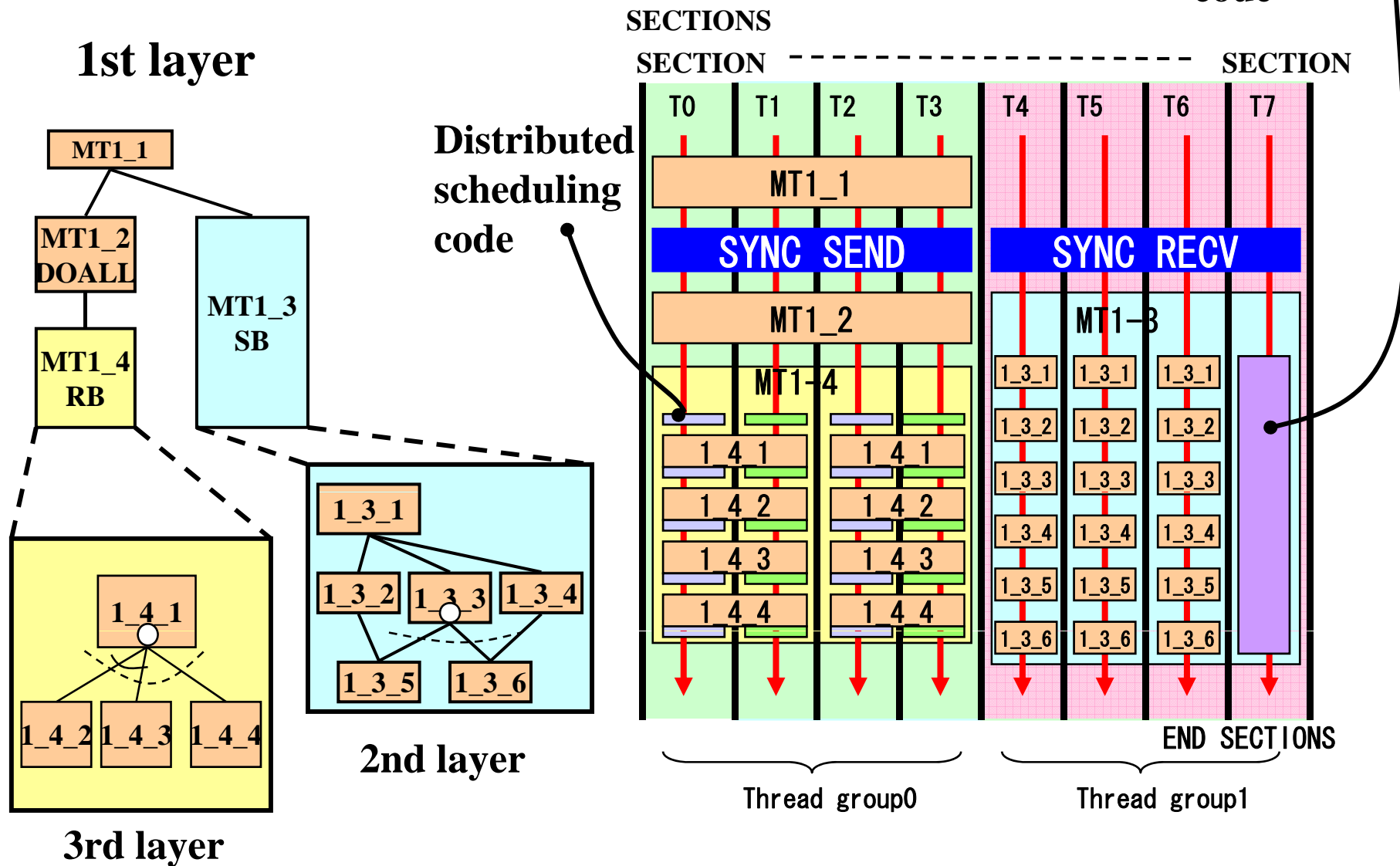


# APIを用いたコンパイル・実行の流れ

API: Application Programming Interface

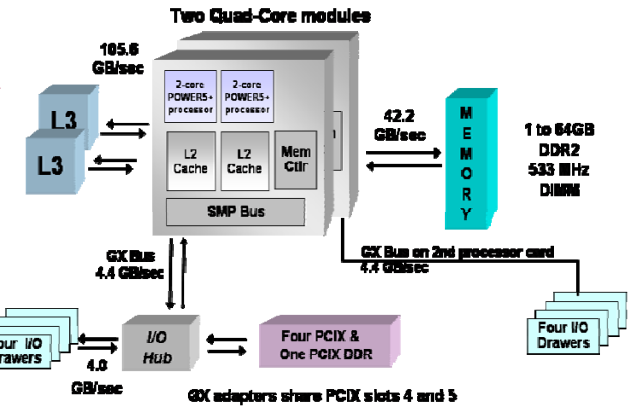


# OSCARコンパイラが自動生成するマルチコアAPI (OpenMP互換)利用、階層マルチグレイン 並列プログラムのイメージ

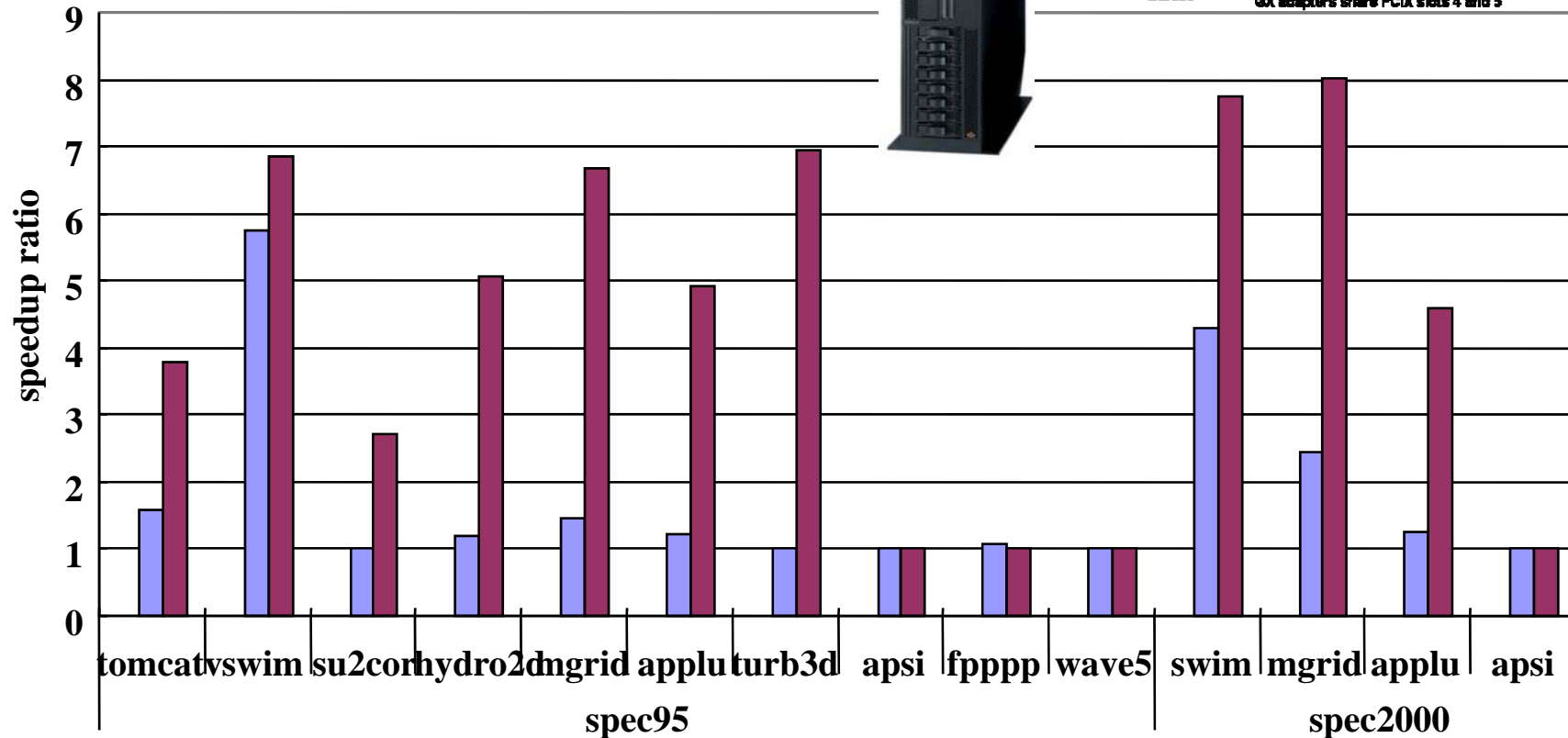


# IBMサーバp550q上でのOSCAR並列化コンパイラの性能

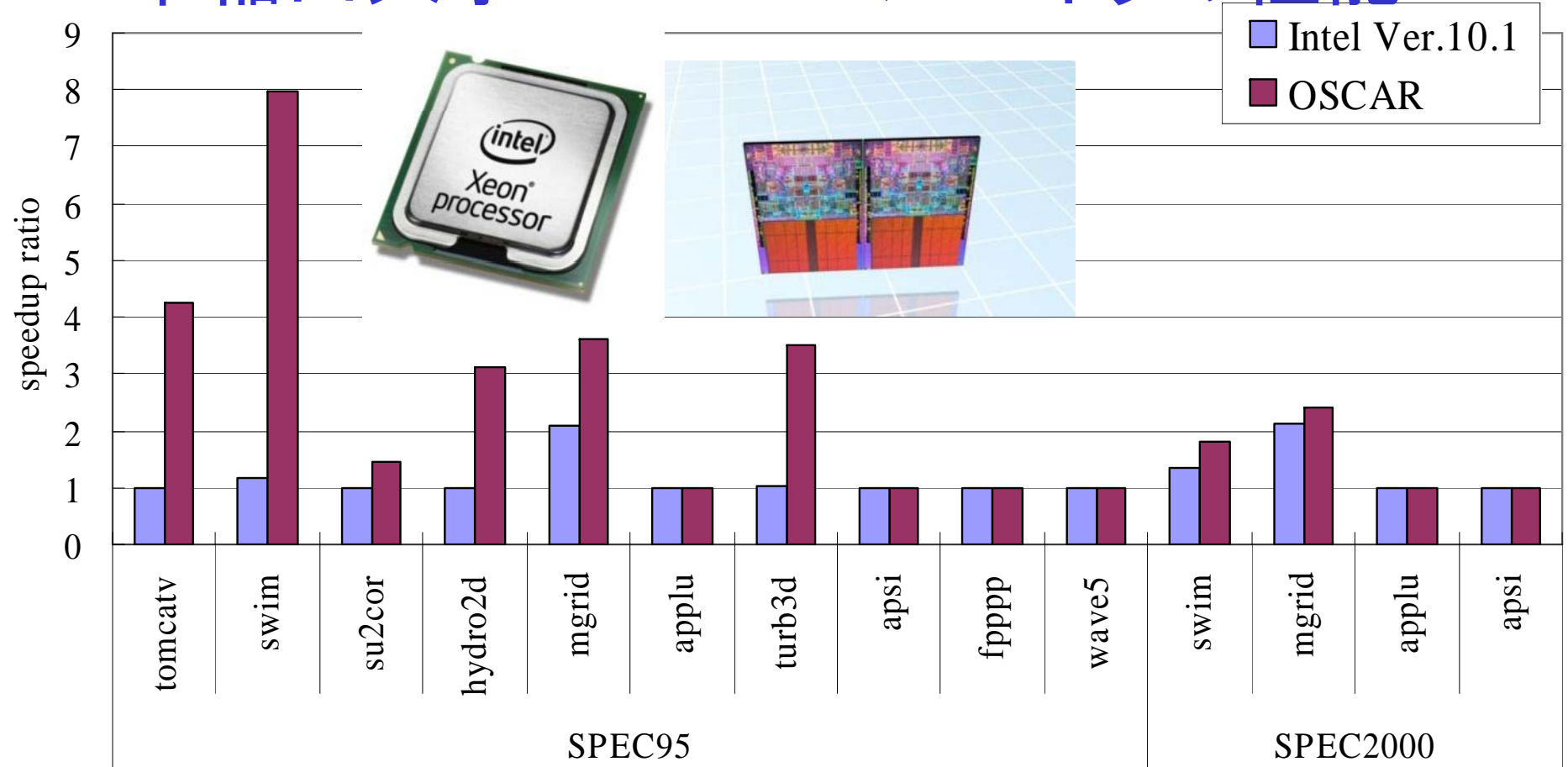
8プロセッサコア・マルチプロセッサシステム上で  
従来のループ並列化に対し、2.7倍の高速化



- ループ並列化
- マルチグレイン並列化

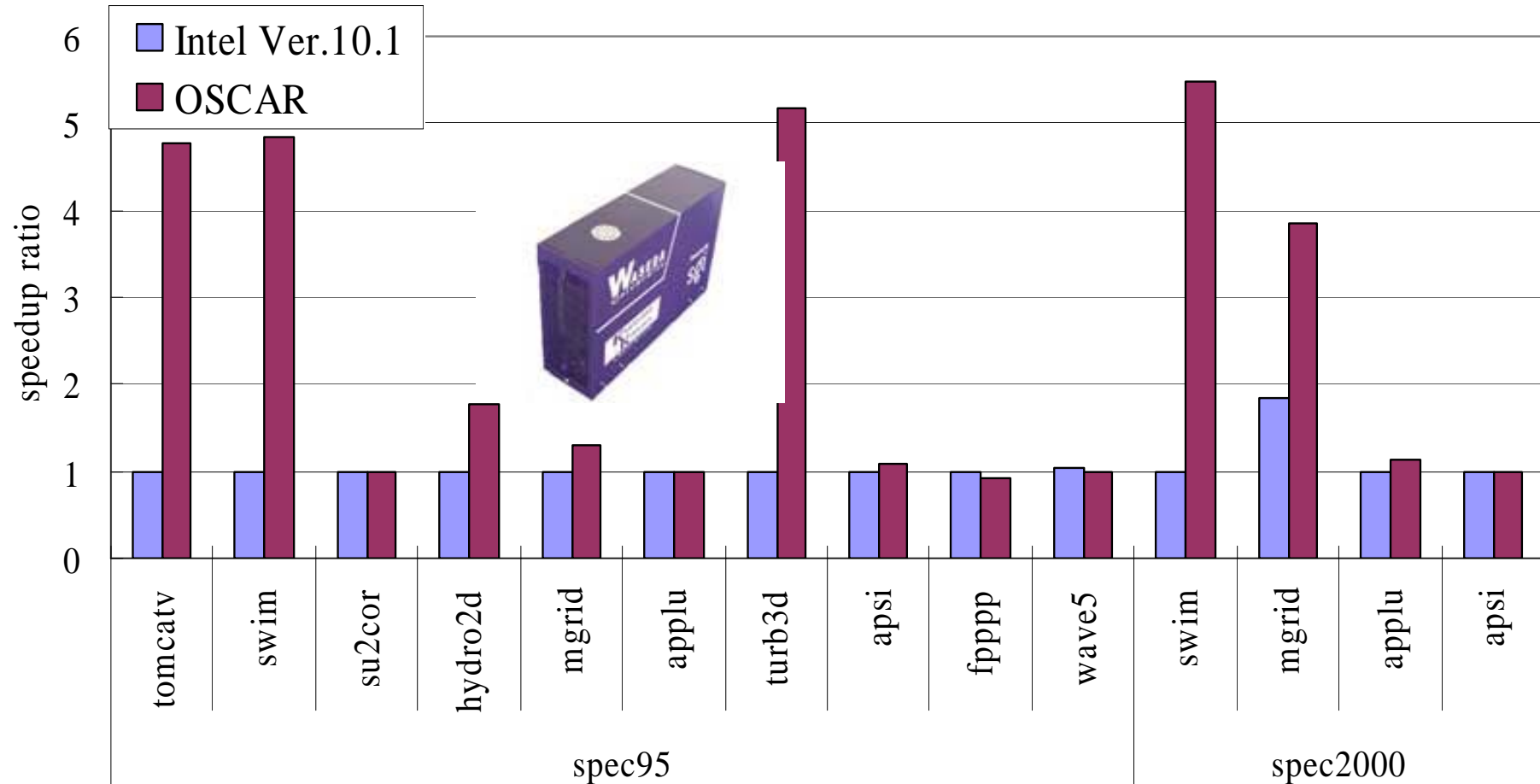


# インテル クアッドコア Xeon プロセッサ上での 早稲田大学 OSCAR コンパイラの性能



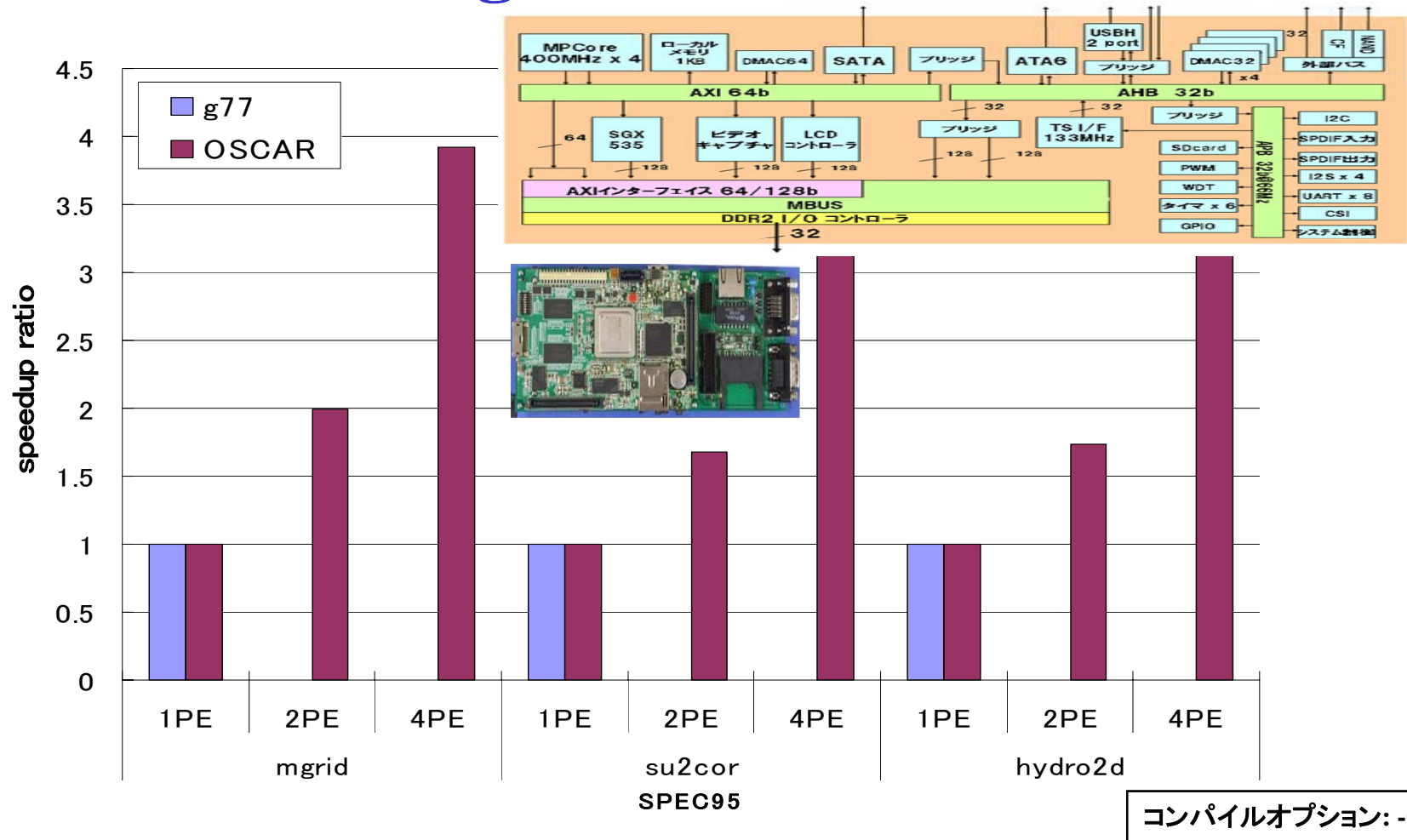
**OSCAR コンパイラが生成するOpenMP並列化コードはインテルコンパイラ ver.10.1の性能をインテル・マルチコア上で2.09 倍向上**

# インテルMontvaleマルチコアを用いた 16 コアSGI Altix 450 デスクサイドサーバ上での OSCAR コンパイラの性能



**OSCAR コンパイラが生成するOpenMPコードはインテル  
Itanium Compiler revision 10.1の性能を 2.32 倍向上**

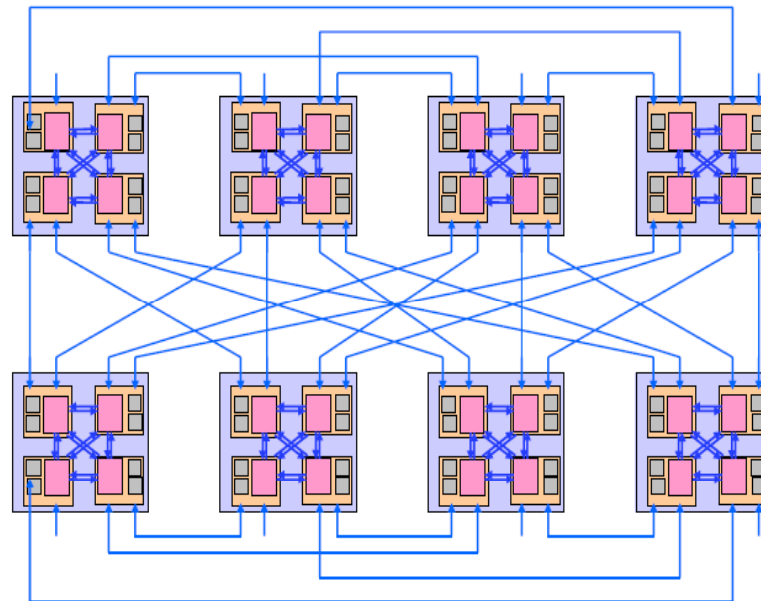
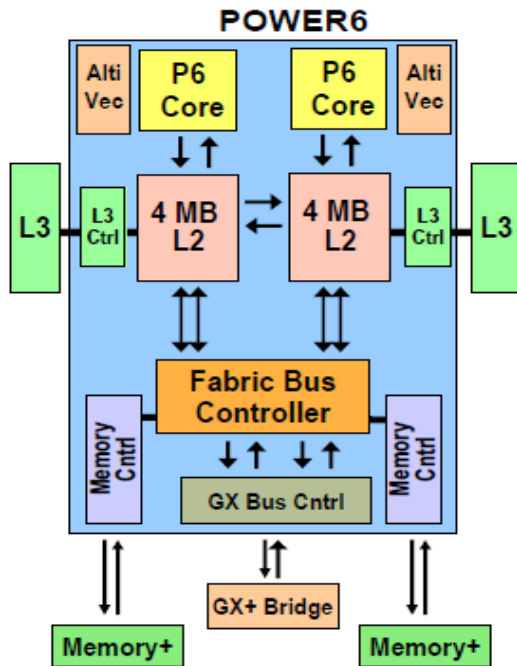
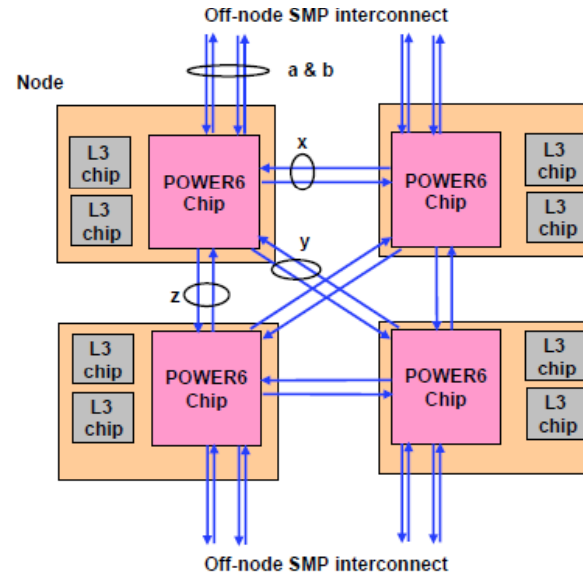
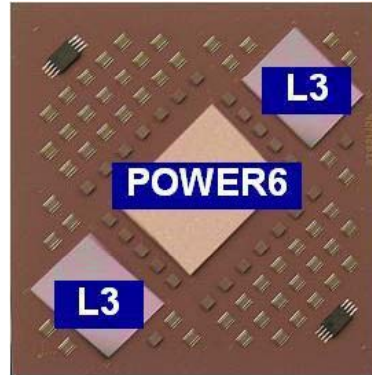
# 早稲田大学 OSCARコンパイラの NEC NaviEngine上での並列処理性能



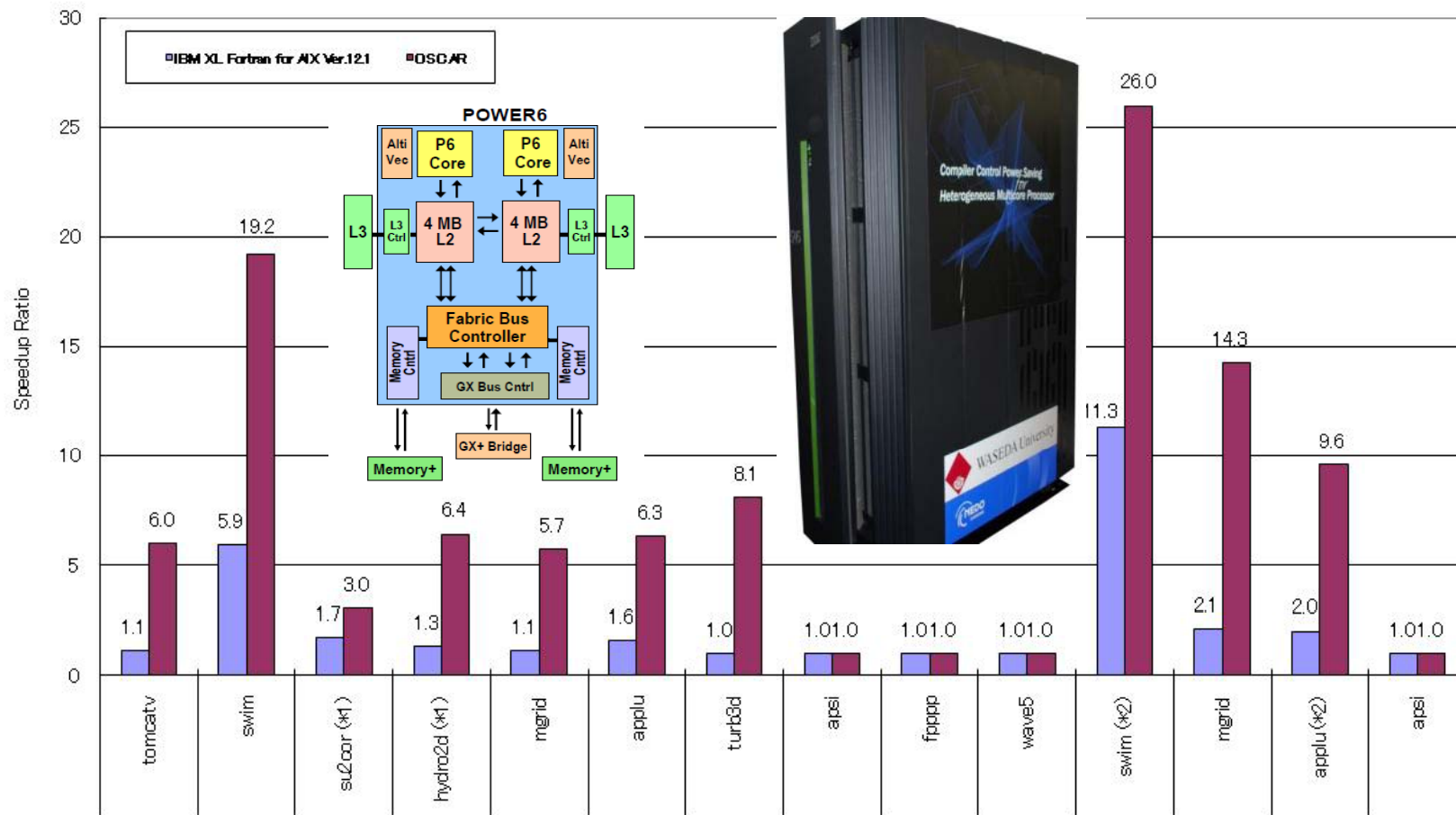
- OSCAR コンパイラは4コアARM・NECマルチコア上で1コアと比べSpec CFP95 3プログラム平均で3.42倍の速度向上



# IBM p6 595 SMP サーバ



# Performance of OSCAR Compiler on IBM p6 595 Power6 (4.2GHz) based 32-core SMP Server



**OpenMP codes generated by OSCAR compiler accelerate IBM XL Fortran for AIX Ver.12.1 about **3.3 times** on the average**

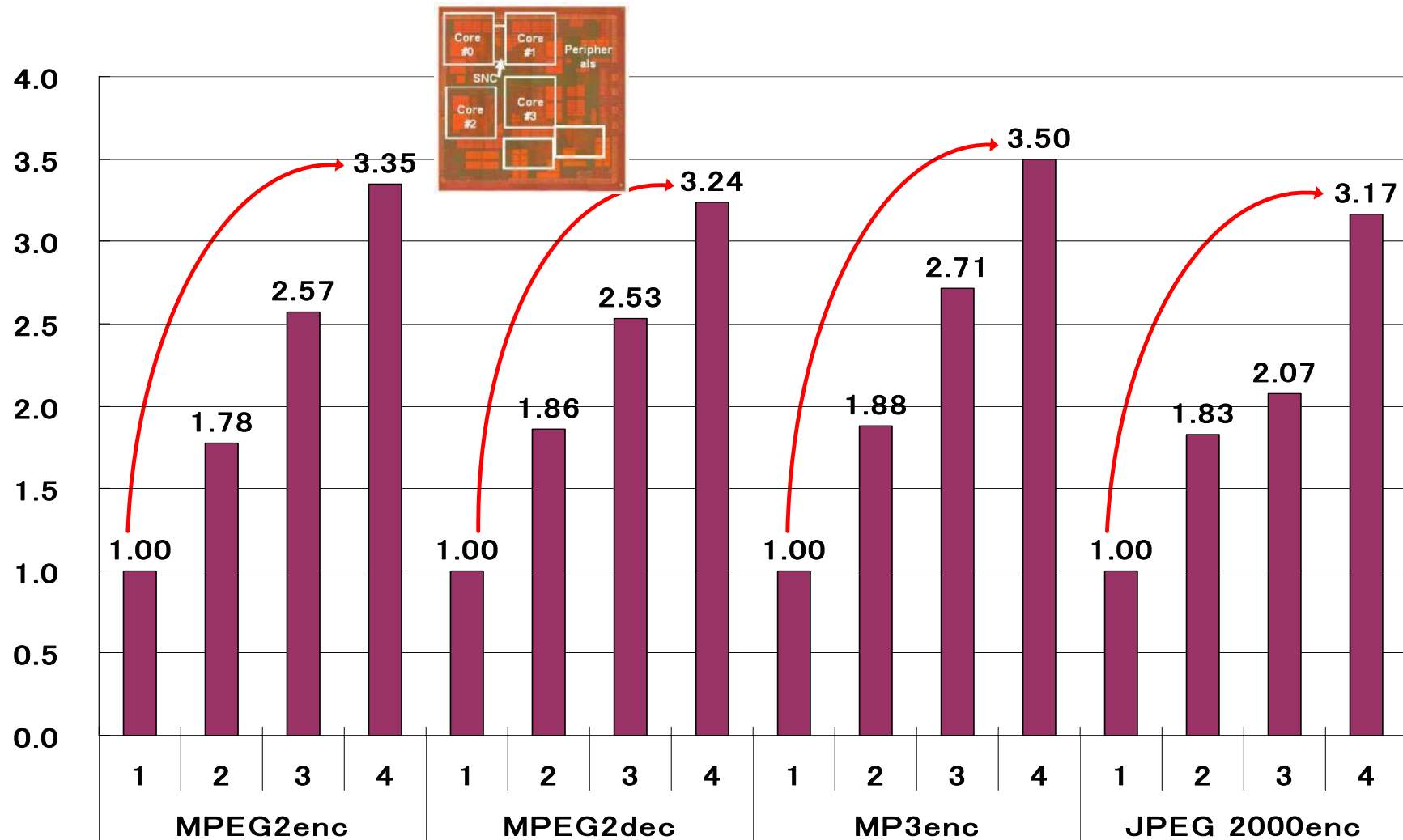
#### Compile Option:

(\*1) Sequential: -O3 -qarch=pwr6, XLF: -O3 -qarch=pwr6 -qsmp=auto, OSCAR: -O3 -qarch=pwr6 -qsmp=noauto

(\*2) Sequential: -O5 -q64 -qarch=pwr6, XLF: -O5 -q64 -qarch=pwr6 -qsmp=auto, OSCAR: -O5 -q64 -qarch=pwr6 -qsmp=noauto

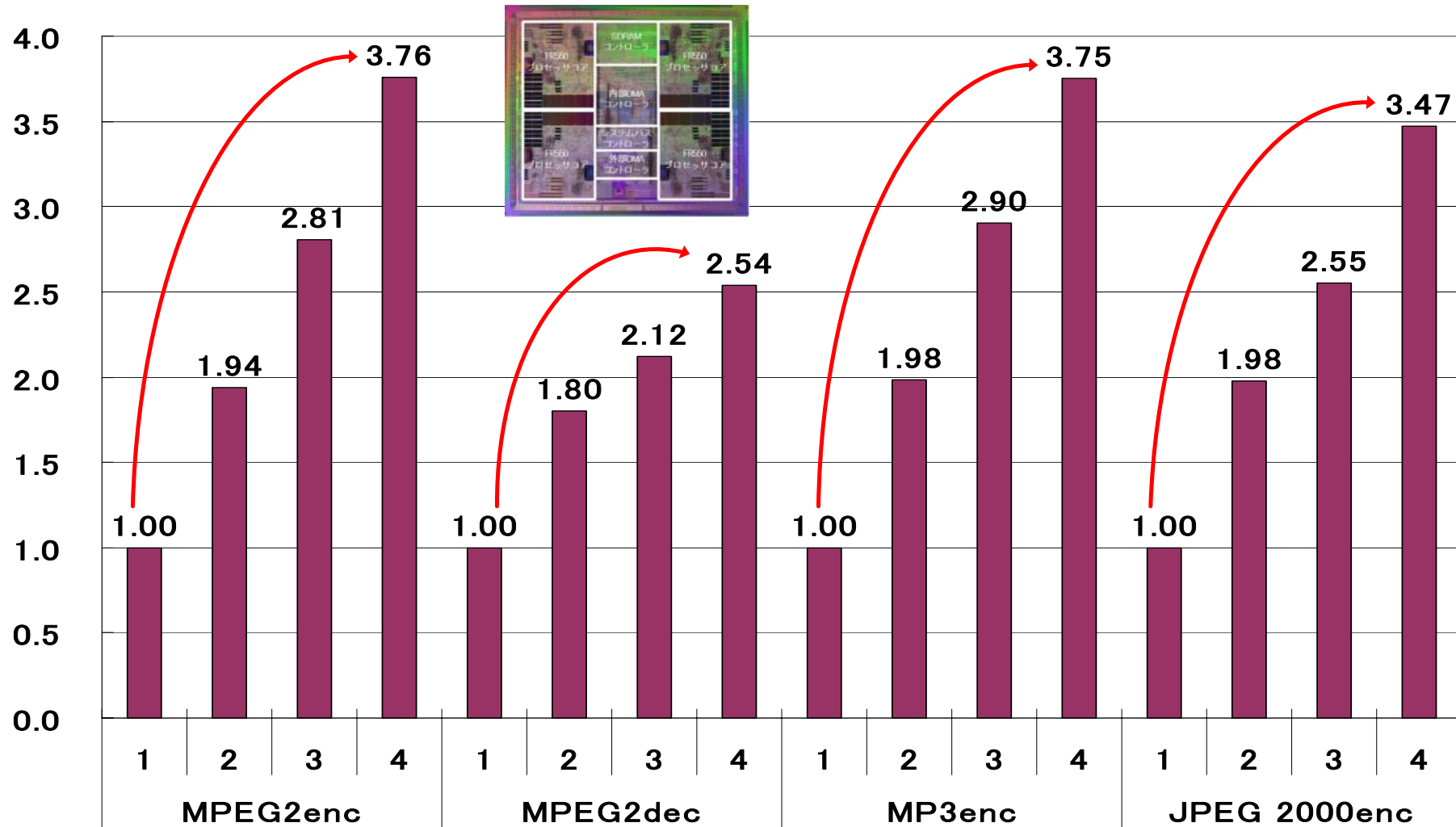
(Others) Sequential: -O5 -qarch=pwr6, XLF: -O5 -qarch=pwr6 -qsmp=auto, OSCAR: -O5 -qarch=pwr6 -qsmp=noauto

# 開発RP1マルチコア(4cores)上での並列化 コンパイラを用いた並列処理性能(速度向上率)



1プロセッサと比較して、4プロセッサで平均3.31倍の速度向上

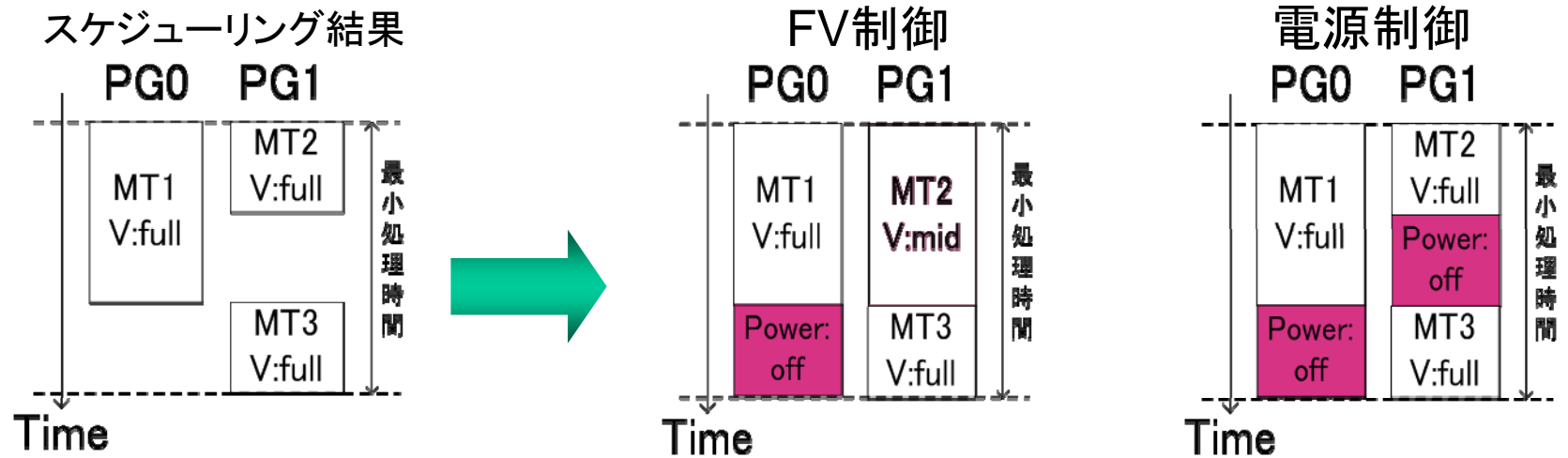
# 既存富士通 FR1000マルチコア上での OSCARコンパイラによる並列化性能(策定API利用)



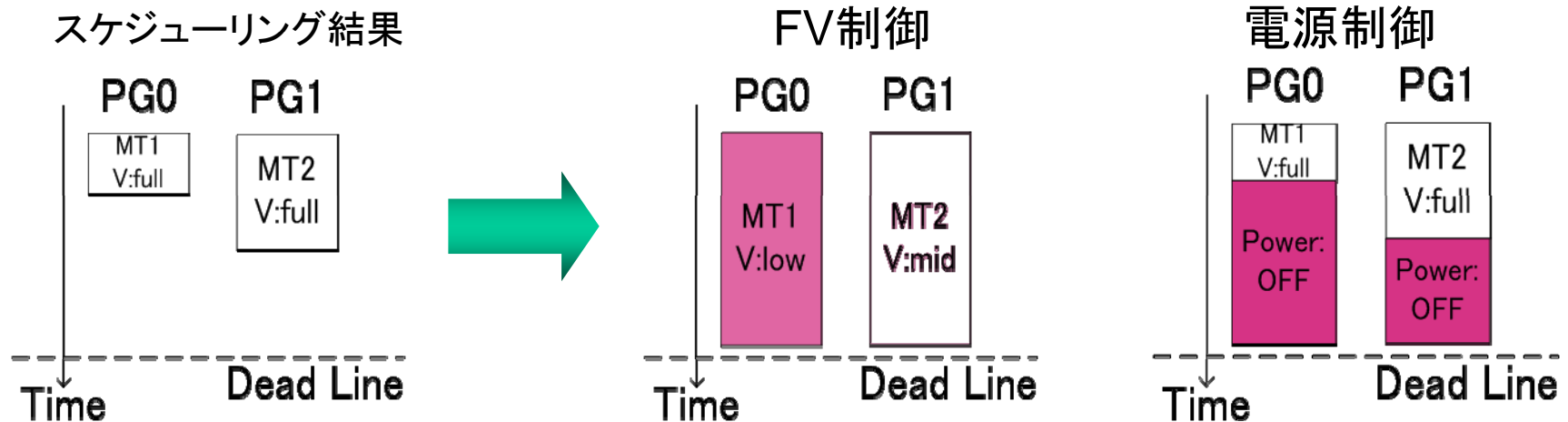
1プロセッサと比較して、4プロセッサで平均3.38倍の速度向上

# 周波数電圧 (FV) 制御と電源制御による低消費電力化

- 処理ユニット負荷不均衡時の電源・周波数電圧制御

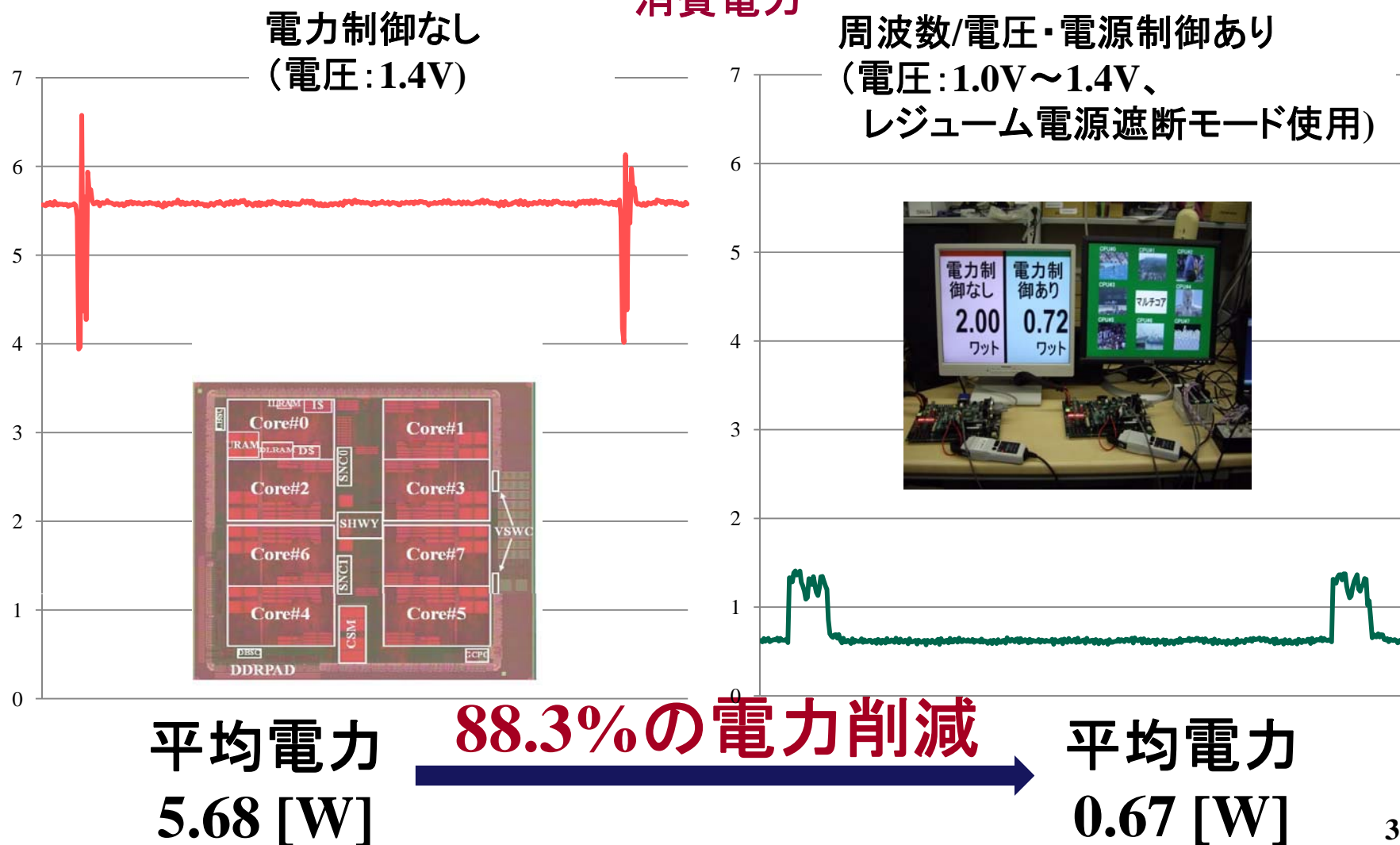


- デッドライン制約を考慮した電源・周波数電圧制御



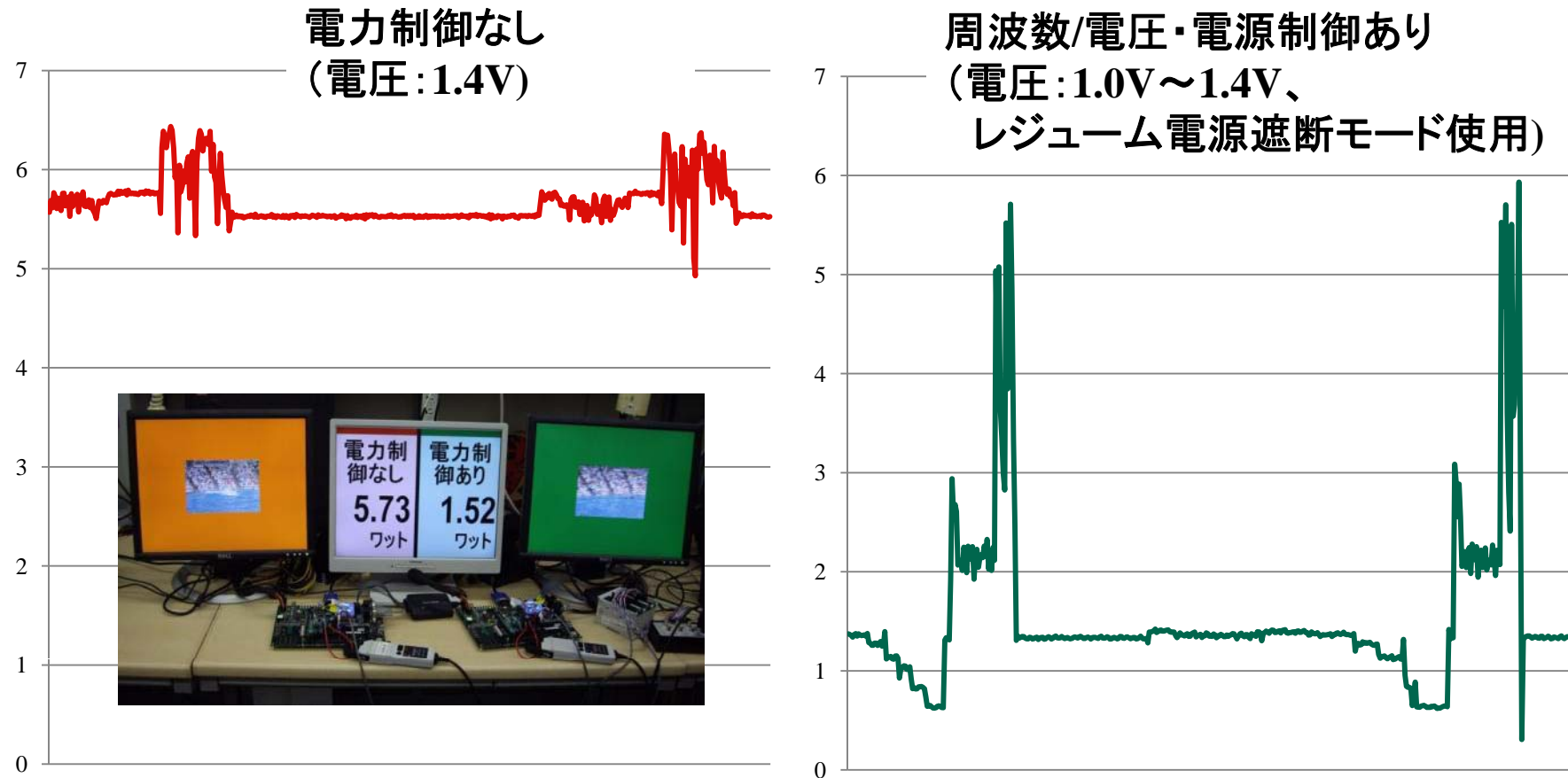
# 音楽圧縮におけるコンパイラ周波数/電圧・電源制御 による開発チップ上での消費電力削減効果

セキュアオーディオ圧縮(AACエンコード+AES暗号化)処理を8コアで実行時の  
消費電力



# 画像表示におけるコンパイラ周波数/電圧・電源制御 による開発チップ上での消費電力削減効果

動画表示(MPEG2デコード処理)を8コアで実行時の消費電力



平均電力  
5.73 [W]

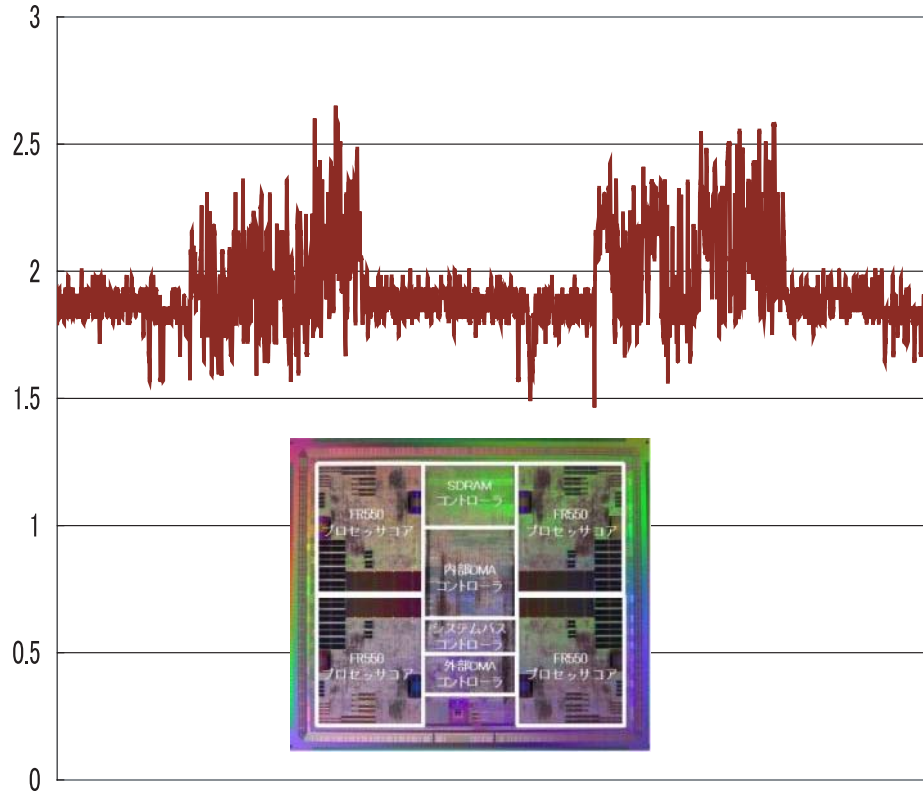
73.5%の電力削減

平均電力  
1.52 [W]

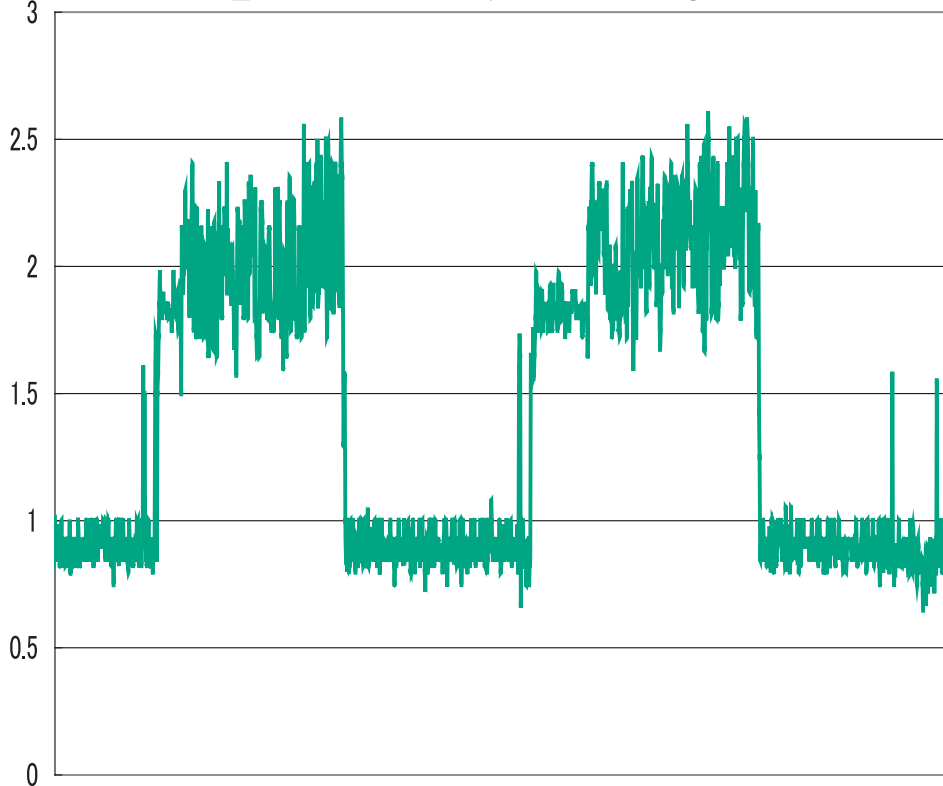
# 画像表示におけるコンパイラ周波数/電圧・電源制御 による既存FR1000(4コア)マルチコア上での消費電力削減効果

動画伸張(MPEG2デコード)処理を4コアで実行時の消費電力

電力制御無し  
(電圧: 1.25V)



周波数制御有り  
(電圧: 1.25V、クロック停止)



平均電力  
1.93[W]

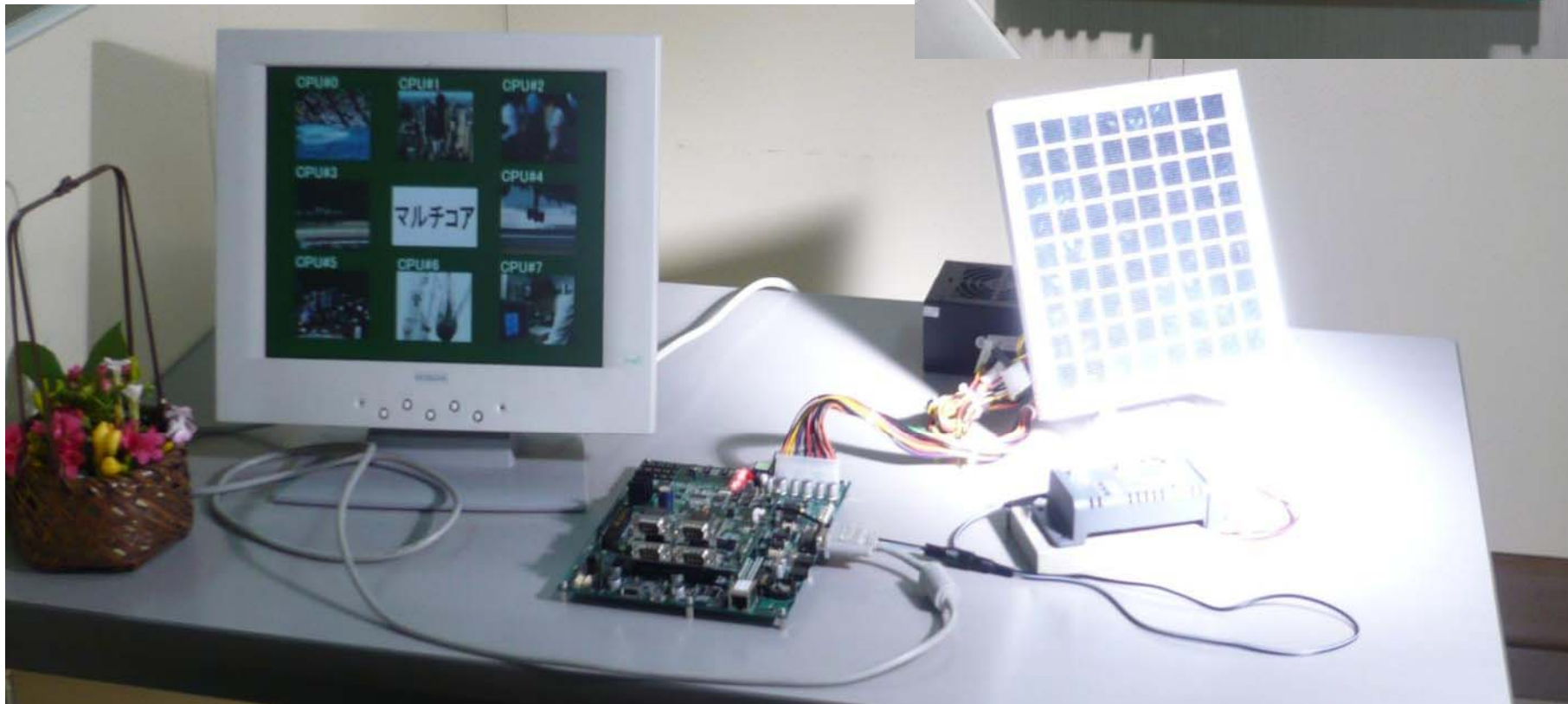
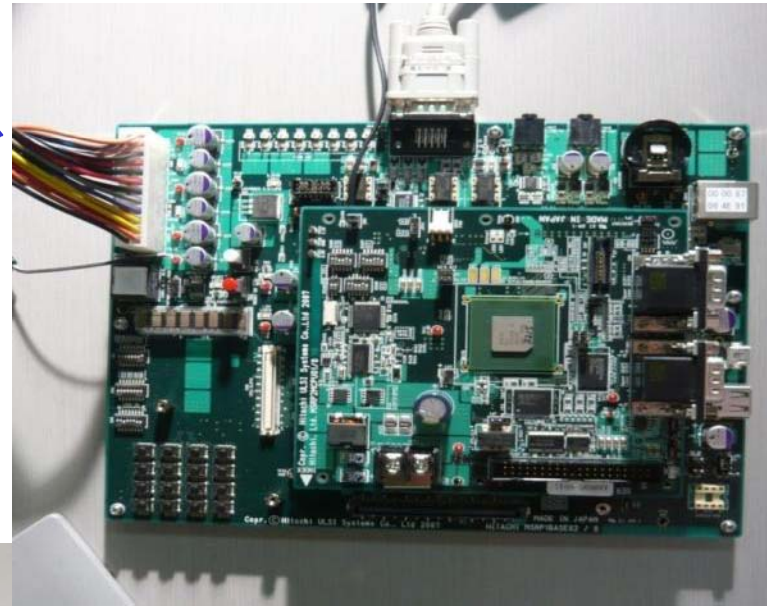
23%の電力削減

平均電力  
1.48[W]



# ソーラパネル駆動可能な 低消費電力高性能マルチコア RP2(SH4A 8コア集積)

- クリーンエネルギーで駆動可
  - 電力供給が困難な場所での使用可能
  - 災害時でも使用可能



# まとめ

- 世界初のコンパイラ協調型 高性能・低消費電力・リアルタイム情報家電向け4コア(RP1),8CPUコア(RP2)マルチコアLSIを試作
- 8コアRP2チップでは、8個のプロセッサとメモリの独立電源遮断・動作周波数制御(1/2,1/4,1/8,0)・電圧制御(1.4V,1.2V,1.0V)可能。
  - 総合科学技術会議:8画面までの動画像を表示し、標準半導体と比べ
    - 8画面表示時 1/14に電力削減 マルチコア: 2.5W,標準半導体:35W
    - 1画面表示時1/50に電力削減 マルチコア: 0.5W, 標準半導体:25W
- 世界最高処理性能かつ世界初の電力制御を実現したOSCAR自動並列化コンパイラの開発に成功(動的電力、今後の微細化で問題となるリーク電力も削減)
  - 自動並列化によりAACエンコーダを8プロセッサで5.8倍の高速化
  - IBM(Power5+), Intel(SGI Altix450 最新Itanium2 Montvale16コア, Quad-core Xeon)上で各社コンパイラの性能を2倍以上向上
  - 世界初の電力制御に成功し、オーディオAACエンコードで88%、動画像MPEG2エンコードで74%の電力削減:太陽電池にて駆動可能
- 従来の手動並列化では数週間単位の時間を要した並列アプリケーション作成を、各社のマルチコア用にコンパイラによりAPIを用いて数秒単位で作成
- 今後:情報家電・自動車統合制御系・クールサーバ(グリーンIT)・スパコン

# 笠原博徳

## <略歴>

1980年早稲田大学工学部電気工学科卒, 1985年同大学院博士課程了(工博),  
 1983年早稲田大学工学部助手, 1985年日本学術振興会第1回特別研究員,  
 1985年カリフォルニア大学バークレーEECS客員研究員.  
 1986年早稲田大学工学部電気電子情報工学科専任講師,1988年助教授,  
 1989年-1990年イリノイ大学 Center for Supercomputing R & D客員研究員,  
 1997年早稲田大学理工教授, 2003年より情報理工学科(コンピュータ・ネットワーク工学科)  
 1987年IFAC World Congress第1回Young Author Prize,  
 1997年情処坂井記念特別研究賞, 2004年STARC共同研究賞, 2008年LSIオブザイヤー準グランプリ

## <主な学会活動>

**情報処理学会**: 計算機アーキテクチャ研究会主査, 論文誌編集委HG主査,  
 会誌編集委HWG主査, 論文誌2001並列処理特集委員長, JSPF2000プログラム委員長等.

**ACM**: International Conference on Supercomputing(ICS)プログラム委員  
 ENIAC50周年記念ICS 1996 Program Chair on Software.

**IEEE**: Computer Society Japan 委員長, 東京支部理事, 長期戦略委員会委員, SC07 PC等  
 その他スーパーコンピュータ・並列処理に関する多くの国際会議プログラム委員.

## <各種委員等>

**経済産業省**: 情報政策提言フォーラム(アーキテクチャ/HPC WG主査),  
 ミレニアムプロジェクトIT21”アドバンス並列化コンパイラ”プロジェクトリーダー,  
 ペタフロップスマシン委員会委員, 超先端電子基盤技術委員, ビジネスGRID評価委員  
**NEDO**: コンピュータ戦略WG委員長, 研究評価委員, “リアルタイム 情報家電用マルチコア “プロジェクトリーダー等

**文部科学省**: 地球シミュレータ中間評価委員, 次世代スーパーコンピュータ概念設計評価委員

**JST**: 科学技術振興調整費GRAPE-DR運営委員, COINS運営委員, さきがけ21領域アドバイザー

**内閣府**: 総合科学技術会議分野別推進戦略(報通信分野)ソフトウェアWG, 研究開発基盤WG委員,  
 第5回産学官連携推進会議分科会パネリスト

**原研**: 研究評価委員, 計算科学推進センタ第1種客員研究員.

**高校校科学具術チャレンジ(朝日新聞)**: JSEC審査委員

**東京電力学術評価委員**, **日本EU協調会議科学技術ラウンドテーブル日本代表**等。

<論文等> 査読付き論文166件, 招待講演76件(国際会議, 国内学会, 海外大学, Intel, Google等), 研究会115件,  
 シンポジウム 25件, メディア掲載 205件(新聞, TV, 雑誌, Webニュース等), 特許 8件(他に国際出願有り)

**参考**

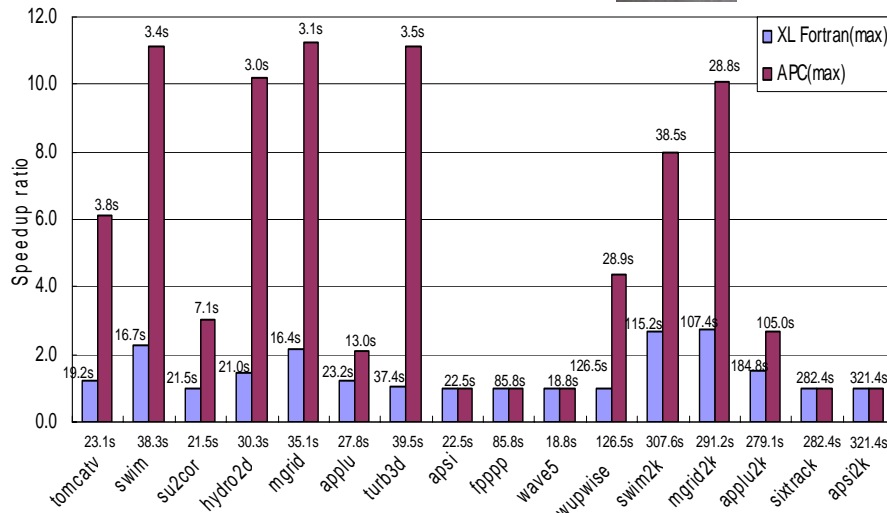
# Low Power High Performance Multicore and Parallelizing Compiler for Mobile phones, Games, Cars, Supercomputers (Prof. H. Kasahara)

**Millennium Project  
IT21(METI, NEDO)  
Advanced Parallelizing  
Compiler  
(2000.9~2003.3)  
Waseda, Fujitsu, Hitachi**

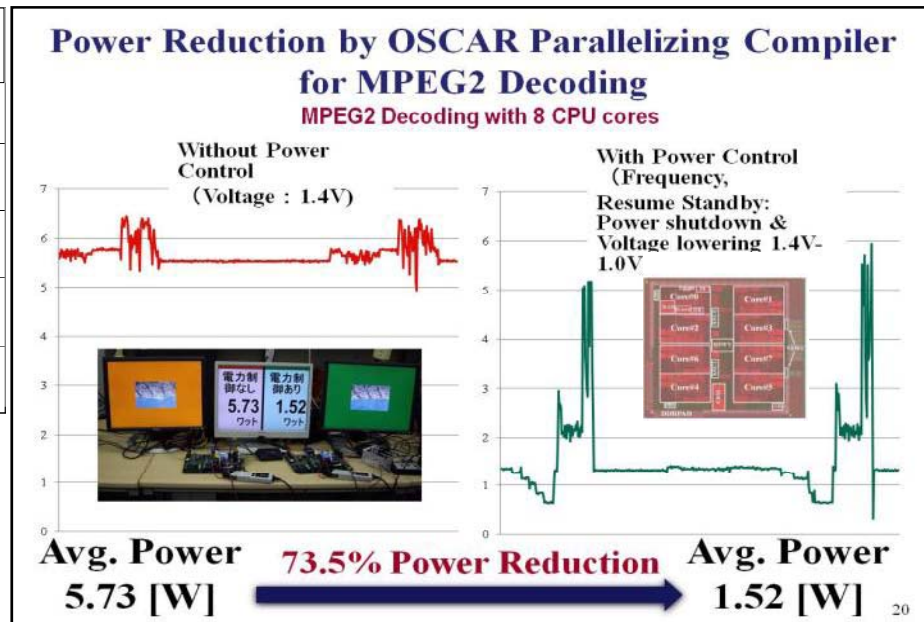


**METI/NEDO Multi-core Processors for Realtime Consumer Electronics (2005.7~2008.3) Waseda, Hitachi, Renesas, Fujitsu, Toshiba, Panasonic, NEC**

- Good Cost performance
- Short HW/SW development periods
- Low power consumption
- Scalable performance
- Embedded multicore API



**OSCAR Multigrain compiler attains 3.5 times speedup in average against a product compiler**



**Reviewed Papers 166, Invited Talks 76, Tech. Reports 115, Symposium 25, Annual Convention 154, News Papers/TV/Web News/Magazine Articles 205**  
**IEEE Trans. Computer, IPSJ Trans., ISSCC, Cool Chips, Supercomputing, ACM ICS**